/alu_module/x	00000100	80001000	80010000	80000000	00040000
/alu_module/y	00001101	00000001	80001001	0000001	00003001
/alu_module/add_sub					
/alu_module/add_sub_out	00001201	80001001	00011001	7FFFFFF	0003CFFF
/alu_module/func	0	1	2		3
/alu_module/logic_func	0	1	2		0
/alu_module/logic_out	00000100	80001001	00011001	8000001	00000000
/alu_module/zero					
/alu_module/overflow					
/alu_module/output	00001101	0000001	00011001	7FFFFFF	0000000
0	ns	2 ns	4 ns	6 ns	8 ns

Entity:alu_module Architecture:alu_module_arch Date: Thu Oct 14 01:01:01 AM EDT 2021 Row: 1 Page: 1

/alu_module/x	00040000	069030F0		00BBC520		00010000		00000101	
/alu_module/y	00003001	01010101		01010FEA		01010101	-	00000101	
/alu_module/add_sub							+		
/alu_module/add_sub_out	0003CFFF	079131F1		FFBAB536		01020101	-	00000000	
/alu_module/func	3	2			•	1	+		-
/alu_module/logic_func	0			1		2	1	3	
/alu_module/logic_out	00000000	+		01BBCFEA	•	01000101	+	FFFFFEFE	+
/alu_module/zero									+
/alu_module/overflow									
/alu_module/output	00000000	079131F1		FFBAB536	•	00000000	+		+
	10	ns	12	ns	14	ns	16	ns	18 n

Entity:alu_module Architecture:alu_module_arch Date: Thu Oct 14 01:01:01 AM EDT 2021 Row: 2 Page: 2