EXAMEN DE ARQUITECTURA DE COMPUTADORES. La Rábida, 16 de Septiembre de 2014

Apellidos				Nombre
	Valor de cada:	Respuesta correcta Respuesta incorrecta No respuesta	- 0.05	TIEMPO REALIZACIÓN EXAMEN: 45 minutos

Espacio para respuestas $\downarrow \downarrow \downarrow \downarrow \downarrow \downarrow \downarrow \downarrow \downarrow$

	Para mejorar el rendimiento de un computador para una procesador gráfico que se utiliza un 10% del tiempo, cons		
1	la memoria obteniendo un factor de mejora de 1,5 el 80%	S ,	C
1	A) La opción 1	C) La opción 2	C
		, 1	
	B) Ambas opciones dan igual aceleración Sea un computador A capaz de completar 10000 tareas/s	D) Ninguna de las afirmaciones anteriores es correcta	
		seg y un computador B que completa 1000 tareas/seg, se	
2	dice entonces que:	C) El computador A os al 100/ más rápido que al D	В
	A) El computador A es el 100% más rápido que el B	C) El computador A es el 10% más rápido que el B	
	B) El computador A es el 900% más rápido que el B	D) El computador A es el 10% más rápido que el B	
	Si una máquina A ejecuta un programa en diez segun		
3	máquina B si la máquina A es el 20% más rápida que la l		A
	A) En 12 seg	C) En 20 seg	
	B) En 10,2 seg	D) Se necesitan más datos para conocer la respuesta	
	Indica la afirmación que es cierta:	O) E1.: 1 ONI 1 1 1 / 1 : / :	
	A) El tiempo de CPU no depende del ciclo de reloj	C) El tiempo de CPU depende de número de instrucciones	•
4		ejecutadas	C
	B) El tiempo de CPU no depende de los ciclos por	D) Ninguna de las afirmaciones anteriores es correcta	
	instrucción		
_	Sea un sistema computador capaz de ejecutar 150 MIPS		ъ
5	A) Cada instrucción requiere 150 ns	C) Cada ciclo de reloj dura 30 nseg	В
	B) La frecuencia del microprocesador es de 750 MHz	D) Cada ciclo de reloj dura 150 nseg	
	Sea una CPU donde la instrucción de bifurcación co		
6	instrucciones seis ciclos, considerando que el 30% de las i		Α
	A) El promedio de CPI es 5,1	C) El promedio de CPI es 6	
	B) El promedio de CPI es 3	D) Ninguna de las afirmaciones anteriores es correcta	
	La transferencia de información entre la memoria caché		
7	A) En tamaño bloque	C) Depende de la función de correspondencia	В
	B) En tamaño palabra	D) Depende del algoritmo de reemplazo	
	Respecto a la memoria caché, el tiempo de penalización p		
8	A) Disminuye a medida que aumenta el tamaño de bloque	C) Aumenta a medida que aumenta el tamaño de bloque	C
	B) Es constante	D) Depende exponencialmente con el tamaño de bloque	
	Sea un sistema con memoria caché de 4 Kp y memoria pr		
9	A) Son de 12 bits	C) Son independientes del tamaño de memoria	В
	B) Son al menos de 16 bits	D) Ninguna de las afirmaciones anteriores es correcta	
	Atendiendo a los niveles de caché, se puede afirmar que:		
	A) Un mayor número de niveles garantiza siempre un	C) Un mayor número de niveles garantiza siempre un	
10	menor tiempo de acceso	menor tiempo de ejecución relativo	D
	B) A mayor número de niveles, mayor capacidad de	D) Ninguna de las afirmaciones anteriores es correcta	
	almacenamiento		
	De los algoritmos de reemplazo en la memoria caché, el q		
11	A) El FIFO	C) El LFU	A
	B) El Aleatorio	D) Ninguna de las afirmaciones anteriores es correcta	
	En relación al tamaño de bloque:		
12	A) A mayor tamaño, menores fallos forzosos pero mayores	C) A mayor tamaño, menores fallos forzosos y menores	A
12	fallos de conflicto	fallos de conflicto	A
	B) A mayor tamaño, menor tasa de fallos	D) A mayor tamaño, mayor número de conjuntos	
	Si para realizar la operación C ← A+B se necesitan las in		
13	A) Se trata de una máquina de dos direcciones	C) Se trata de una máquina de tres direcciones	C
	B) Se trata de una máquina basada en banco de registros	D) Se trata de una máquina de cuatro direcciones	
	Sea el computador Von Neumann estudiado en el Tema 3	, si el registro de instrucción RI lo forman 24 bits:	
14	A) Cada posición de memoria es de 24 bits	C) La duración de la instrucción es de 24 ciclos	D
	B) La memoria principal tiene 16M posiciones	D) Ninguna de las afirmaciones anteriores es correcta	

De las siguientes instrucciones, indica cualles de ella's consisten en bifurcaciones condicionales: S A) DIV. 1, 2 con trap por división por cero (C) CALL A0002h y RET D) Ninguna de las afirmaciones anteriores es correcta Esta traductora ROM tiene una organización de: A) B posiciones de memoria B) Este tipo de unidades no requieren etapa traductora D) Ninguna de las afirmaciones anteriores es correcta A) B posiciones de memoria estudiado en el Tema 3, si la duración máxima de una instrucción es de l'eclos: A) Este tipo de unidades no requieren etapa traductora D) Ninguna de las afirmaciones anteriores es correcta de computador Von Neumann estudiado en el Tema 3, si la duración máxima de una instrucción es de l'eclos: A) Fil tamaho del registro RM es de 10 bits D) Ninguna de las afirmaciones anteriores es correcta De las unidades de control microprogramada con C) La unidad control microprogramada con control control de co								
B) RETI D) Ninguna de las afirmaciones anteriores es correcta tenpa traductora ROM fiene una organización de: 16 A) 8 posiciones de memoria B) Este tipo de unidades no tequieren etapa traductora Sea el computador Von Neumann estudiado en el Tema 3, si la duración máxima de una instrucción es de lo ciclos: A) El lumaño del registro RM es de 10 bits D) Ninguna de las afirmaciones anteriores es correcta B) Este tipo de unidades de control microprogramada estudiadas, la que incluye un circuito incrementador (+1) es: B) Equivale a una duración de 10 ns D) Ninguna de las afirmaciones anteriores es correcta C) De las unidad de control microprogramada estudiadas, la que incluye un circuito incrementador (+1) es: A) La unidad de control microprogramada estudiadas, la que incluye un circuito incrementador (+1) es: A) La unidad de control microprogramada con C) La unidad de control microprogramada con cacuenciamiento explicito B) Ambas lo incorporan A tendiendo a los tipos de formato de instrucción del computador DLX, las instrucciones tipo LW R1, 10(R6): A) Es de tipo J B) Fis de tipo J D) Ninguna de las afirmaciones anteriores es cierta Indica los tipos de riesgos por dependencia de datos que pueden existir en el procesador DLX para operacion con enteros: A) Sólo WAR D) Ninguna de las afirmaciones anteriores es cierta Indica la fase en la que se realiza la búsqueda de la instrucción, independientemente del tipo de instrucción: A) Sólo WAR D) Ninguna de las afirmaciones anteriores es correcta C) A) BD II MI CONTRO C	_	D						
taga traductora ROM tiene una organización de: A) 8 posiciones de memoria B) Este tipo de unidades no requieren etapa traductora C) 256N, siendo N un número entero natural D) Ninguna de las afirmaciones ameriores es correcta Sea el computador Von Neumann estudiado en el Tema 3, si la duración máxima de una instrucción es de l'ectos: A) El tamaño del registro RM es de 10 bits C) El tamaño del registro RF es de 4 bits B) Equivale a una duración de 10 ns Di Ninguna de las afirmaciones ameriores es correcta A) La unidad de control microprogramadas estudiadas la que incluye un circuito incrementador (+1) es: A) La unidad de control microprogramadas estudiadas la, la que incluye un circuito incrementador (+1) es: A) La unidad de control microprogramadas estudiadas la, la que incluye un circuito incrementador (+1) es: A) La unidad de control microprogramada con C) La unidad de control microprogramada es estudiadas la, la que incluye un circuito incrementador (+1) es: A) La unidad de control microprogramada estudiadas la, la que incluye un circuito incrementador (+1) es: A) La unidad de control microprogramada estudiadas la, la que incluye un circuito incrementador (+1) es: A) La unidad de control microprogramada estudiadas la, la que incluye un circuito incrementador (+1) es: A) La de tipo 1 A) Es de tipo 1 A) Rede tipo 1 A) Es de tipo 1 A) Rede tipo 1 A) Rede tipo 1 A) Ninguna de las afirmaciones anteriores es cierta Indica los tipos de riesgos por dependencia de datos que upueden estátir en el procesador DLX para operacione on enteros: A) Siolo WAR B) WAR y WAW D) Siolo RAW D) Ninguna de las afirmaciones anteriores es correcta (Cuál es et tipo de riesgo por dependencia de datos que se presenta en el fragmento de código ensamblador siguiente si se ejecuta en un procesador Dl.X segmentado con bypass generalizado?: ST 12(R3), R2 22 (La les est lipo de riesgo por dependencia de datos que se presenta en el fragmento de código ensamblador siguiente si se ejecuta en un procesador Dl.X segment		υ						
tedapa traductora ROM (iene una organización de: A) 8 posiciones de memoria B) Este tipo de unidades no requirere etapa traductora D) Ninguna de las afirmaciones anteriores es correcta Sea el computador Von Neumann estudiado en el Tema 3, si la duración máxima de una instrucción es de l ciclos: A) Fi lamaño del registro RM es de 10 bits D) Ninguna de las afirmaciones anteriores es correcta De las unidades de control microprogramadas estudiadas, la que incluye un circuito incrementador (+1) es: B) Equivale a una duración de 10 ns D) Ninguna de las afirmaciones anteriores es correcta De las unidades de control microprogramada con C) La unidad de control microprogramada con C) La unidada de la safirmaciones anteriores es cierta Indica los tipos de riesgos por dependencia de datos que pueden existir en el procesador DLX para operacion con enteres: A) Sio WAR B) WAR y WAW D) Sólo RAW Indica la fase en la que se realiza la búsqueda de la instrucción, independientemente del tipo de instrucción: C) MEM Indica la fase en la que se realiza la búsqueda de la instrucción, independientemente del tipo de instrucción: C) MEM D) Ninguna de las afirmaciones anteriores es correcta (2) A) Disminur de la seligituda en un procesador DLX segmentado con bypass generalizado?? S1 12(R3), R2 L) R3, R2 L) R3, R3 L) R3, R3 L) R3, R3 L) R3, R3 L) R3	1.							
Sea et computador Von Neumann estudiado en el Tema 3, si la duración máxima de una instrucción es de l ciclos: A) El tamaño del registro RM es de 10 bits D) Ninguna de las afirmaciones anteriores es correcta	ıa							
B. Este tipo de midades no requieren etapa traductora D. Ninguna de las afirmaciones anteriores es correcta	_	\mathbf{C}						
Sea el computador Von Neumann estudiado en el Tema 3, si la duración máxima de una instrucción es de l ciclos: A) El tamaño del registro RM es de 10 bits B) Equivale a una duración de 10 ns De las unidades de control microprogramada estudiadas, la que incluye un circuito incrementador (+1) es: A) La unidad de control microprogramada con C) La unidad de control microprogramada con escuenciamiento explicito B) Ambas lo incorporan Atendicado a los tipos de formato de instrucción del computador DI.X, las instrucciones tipo LW RI, 10(R6): A) Es de tipo I B) Es de tipo I B) Es de tipo I B) Ninguna de las afirmaciones anteriores es certa Indica los tipos de riesgos por dependencia de datos que pueden existir en el procesador DLX para operacion con enteros: A) Sólo WAR B) WAR y WAW D) Sólo RAW D) Sólo RAW D) Sólo RAW D) B) IF C) MEM D) Ninguna de las afirmaciones anteriores es correcta (2 cual es el tipo de riesgo por dependencia de datos que se presenta en el fragmento de código ensamblador siguiente si se ejecuta en un procesador DLX segmentado con bypass generalizado?: ST 12(R3), R2 LD R3, 12(R3); A) WAR B) WAW D) Ninguna de las afirmaciones anteriores es correcta (2 cual es el tipo de riesgo por dependencia de datos que se presenta en el fragmento de código ensamblador siguiente si se ejecuta en un procesador DLX segmentado con bypass generalizado?: ST 12(R3), R2 LD R3, 12(R3); A) WAR B) WAW D) Ninguna de las afirmaciones anteriores es correcta (3 cual es el tipo de riesgo por dependencia de datos que se presenta en el fragmento de código ensamblador siguientes técnicas suele utilizarse para eliminar riesgo setructurales: A) Disminuir el nº de lineas de transmisión de datos y buses C) Incrementar la velocidad del reloj del sistema B) Utilizar caches partidas para datos e instrucciones D) Ninguna de las afirmaciones anteriores es correcta Cuando se habla de un computador vectorial y un computador segmentado: Comparando los registros R0 y F0, del procesador DLX: A) Ambos registros almacenan el valor 0 C) F0 es un r								
17 (cilos: A) El tamaño del registro RM es de 10 bits B) Equivale a una duración de 10 ns D) Ninguna de las afirmaciones anteriores es correcta De las unidades de control microprogramada con C) La unidad de la sifirmaciones anteriores es cierta La unidad de la sifirmaciones anteriores es correcta C) La	10							
17 A) El tamaño del registro RM es de 10 bits B) Equivale a una duración de 10 ns D) Ninguna de las afirmaciones anteriores es correcta De las unidades de control microprogramada estudiadas, la que incluye un circuito incrementador (+1) es: A) La unidad de control microprogramada con C) La unidad de control microprogramada es escuenciamiento explicito B) Ambas lo incorporan Atendicado a los tipos de formato de instrucción del computador DLX, las instrucciones tipo LW R1, 10(R6): D) Ninguna lo necesita Atendicado a los tipos de formato de instrucción del computador DLX, las instrucciones sipo LW R1, 10(R6): D) Ninguna de las afirmaciones anteriores es cierta Indica los tipos de riesgos por dependencia de datos que pueden existir en el procesador DLX para operacione on enteros: A) Sólo WAR D) Sólo RAW D) Ninguna de las afirmaciones anteriores es correcta ¿Cuál es el tipo de riesgo por dependencia de datos que se presenta en el fragmento de código ensamblador siguiente si se ejecuta en un procesador DLX segmentado con bypass generalizado?: ST 12(R3), R2 LD R3, 12(R3): A) WAR D) Ninguna de las afirmaciones anteriores es correcta Cuál de las siguientes técnicas suele utilizarse para eliminar riesgos estructurales: A) Disminuir el nº de lineas de transmisión de datos y buses B) Utilizar caches partidas para datos e instrucciones D) Ninguna de las afirmaciones anteriores es correcta Cuando se habla de un computador vectorial y un computador segmentado: A) Son terminos similares que se emplean indistintamente C) Todo computador segmentado en registros R0 y F0, del procesador DLX: A) Son terminos cimilares que se emplean indistintamente C) Todo computador segmentado es vectorial D) Ninguna de las afirmaciones anteriores es correcta D) Ninguna de las afirmaciones anteriores es correcta D) Son términos similares que se emplean indistintamente C) Todo computador segmentado es vectorial pon segmentado C) Son terminos diferentes C) In en módulo 2 D) Son	10							
A) El tamano del registro RM es de 10 bits B) Equivale a una duración de 10 ns De las unidades de control microprogramada estudiadas, la que incluye un circuito incrementador (+1) es: A) La unidad de control microprogramada e co secuenciamiento explícito B) Ambas lo incorpora Atendiendo a los tipos de formato de instrucción del computador DLX, las instrucciones tipo LW R1, 10(R6): D) Ninguna lo necesita Atendiendo a los tipos de formato de instrucción del computador DLX, las instrucciones tipo LW R1, 10(R6): D) Ninguna de las afirmaciones anteriores es cierta Indica los tipos de riesgos por dependencia de datos que pueden existir en el procesador DLX para operacion con enteros: D) Sólo WAR D) Sólo WAR D) Sólo WAR D) Sólo WAR D) Sólo RAW Indica la fase en la que se realiza la búsqueda de la instrucción, independientemente del tipo de instrucción: C) MEM D) Ninguna de las afirmaciones anteriores es correcta (2 Ludica la fase en la que se realiza la búsqueda de la instrucción, independientemente del tipo de instrucción: C) MEM D) Ninguna de las afirmaciones anteriores es correcta (2 Ludica la fase en la que se realiza la búsqueda de la instrucción, independientemente del tipo de instrucción: C) MEM D) Ninguna de las afirmaciones anteriores es correcta (2 Ludica la fase en la que se realiza la búsqueda de la instrucción, independientemente del tipo de instrucción: C) MEM D) Ninguna de las afirmaciones anteriores es correcta (2 Ludica sel tipo de riesgo por dependencia de datos que se presenta en el fragmento de código ensamblador siguiente si se ejecuta en un procesador DLX segmentado con bypass generalizado?: T1 (2(R3), R2 LU R3, 12(R3); A) WAR D) Ninguna de las afirmaciones anteriores es correcta Cual de las siguientes técnicas suele utilizarse para eliminar riesgos estructurales: C) Lu R3, 12(R3); A) Wisminuir el nº de lineas de transmisión de datos y buses C) Incrementar la velocidad del reloj del sistema B) Utilizar caches partidas para datos e instrucciones D) Ninguna de las afirmaciones anteriores es corr		\mathbf{C}						
De las unidades de control microprogramada con C La unidad de control microprogramada con con control microprogramada con C La unidad de control microprogramada con C La unidad de control microprogramada con control microprogramada control microp								
18 A) La unidad de control micrprogramada con C) La unidad de control micrprogramada co sequenciamiento explicito (b) Ambas lo incorporan (b) Ninguna lo necesita (control micrprogramada control policito (b) Ambas lo incorporan (control policito (control policito) (control pol	_							
secuenciamiento explícito B) Ambas lo incorporan D) Ninguna lo necesita Atendiendo a los tipos de formato de instrucción del computador DLX, las instrucciones tipo LW R1, 10(R6): D) Es de tipo I D) Singuna de las afirmaciones anteriores es cierta Indica los tipos de riesgos por dependencia de datos que pueden existir en el procesador DLX para operacion con enteros: A) Sólo WAR B) WAR y WAW D) Sólo RAW D) Sólo RAW Indica la fase en la que se realiza la búsqueda de la instrucción, independientemente del tipo de instrucción: C) MFM B) IP D) Ninguna de las afirmaciones anteriores es correcta C) MFM C) MFM C) MFM C) MFM C) MFM C) MFM C) Ninguna de las afirmaciones anteriores es correcta c) Cuál de sel tipo de riesgo por dependencia de datos que se presenta en el fragmento de código ensamblador siguientes is se ejecuta en un procesador DLX segmentado con bypass generalizado?: ST 12(R3), R2 LD R3, 12(R3); A) WAR C) RAW D) Ninguna de las afirmaciones anteriores es correcta Cuál de las siguientes técnicas suele utilizarse para eliminar riesgos estructurales: A) A) Disminuir el nº de lineas de transmisión de datos y buses C) Incrementar la velocidad del reloj del sistema D) Utilizar caches partidas para datos e instrucciones D) Las políticas dinámicas de predicción de saltos Comparando los registros R0 y FO, del procesador DLX: A) Almbos registros sulmacenan el valor 0 C) FO es un registro de 64 bits D) Ninguna de las afirmaciones anteriores es correcta Cuando se habla de un computador vectorial y un computador segmentado Cuando se habla de un computador vectorial y un computador segmentado Un computador vectorial cuyas componentes de vector son de 64 bits tiene una memoria entrelazada con módulos de memoria, ¿en que modulo de memoria se encontrar à la dirección 160? N) En el módulo 2 Sea la secuencia de instrucciones vectoriales siguientes: MLITY VI, V2, V3 con Comienzo e Tiempo arranque -7 y Tiempo iniciación =1 y ADDV V4, V5, V6 con Comienzo =1 Tiempo arranque = 6 y Tiempo iniciación =1; Todos los vectores tienen 64								
secuenciamento expicito B) Ambas lo incorporan D) Ninguna lo necessita Atendiendo a los tipos de formato de instrucción del computador DLX, las instrucciones tipo LW R1, 10(R6): C) Es de tipo I D) Ninguna lo necesita Indica los tipos de riesgos por dependencia de datos que pueden existir en el procesador DLX para operacion con enteros: A) Sólo WAR B) WAR WAW D) Sólo RAW Indica la fase en la que se realiza la búsqueda de la instrucción, independientemente del tipo de instrucción: C) Mi-M B) IF D) Ninguna de las afirmaciones anteriores es correcta COMBEN (C) RAW y WAW D) Sólo RAW C) Mi-M B) IF D) Ninguna de las afirmaciones anteriores es correcta con siguiente si se ejecuta en un procesador DLX segmentado con bypass generalizado?: ST 12(R3), R2 LD R3, 12(R3); A) WAR B) WAW C) RAW B) Utilizar caches partidas para datos e instrucciones Comparando los registros R0 y PG, del procesador DLX: A) A) Ambos registros almacenan el valor 0 B) Ambos tienen el mismo tamaño Cuando se habla de un computador vectorial y un computador segmentado: Cuando se habla de un computador vectorial y un computador segmentado es vectorial B) Un computador vectorial nuca será segmentado Cuando se habla de un computador vectorial un procesador DLX: A) Son férminos similares que se emplean indistintamente B) Un computador vectorial cuyas componentes de vector son de 64 bits tiene una memoria entrelazada con módulos de memoria, ¿en qué modulo de memoria se encontrará la dirección 160? A) En el módulo 2 Cse la escuencia de instrucciones vectoriales siguientes: MILTV VI, V2, V3 con Comienzo=0 Tiempo arranqu - 7 y Tiempo iniciación =1 y ADDV V4, V5, V6 con Comienzo=1 Tiempo arranqu = 6 y Tiempo iniciación =1; Todos los vectores tienen 64 componentes: A) La instrucción MULTV finaliza más tarde que MULTV D) Ninguna de las afirmaciones anteriores es correcta D) Don un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: C) En el módulo 1 D) En el módulo 2 D) En el mó	on	\mathbf{C}						
Atendiendo a los tipos de formato de instrucción del computador DLX, las instrucciones tipo LW R1, 10(R6): A) Es de tipo I B) Es de tipo I D) Ninguna de las afirmaciones anteriores es cierta Indica los tipos de riesgos por dependencia de datos que pueden existir en el procesador DLX para operacion con enterros: A) Sólo WAR B) WAR y WAW D) Sólo RAW Indica la fase en la que se realiza la búsqueda de la instrucción, independientemente del tipo de instrucción: 11 A) ID C) MEM D) Ninguna de las afirmaciones anteriores es correcta ¿Cuál es el tipo de riesgo por dependencia de datos que se presenta en el fragmento de código ensamblador siguiente si se ejecuta en un procesador DLX segmentado con bypass generalizado?: ST 12(R3), R2 LD R3, 12(R3): A) WAR C) RAW D) Ninguna de las afirmaciones anteriores es correcta siguiente si se ejecuta en un procesador DLX segmentado con bypass generalizado?: ST 12(R3), R2 LD R3, 12(R3): A) Disminuir el nº de lineas de transmisión de datos y buses D) Ninguna de las afirmaciones anteriores es correcta Cuál de las siguientes técnicas suele utilizarse para eliminar riesgos estructurales: Comparando los registros R0 y F0, del procesador DLX: A) Al Sonhos registros R0 y F0, del procesador DLX: A) Al Anbos registros almacenan el valor 0 Comparando los registros R0 y F0, del procesador DLX: A) Al Anbos registros almacenan el valor 0 Cuando se habla de un computador vectorial y un computador segmentado es evectorial D) Ninguna de las afirmaciones anteriores es correcta Cuando se habla de un computador vectorial y un computador segmentado es vectorial D) Son términos similares que se emplean indistintamente (7 fodo computador segmentado es vectorial D) Son términos diferentes Un computador vectorial nunca será segmentado Un computador vectorial nunca será segmentado C) En el módulo 3 Sea la secuencia de instrucciones vectoriales siguientes: MULTV VI, V2, V3 con Comienzo= 0 Tiempo arranqu = 7 y Tiempo iniciación = 1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arran		·						
19 A) Es de tipo 1 D) Ninguna de las afirmaciones anteriores es cierta								
B) Es de Lipo J D) Ninguna de las afirmaciones anteriores es cierta								
Indica los tipos de riesgos por dependencia de datos que pueden existir en el procesador DLX para operacione con enteros: A) Sólo WAR B) WAR WAW D) Sólo RAW Indica la fase en la que se realiza la búsqueda de la instrucción, independientemente del tipo de instrucción: C) MEM D) Ninguna de las afirmaciones anteriores es correcta ¿Cuál es el tipo de riesgo por dependencia de datos que se es presenta en el fragmento de código ensamblador siguiente si se ejecuta en un procesador DLX segmentado con bypass generalizado?: ST 12(R3), R2 LD R3, 12(R3); A) WAR B) WAW D) Ninguna de las afirmaciones anteriores es correcta Cuál de las siguientes técnicas suele utilizarse para eliminar riesgos estructurales: A) Disminuir el nº de lineas de transmisión de datos y buses B) Utilizar caches partidas para datos e instrucciones D) Las políticas dinámicas de predicción de saltos Comparando los registros R0 y F0, del procesador DLX: A) Ambos registros almacenan el valor 0 B) Ambos tienen el mismo tamáño Cuando se habla de un computador vectorial y un computador segmentado: Cuando se habla de un computador vectorial y un computador segmentado D) Non términos similares que se emplean indistintamente B) Un computador vectorial cuyas componentes de vector son de 64 bits tiene una memoria entrelazada con módulos de memoria, ¿en qué modulo de memoria se encontrará la dirección 160? A) En el módulo 2 D) En el módulo 3 Sea la secuencia de instrucciones vectoriales siguientes: MULTV VI, V2, V3 con Comienzo= 0 Tiempo arranque = 7 y Tiempo iniciación = 1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arranque = 6 y Tiempo iniciación = 1; todos los vectores tienen 64 componentes: A) La instrucción MULTV finaliza más tarde que ADDV B) La instrucción MUDTV finaliza más tarde que MULTV D) Ninguna de las afirmaciones anteriores es correcta Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: D) Ninguna de las afirmaciones anteriores es correcta Dodo un vector de 200 elementos, indicar la longitud de la primera		A						
con enteros:								
A) Sólo WAR B) WAR yWAW D) Sólo RAW Indica la fase en la que se realiza la búsqueda de la instrucción, independientemente del tipo de instrucción: A) ID B) IF D) Ninguna de las afirmaciones anteriores es correcta ¿Cuál es el tipo de riesgo por dependencia de datos que se presenta en el fragmento de código ensamblador siguiente si se ejecuta en un procesador DLX segmentado con bypass generalizado?: ST 12(R3), R2 LD R3, 12(R3): A) WAR B) WAW D) Ninguna de las afirmaciones anteriores es correcta Cuál de las siguientes técnicas suele utilizarse para eliminar riesgos estructurales: A) Disminuir el nº de líneas de transmisión de datos y buses C) Incrementar la velocidad del reloj del sistema B) Utilizar caches partidas para datos e instrucciones Comparando los registros R0 y F0, del procesador DLX: A) Ambos registros almacenan el valor 0 B) Ambos tienen el mismo tamaño D) Ninguna de las afirmaciones anteriores es correcta Cuando se habla de un computador vectorial y un computador segmentado: Cuando se habla de un computador vectorial y un computador segmentado: Un computador vectorial cuyas componentes de vector son de 64 bits tiene una memoria entrelazada con módulos de memoria, ¿en qué modulo de memoria se encontrará la dirección 160? A) En el módulo 2 D) Son términos diferentes Un computador vectorial cuyas componentes de vector son de 64 bits tiene una memoria entrelazada con módulos de memoria, ¿en qué modulo de memoria se encontrará la dirección 160? A) En el módulo 2 D) En el módulo 3 Sea la secuencia de instrucciones vectoriales siguientes: MULTV V1, V2, V3 con Comienzo= 0 Tiempo arranqu = 7 y Tiempo iniciación =1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arranque = 6 y Tiempo iniciación =1; todos los vectores tienen 64 componentes: A) En la instrucción ADDV finaliza más tarde que MDDV B) La instrucción ADDV finaliza más tarde que MDDV C) Albas finalizan en el mismo ciolo D) Ninguna de las afirmaciones anteriores es correcta Dodo un vector de 200 elementos, indicar la longitud de la primera partición si MVL =	es							
A) Solo WAR B) WAR y WAW D) Sólo RAW Indica la fase en la que se realiza la búsqueda de la instrucción, independientemente del tipo de instrucción: A) ID B) IF D) Ninguna de las afirmaciones anteriores es correcta ¿Cuál es el tipo de riesgo por dependencia de datos que se presenta en el fragmento de código ensamblador siguiente si se ejecuta en un procesador DLX segmentado con bypass generalizado?: ST 12(R3), R2 LD R3, 12(R3): A) WAR C) RAW B) WAW D) Ninguna de las afirmaciones anteriores es correcta A) Disminuir el nº de lineas de transmisión de datos y buses C) Incrementar la velocidad del reloj del sistema B) Ufilizar caches partidas para datose cinstrucciones D) Las políticas dinámicas de predicción de saltos Comparando los registros R0 y F0, del procesador DLX: A) Ambos registros almacenan el valor 0 B) Ambos tienen el mismo tamaño D) Ninguna de las afirmaciones anteriores es correcta Cuando se habla de un computador vectorial y un computador segmentado: A) Son términos similares que se emplean indistintamente B) Un computador vectorial nuas erá segmentado D) Son términos diferentes Un computador vectorial cuyas componentes de vector son de 64 bits tine una memoria entrelazada con módulos de memoria, ¿en qué modulo de memoria se encontrará la dirección 160? A) En el módulo 2 D) En el módulo 3 Sea la secuencia de instrucciones vectoriales siguientes: MULTV V1, V2, V3 con Comienzo= 0 Tiempo arranqu = 7 y Tiempo iniciación =1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arranqu = 6 y Tiempo iniciación =1; todos los vectores tienen 64 componentes: A) La instrucción MULTV finaliza más tarde que MDLTV D) Ninguna de las afirmaciones anteriores es correcta Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: A) En la primera pueden solaparse dos fases de una misma C) Ambas pueden operar en formato de coma flotante instrucción B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraria el		C						
Indica la fase en la que se realiza la búsqueda de la instrucción, independientemente del tipo de instrucción: A) ID B) IF D) Ninguna de las afirmaciones anteriores es correcta ¿Cuál es el tipo de riesgo por dependencia de datos que se presenta en el fragmento de código ensamblador siguiente si se ejecuta en un procesador DLX segmentado con bypass generalizado?: ST 12(R3), R2 LD R3, 12(R3); A) WAR C) RAW B) WAW D) Ninguna de las afirmaciones anteriores es correcta Cuál de las siguientes técnicas suele utilizarse para eliminar riesgos estructurales: A) Disminuir el nº de lineas de transmisión de datos y buses C) Incrementar la velocidad del reloj del sistema B) Utilizar caches partidas para datos e instrucciones D) Las políticas dinámicas de predicción de saltos Comparando los registros R0 y F0, del procesador DLX: A) Ambos tregistros almacenan el valor 0 B) Ambos tienen el mismo tamaño D) Ninguna de las afirmaciones anteriores es correcta Cuando se habla de un computador vectorial y un computador segmentado: A) Son términos similares que se emplean indistintamente B) Un computador vectorial nuca será segmentado D) Son términos differentes Un computador vectorial cuyas componentes de vector son de 64 bits tine una memoria entrelazada con módulos de memoria, ¿en qué modulo de memoria se encontrará la dirección 160? A) En el módulo 2 D) En el módulo 3 Sea la secuencia de instrucciones vectoriales siguientes: MULTV V1, V2, V3 con Comienzo= 0 Tiempo arranqu = 7 y Tiempo iniciación =1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arranqu = 6 y Tiempo iniciación =1; todos los vectores tienen 64 componentes: A) La instrucción MULTV finaliza más tarde que MDDV D) Ninguna de las afirmaciones anteriores es correcta Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: C) R B) 3 D) Ninguna de las afirmaciones anteriores es correcta Dado un vector de 200 elementos, indicar la longitud de la primera partición falsa: A) En la primera es segmentada D) Ambas consideran el incremento del regi		C						
21 A) ID C) MEM D) Ninguna de las afirmaciones anteriores es correcta ¿Cuál es el tipo de riesgo por dependencia de datos que se presenta en el fragmento de código ensamblador siguiente si se ejecuta en un procesador DLX segmentado con bypass generalizado?: ST 12(R3), R2 LD R3, 12(R3): A) WAR B) WAW Cuál de las siguientes técnicas suele utilizarse para eliminar riesgo estructurales: A) Disminuir el nº de líneas de transmisión de datos y buses B) Utilizar caches partidas para datos e instrucciones B) Utilizar caches partidas para datos e instrucciones D) Las políticas dinámicas de predicción de saltos Comparando los registros R0 y F0, del procesador DLX: A) Ambos registros almacenan el valor 0 B) Ambos tienen el mismo tamaño Cuando se habla de un computador vectorial y un computador segmentado: D) Ninguna de las afirmaciones anteriores es correcta Cuando se habla de un computador vectorial y un computador segmentado: D) Ninguna de las afirmaciones anteriores es correcta Cuando se habla de un computador vectorial y un computador segmentado: Un computador vectorial nunca será segmentado D) Son términos diferentes Un computador vectorial cuyas componentes de vector son de 64 bits tiene una memoria entrelazada con módulos de memoria, ¿en qué modulo de memoria se encontrará la dirección 160? A) En el módulo 0 B) En el módulo 0 B) En el módulo 0 C) En el módulo 1 D) En el módulo 2 D) Ninguna de las afirmaciones anteriores es correcta do instrucción ADDV finaliza más tarde que ADDV D) En el módulo 1 D) En el módulo 2 D) Ninguna de las afirmaciones anteriores es correcta D) Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64; A) A B) A B In la primera pueden solaparse dos fases de una misma C) Ambas pluden operar en formato de coma flotante instrucción B) La primera es segmentada D) Ambas consideran el incemento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejora el rendimiento								
21 A) ID C) MEM B) IF D) Ninguna de las afirmaciones anteriores es correcta ¿Cuál es el tipo de riesgo por dependencia de datos que se presenta en el fragmento de código ensamblador siguiente si se ejecuta en un procesador DLX segmentado con bypass generalizado?: 22 LD R3, 12(R3); A) WAR B) WAW Cuál de las siguientes técnicas suele utilizarse para eliminar riesgo estructurales: A) Disminuir el nº de líneas de transmisión de datos y buses A) Disminuir el nº de líneas de transmisión de datos y buses B) Utilizar caches partidas para datos e instrucciones B) Utilizar caches partidas para datos e instrucciones B) Ambos registros almacenan el valor 0 B) Ambos treinen el mismo tamaño Cuando se habla de un computador vectorial y un computador segmentado: Cuando se habla de un computador vectorial y un computador segmentado: D) Ninguna de las afirmaciones anteriores es correcta Cuando se habla de un computador vectorial y un computador segmentado: Cuando se habla de un computador vectorial y un computador segmentado: D) Son términos similares que se emplean indistintamente B) Un computador vectorial nunca será segmentado D) Son términos diferentes Un computador vectorial cuyas componentes de vector son de 64 bits tiene una memoria entrelazada con módulos de memoria, ¿en qué modulo de memoria se encontrará la dirección 160? A) En el módulo 0 B) En el módulo 0 D) En el módulo 3 Sea la secuencia de instrucciones vectoriales siguientes: MULTV V1, V2, V3 con Comienzo= 0 Tiempo arranque = 7 y Tiempo iniciación =1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arranque = 6 y Tiempo iniciación =1; rodos los vectores tienen 64 componentes: A) La instrucción MULTV finaliza más tarde que ADDV B) La instrucción MULTV finaliza más tarde que MULTV D) Ninguna de las afirmaciones anteriores es correcta D) Ambas consideran el mismo ciclo D) Ninguna de las afirmaciones anteriores es correcta Comparando la arquitectura Von Neumann con la DLX, indica la afirmación falsa: Comparando la requitectura en la que una memoria caché partida no mejora								
¿Cuál es el tipo de riesgo por dependencia de datos que se presenta en el fragmento de código ensamblador siguiente si se ejecuta en un procesador DLX segmentado con bypass generalizado?: ST 1(R3), R2 LD R3, 12(R3): A) WAR B) WAW D) Ninguna de las afirmaciones anteriores es correcta Cuál de las siguientes técnicas suele utilizarse para eliminar riesgos estructurales: A) Disminuir el nº de líneas de transmisión de datos y buses C) Incrementar la velocidad del reloj del sistema B) Utilizar caches partidas para datos e instrucciones D) Las políticas dinámicas de predicción de saltos Comparando los registros R0 y F0, del procesador DLX: A) Ambos registros almacenan el valor 0 C) F0 es un registro de 64 bits D) Ninguna de las afirmaciones anteriores es correcta Cuando se habla de un computador vectorial y un computador segmentado: C) Todo computador segmentado: C) Todo computador segmentado es vectorial D) Son términos diferentes Un computador vectorial cuyas componentes de vector son de 64 bits lendulo 3 Sea la secuencia de instrucciones vectoriales siguientes: MULTV V1, V2, V3 con Comienzo= 0 Tiempo arranque = 7 y Tiempo iniciación = 1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arranque = 6 y Tiempo iniciación = 1; todos los vectores tienen 64 componentes: A) La instrucción MULTV finaliza más tarde que MULTV D) Ninguna de las afirmaciones anteriores es correcta Comparando la arquitectura Von Neumann con la DLX, indica la afirmación falsa: C) Ambas pueden operar en formato de coma flotante instrucción B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento C) La memoria caché partida no mejora el rendimiento		В						
¿Cuál es el tipo de riesgo por dependencia de datos que se presenta en el fragmento de código ensamblador siguiente si se ejecuta en un procesador DLX segmentado con bypass generalizado?: ST 12(R3), R2								
siguiente si se ejecuta en un procesador DLX segmentado con bypass generalizado?: ST 12(R3), R2 LD R3, 12(R3): A) WAR B) WAW D) Ninguna de las afirmaciones anteriores es correcta Cuál de las siguientes técnicas suele utilizarse para eliminar riesgos estructurales: A) Disminuir el nº de lineas de transmisión de datos y buses C) Incrementar la velocidad del reloj del sistema B) Utilizar caches partidas para datos e instrucciones D) Las políticas dinámicas de predicción de saltos Comparando los registros R0 y F0, del procesador DLX: A) Ambos registros almacenan el valor 0 C) F0 es un registro de 64 bits D) Ninguna de las afirmaciones anteriores es correcta Cuando se habla de un computador vectorial y un computador segmentado: A) Son términos similares que se emplean indistintamente B) Un computador vectorial nunca será segmentado Un computador vectorial cuyas componentes de vector son de 64 bits tiene una memoria entrelazada con módulos de memoria, ¿en qué modulo de memoria se encontrará la dirección 160? A) En el módulo 0 B) En el módulo 2 D) En el módulo 3 Sea la secuencia de instrucciones vectoriales siguientes: MULTV V1, V2, V3 con Comienzo 0 Tiempo arranqu = 7 y Tiempo iniciación =1 y ADDV V4, V5, V6 con Comienzo = 1 Tiempo arranqu = 6 y Tiempo iniciación =1; todos los vectores tienen 64 componentes: A) La instrucción MULTV finaliza más tarde que ADDV B) La instrucción MULTV finaliza más tarde que MULTV D) Ninguna de las afirmaciones anteriores es correcta D) Ninguna de l								
ST 12(R3), R2								
LD R3, 12(R3): A) WAR B) WAW D) Ninguna de las afirmaciones anteriores es correcta Cuál de las siguientes técnicas suele utilizarse para eliminar riesgos estructurales: A) Disminuir el nº de lineas de transmisión de datos y buses B) Utilizar caches partidas para datos e instrucciones D) Las políticas dinámicas de predicción de saltos D) Las políticas dinámicas de predicción de saltos Comparando los registros R0 y F0, del procesador DLX: A) Ambos registros almacenan el valor 0 B) Ambos tienen el mismo tamaño D) Ninguna de las afirmaciones anteriores es correcta Cuando se habla de un computador vectorial y un computador segmentado: C) F0 es un registro de 64 bits D) Ninguna de las afirmaciones anteriores es correcta Cuando se habla de un computador vectorial y un computador segmentado es vectorial B) Un computador vectorial cuyas componentes de vector son de 64 bits tiene una memoria entrelazada con módulos de memoria, ¿en qué modulo de memoria se encontrará la dirección 160? A) En el módulo 0 C) En el módulo 1 D) En el módulo 3 Sea la secuencia de instrucciones vectoriales siguientes: MULTY VI, V2, V3 con Comienzo= 0 Tiempo arranqu = 7 y Tiempo iniciación =1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arranque = 6 y Tiempo iniciación =1; todos los vectores tienen 64 componentes: A) La instrucción MULTV finaliza más tarde que ADDV B) La instrucción MULTV finaliza más tarde que MULTV D) Ninguna de las afirmaciones anteriores es correcta Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: C) 8 B) 3 D) Ninguna de las afirmaciones anteriores es correcta Comparando la arquitectura Von Neumann con la DLX, indica la afirmación falsa: C) Ambas pueden operar en formato de coma flotante instrucción B) La primera pueden solaparse dos fases de una misma instrucción falsa: C) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: O) La memoria caché partida no mejora el rendimiento								
A) WAR B) WAW D) Ninguna de las afirmaciones anteriores es correcta Cuál de las siguientes técnicas suele utilizarse para eliminar riesgos estructurales: A) Disminuir el nº de líneas de transmisión de datos y buses B) Utilizar caches partidas para datos e instrucciones D) Las políticas dinámicas de predicción de saltos Comparando los registros R0 y F0, del procesador DLX: A) Ambos registros almacenan el valor 0 C) F0 es un registro de 64 bits B) Ambos teigenen el mismo tamaño D) Ninguna de las afirmaciones anteriores es correcta Cuando se habla de un computador vectorial y un computador segmentado: A) Son términos similares que se emplean indistintamente B) Un computador vectorial cuyas componentes de vector son de 64 bits tiene una memoria entrelazada con módulos de memoria, ¿en qué modulo de memoria se encontrará la dirección 160? A) En el módulo 2 D) En el módulo 3 Sea la secuencia de instrucciones vectoriales siguientes: MULTV V1, V2, V3 con Comienzo= 0 Tiempo arranqu = 7 y Tiempo iniciación =1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arranque = 6 y Tiempo iniciación =1; todos los vectores tienen 64 componentes: A) La instrucción MULTV finaliza más tarde que ADDV B) La instrucción ADDV finaliza más tarde que MULTV D) Ninguna de las afirmaciones anteriores es correcta Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: C) 8 B) 3 Comparando la arquitectura Von Neumann con la DLX, indica la afirmacione anteriores es correcta Dado un vector de 200 elementos, indicar la longitud de la primera partición falsa: C) Ambas pueden operar en formato de coma flotante instrucción B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento	D							
B) WAW Cuál de las siguientes técnicas suele utilizarse para eliminar riesgos estructurales: A) Disminuir el nº de líneas de transmisión de datos y buses C) Incrementar la velocidad del reloj del sistema B) Utilizar caches partidas para datos e instrucciones D) Las políticas dinámicas de predicción de saltos Comparando los registros R0 y F0, del procesador DLX: 24 A) Ambos registros almacenan el valor 0 C) F0 es un registro de 64 bits B) Ambos tienen el mismo tamaño D) Ninguna de las afirmaciones anteriores es correcta Cuando se habla de un computador vectorial y un computador segmentado: Cuando se habla de un computador vectorial y un computador segmentado: Cuando se habla de un computador vectorial y un computador segmentado: C) Todo computador segmentado es vectorial B) Un computador vectorial nunca será segmentado D) Son términos diferentes Un computador vectorial cuyas componentes de vector son de 64 bits tiene una memoria entrelazada con módulos de memoria, ¿en qué modulo de memoria se encontrará la dirección 160? A) En el módulo 2 D) En el módulo 3 Sea la secuencia de instrucciones vectoriales siguientes: MULTV V1, V2, V3 con Comienzo= 0 Tiempo arranqu= 7 y Tiempo iniciación =1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arranqu= 6 y Tiempo iniciación =1; todos los vectores tienen 64 componentes: A) La instrucción ADDV finaliza más tarde que ADDV C) Ambas finalizan en el mismo ciclo B) La instrucción ADDV finaliza más tarde que MULTV D) Ninguna de las afirmaciones anteriores es correcta Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: C) A) En la primera pueden solaparse dos fases de una misma C) Ambas pueden operar en formato de coma flotante instrucción B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento	C) RAW							
Cuál de las siguientes técnicas suele utilizarse para eliminar riesgos estructurales: A) Disminuir el nº de líneas de transmisión de datos y buses C) Incrementar la velocidad del reloj del sistema B) Utilizar caches partidas para datos e instrucciones D) Las políticas dinámicas de predicción de saltos Comparando los registros R0 y F0, del procesador DLX: 24 A) Ambos registros almacenan el valor 0 C) F0 es un registro de 64 bits D) Ninguna de las afirmaciones anteriores es correcta Cuando se habla de un computador vectorial y un computador segmentado: D) Son términos similares que se emplean indistintamente B) Un computador vectorial nunca será segmentado D) Son términos diferentes Un computador vectorial cuyas componentes de vector son de 64 bits tiene una memoria entrelazada con módulos de memoria, ¿en qué modulo de memoria se encontrará la dirección 160? A) En el módulo 0 C) En el módulo 1 D) En el módulo 3 Sea la secuencia de instrucciones vectoriales siguientes: MULTV V1, V2, V3 con Comienzo= 0 Tiempo arranque = 7 y Tiempo iniciación = 1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arranque = 6 y Tiempo iniciación = 1; todos los vectores tienen 64 componentes: A) La instrucción MULTV finaliza más tarde que MULTV D) Ninguna de las afirmaciones anteriores es correcta Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: C) 8								
A) Disminuir el nº de líneas de transmisión de datos y buses B) Utilizar caches partidas para datos e instrucciones B) Utilizar caches partidas para datos e instrucciones Comparando los registros R0 y F0, del procesador DLX: A) Ambos registros almacenan el valor 0 B) Ambos tienen el mismo tamaño Cuando se habla de un computador vectorial y un computador segmentado: A) Son términos similares que se emplean indistintamente B) Un computador vectorial nunca será segmentado Un computador vectorial nunca será segmentado D) Son términos diferentes Un computador vectorial cuyas componentes de vector son de 64 bits tiene una memoria entrelazada con módulos de memoria, ¿en qué modulo de memoria se encontrará la dirección 160? A) En el módulo 2 C) En el módulo 1 D) En el módulo 1 D) En el módulo 2 Sea la secuencia de instrucciones vectoriales siguientes: MULTV V1, V2, V3 con Comienzo= 0 Tiempo arranqu = 7 y Tiempo iniciación =1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arranque = 6 y Tiempo iniciación =1; todos los vectores tienen 64 componentes: A) La instrucción MULTV finaliza más tarde que MULTV D) Ninguna de las afirmaciones anteriores es correcta Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: Comparando la arquitectura Von Neumann con la DLX, indica la afirmación falsa: A) En la primera pueden solaparse dos fases de una misma instrucción B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: C) La memoria caché partida no mejora el rendimiento								
B) Utilizar caches partidas para datos e instrucciones Comparando los registros R0 y F0, del procesador DLX: A) Ambos registros almacenan el valor 0 B) Ambos tienen el mismo tamaño Cuando se habla de un computador vectorial y un computador segmentado: A) Son términos similares que se emplean indistintamente B) Un computador vectorial nunca será segmentado Un computador vectorial cuyas componentes de vector son de 64 bits tiene una memoria entrelazada con módulos de memoria, ¿en qué modulo de memoria se encontrará la dirección 160? A) En el módulo 2 B) En el módulo 2 Sea la secuencia de instrucciones vectoriales siguientes: MULTV V1, V2, V3 con Comienzo= 0 Tiempo arranqu = 7 y Tiempo iniciación =1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arranque = 6 y Tiempo iniciación =1; todos los vectores tienen 64 componentes: A) La instrucción MULTV finaliza más tarde que ADDV B) La instrucción ADDV finaliza más tarde que MULTV D) Ninguna de las afirmaciones anteriores es correcta Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: C) A) En la primera pueden solaparse dos fases de una misma instrucción B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: O) La memoria caché partida no mejora el rendimiento		В						
Comparando los registros R0 y F0, del procesador DLX: A) Ambos registros almacenan el valor 0								
A) Ambos registros almacenan el valor 0 C) F0 es un registro de 64 bits B) Ambos tienen el mismo tamaño D) Ninguna de las afirmaciones anteriores es correcta Cuando se habla de un computador vectorial y un computador segmentado: A) Son términos similares que se emplean indistintamente B) Un computador vectorial nunca será segmentado D) Son términos diferentes Un computador vectorial cuyas componentes de vector son de 64 bits tiene una memoria entrelazada con médulos de memoria, ¿en qué modulo de memoria se encontrará la dirección 160? A) En el módulo 2 D) En el módulo 3 Sea la secuencia de instrucciones vectoriales siguientes: MULTV V1, V2, V3 con Comienzo= 0 Tiempo arranque = 7 y Tiempo iniciación =1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arranque = 6 y Tiempo iniciación =1; todos los vectores tienen 64 componentes: A) La instrucción MULTV finaliza más tarde que MDLTV D) Ninguna de las afirmaciones anteriores es correcta Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: C) 8 B) 3 D) Ninguna de las afirmaciones anteriores es correcta Comparando la arquitectura Von Neumann con la DLX, indica la afirmación falsa: A) En la primera pueden solaparse dos fases de una misma instrucción B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: C) La memoria caché partida no mejora el rendimiento	-							
B) Ambos tienen el mismo tamaño Cuando se habla de un computador vectorial y un computador segmentado: A) Son términos similares que se emplean indistintamente B) Un computador vectorial nunca será segmentado D) Son términos diferentes Un computador vectorial cuyas componentes de vector son de 64 bits tiene una memoria entrelazada con médulos de memoria, ¿en qué modulo de memoria se encontrará la dirección 160? A) En el módulo 0 B) En el módulo 2 C) En el módulo 3 Sea la secuencia de instrucciones vectoriales siguientes: MULTV V1, V2, V3 con Comienzo= 0 Tiempo arranque = 7 y Tiempo iniciación =1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arranque = 6 y Tiempo iniciación =1; todos los vectores tienen 64 componentes: A) La instrucción MULTV finaliza más tarde que ADDV B) La instrucción ADDV finaliza más tarde que MULTV D) Ninguna de las afirmaciones anteriores es correcta Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: C) 8 B) 3 Comparando la arquitectura Von Neumann con la DLX, indica la afirmación falsa: C) Ambas pueden operar en formato de coma flotante instrucción B) La primera pseden solaparse dos fases de una misma instrucción B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: C) La memoria caché partida no mejora el rendimiento		В						
Cuando se habla de un computador vectorial y un computador segmentado: A) Son términos similares que se emplean indistintamente B) Un computador vectorial nunca será segmentado D) Son términos diferentes								
A) Son términos similares que se emplean indistintamente B) Un computador vectorial nunca será segmentado D) Son términos diferentes Un computador vectorial cuyas componentes de vector son de 64 bits tiene una memoria entrelazada con módulos de memoria, ¿en qué modulo de memoria se encontrará la dirección 160? A) En el módulo 0 B) En el módulo 2 C) En el módulo 1 D) En el módulo 3 Sea la secuencia de instrucciones vectoriales siguientes: MULTV V1, V2, V3 con Comienzo= 0 Tiempo arranque = 7 y Tiempo iniciación =1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arranque = 6 y Tiempo iniciación =1; todos los vectores tienen 64 componentes: A) La instrucción MULTV finaliza más tarde que ADDV B) La instrucción ADDV finaliza más tarde que MULTV D) Ninguna de las afirmaciones anteriores es correcta Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: C) 8 B) 3 D) Ninguna de las afirmaciones anteriores es correcta Comparando la arquitectura Von Neumann con la DLX, indica la afirmación falsa: A) En la primera pueden solaparse dos fases de una misma instrucción B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: C) La memoria caché partida no mejora el rendimiento	-							
B) Un computador vectorial nunca será segmentado D) Son términos diferentes Un computador vectorial cuyas componentes de vector son de 64 bits tiene una memoria entrelazada con módulos de memoria, ¿en qué modulo de memoria se encontrará la dirección 160? A) En el módulo 0 B) En el módulo 2 C) En el módulo 3 Sea la secuencia de instrucciones vectoriales siguientes: MULTV V1, V2, V3 con Comienzo= 0 Tiempo arranqu = 7 y Tiempo iniciación =1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arranque = 6 y Tiempo iniciación =1; todos los vectores tienen 64 componentes: A) La instrucción MULTV finaliza más tarde que ADDV B) La instrucción ADDV finaliza más tarde que MULTV D) Ninguna de las afirmaciones anteriores es correcta Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: C) 8 B) 3 D) Ninguna de las afirmaciones anteriores es correcta Comparando la arquitectura Von Neumann con la DLX, indica la afirmación falsa: A) En la primera pueden solaparse dos fases de una misma instrucción B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: C) La memoria caché partida no mejora el rendimiento	_	D						
Un computador vectorial cuyas componentes de vector son de 64 bits tiene una memoria entrelazada con módulos de memoria, ¿en qué modulo de memoria se encontrará la dirección 160? A) En el módulo 0 B) En el módulo 2 C) En el módulo 3 Sea la secuencia de instrucciones vectoriales siguientes: MULTV V1, V2, V3 con Comienzo= 0 Tiempo arranque = 7 y Tiempo iniciación =1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arranque = 6 y Tiempo iniciación =1; todos los vectores tienen 64 componentes: A) La instrucción MULTV finaliza más tarde que ADDV B) La instrucción ADDV finaliza más tarde que MULTV D) Ninguna de las afirmaciones anteriores es correcta Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: C) ABB D) Ninguna de las afirmaciones anteriores es correcta Comparando la arquitectura Von Neumann con la DLX, indica la afirmación falsa: A) En la primera pueden solaparse dos fases de una misma instrucción B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: C) La memoria caché partida no mejora el rendimiento		D						
módulos de memoria, ¿en qué modulo de memoria se encontrará la dirección 160? A) En el módulo 0 B) En el módulo 2 C) En el módulo 3 Sea la secuencia de instrucciones vectoriales siguientes: MULTV V1, V2, V3 con Comienzo= 0 Tiempo arranqu = 7 y Tiempo iniciación =1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arranque = 6 y Tiempo iniciación =1; todos los vectores tienen 64 componentes: A) La instrucción MULTV finaliza más tarde que ADDV B) La instrucción ADDV finaliza más tarde que MULTV Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: 28 A) 4 C) 8 D) Ninguna de las afirmaciones anteriores es correcta Comparando la arquitectura Von Neumann con la DLX, indica la afirmación falsa: A) En la primera pueden solaparse dos fases de una misma C) Ambas pueden operar en formato de coma flotante instrucción B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: C) La memoria caché partida no mejora el rendimiento	4							
A) En el módulo 0 B) En el módulo 2 D) En el módulo 3 Sea la secuencia de instrucciones vectoriales siguientes: MULTV V1, V2, V3 con Comienzo= 0 Tiempo arranqu = 7 y Tiempo iniciación =1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arranque = 6 y Tiempo iniciación =1; todos los vectores tienen 64 componentes: A) La instrucción MULTV finaliza más tarde que ADDV B) La instrucción ADDV finaliza más tarde que MULTV D) Ninguna de las afirmaciones anteriores es correcta Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: (C) 8 B) 3 D) Ninguna de las afirmaciones anteriores es correcta Comparando la arquitectura Von Neumann con la DLX, indica la afirmación falsa: A) En la primera pueden solaparse dos fases de una misma instrucción B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: C) La memoria caché partida no mejora el rendimiento	7							
Sea la secuencia de instrucciones vectoriales siguientes: MULTV V1, V2, V3 con Comienzo= 0 Tiempo arranque = 7 y Tiempo iniciación =1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arranque = 6 y Tiempo iniciación =1; todos los vectores tienen 64 componentes: A) La instrucción MULTV finaliza más tarde que ADDV B) La instrucción ADDV finaliza más tarde que MULTV D) Ninguna de las afirmaciones anteriores es correcta Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: C) 8 B) 3 D) Ninguna de las afirmaciones anteriores es correcta Comparando la arquitectura Von Neumann con la DLX, indica la afirmación falsa: A) En la primera pueden solaparse dos fases de una misma C) Ambas pueden operar en formato de coma flotante instrucción B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: C) La memoria caché partida no mejora el rendimiento	\dashv	A						
Sea la secuencia de instrucciones vectoriales siguientes: MULTV V1, V2, V3 con Comienzo= 0 Tiempo arranqu = 7 y Tiempo iniciación =1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arranque = 6 y Tiempo iniciación =1; todos los vectores tienen 64 componentes: A) La instrucción MULTV finaliza más tarde que ADDV B) La instrucción ADDV finaliza más tarde que MULTV D) Ninguna de las afirmaciones anteriores es correcta Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: C) 8 B) 3 D) Ninguna de las afirmaciones anteriores es correcta Comparando la arquitectura Von Neumann con la DLX, indica la afirmación falsa: A) En la primera pueden solaparse dos fases de una misma C) Ambas pueden operar en formato de coma flotante instrucción B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: C) La memoria caché partida no mejora el rendimiento								
27 Tiempo iniciación =1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arranque = 6 y Tiempo iniciación =1; todos los vectores tienen 64 componentes: A) La instrucción MULTV finaliza más tarde que ADDV B) La instrucción ADDV finaliza más tarde que MULTV D) Ninguna de las afirmaciones anteriores es correcta Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: A) 4 B) 3 D) Ninguna de las afirmaciones anteriores es correcta Comparando la arquitectura Von Neumann con la DLX, indica la afirmación falsa: A) En la primera pueden solaparse dos fases de una misma C) Ambas pueden operar en formato de coma flotante instrucción B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: C) La memoria caché partida no mejora el rendimiento	-							
todos los vectores tienen 64 componentes: A) La instrucción MULTV finaliza más tarde que ADDV B) La instrucción ADDV finaliza más tarde que MULTV D) Ninguna de las afirmaciones anteriores es correcta Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: A) 4 B) 3 C) 8 B) 3 D) Ninguna de las afirmaciones anteriores es correcta Comparando la arquitectura Von Neumann con la DLX, indica la afirmación falsa: A) En la primera pueden solaparse dos fases de una misma A) En la primera pueden solaparse dos fases de una misma B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: C) La memoria caché partida no mejora el rendimiento								
A) La instrucción MULTV finaliza más tarde que ADDV B) La instrucción ADDV finaliza más tarde que MULTV D) Ninguna de las afirmaciones anteriores es correcta Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: C) 8 B) 3 D) Ninguna de las afirmaciones anteriores es correcta Comparando la arquitectura Von Neumann con la DLX, indica la afirmación falsa: A) En la primera pueden solaparse dos fases de una misma instrucción B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: C) La memoria caché partida no mejora el rendimiento	51	C						
B) La instrucción ADDV finaliza más tarde que MULTV D) Ninguna de las afirmaciones anteriores es correcta Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: C) 8 B) 3 D) Ninguna de las afirmaciones anteriores es correcta Comparando la arquitectura Von Neumann con la DLX, indica la afirmación falsa: A) En la primera pueden solaparse dos fases de una misma instrucción B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: C) La memoria caché partida no mejora el rendimiento	\dashv	·						
Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64: A) 4 B) 3 Comparando la arquitectura Von Neumann con la DLX, indica la afirmación falsa: A) En la primera pueden solaparse dos fases de una misma B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: C) La memoria caché partida no mejora el rendimiento								
A) 4 B) 3 D) Ninguna de las afirmaciones anteriores es correcta Comparando la arquitectura Von Neumann con la DLX, indica la afirmación falsa: A) En la primera pueden solaparse dos fases de una misma A) En la primera pueden solaparse dos fases de una misma B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: C) La memoria caché partida no mejora el rendimiento								
B) 3 Comparando la arquitectura Von Neumann con la DLX, indica la afirmación falsa: A) En la primera pueden solaparse dos fases de una misma B) La primera es segmentada D) Ambas pueden operar en formato de coma flotante instrucción B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: C) La memoria caché partida no mejora el rendimiento		_						
29 Comparando la arquitectura Von Neumann con la DLX, indica la afirmación falsa: A) En la primera pueden solaparse dos fases de una misma C) Ambas pueden operar en formato de coma flotante instrucción B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: A) DLX C) La memoria caché partida no mejora el rendimiento		C						
A) En la primera pueden solaparse dos fases de una misma C) Ambas pueden operar en formato de coma flotante instrucción B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: C) La memoria caché partida no mejora el rendimiento	_							
instrucción B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: A) DLX C) La memoria caché partida no mejora el rendimiento								
Instrucción B) La primera es segmentada D) Ambas consideran el incremento del registro PC Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: A) DLX C) La memoria caché partida no mejora el rendimiento		В						
Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento: 30 A) DLX C) La memoria caché partida no mejora el rendimiento								
30 A) DLX C) La memoria caché partida no mejora el rendimiento	\bot							
B) La memoria caché nartida exige adelantamiento D) Ninguna de las afirmaciones anteriores es correcta		D						
D) Tringula de las antinaciones antenios es confecta								

EXAMEN DE ARQUITECTURA DE COMPUTADORES

La Rábida, 16 de Septiembre de 2014

PROBLEMA 1. (2,25 ptos.). Un sistema computador (sin memoria virtual) tiene una memoria principal de 1 Mpalabras de 8 bits cada una de ellas y una memoria caché de 8 Kpalabras, con un conjunto y 1Kpalabras/bloque.

- a) Justificar e indicar con un esquema la organización de la memoria principal y de la memoria caché (capacidad total, tamaño de la palabra, tamaño de bloque y nº de bloques, tanto en la memoria principal como en la memoria caché).
- b) Mostrar el formato de la dirección que define la unidad central de proceso, definiendo cada uno de los campos en los que se divide.

Se supone que, después de haber estado la memoria caché "vacía" (*instantes 0*), la CPU lee la secuencia de direcciones de memoria: 1024, 1025, 1026, 254, 255, 256, 512, 513, 514, 2045, 2046, 2047, según el orden marcado en la misma (*instante 1*).

- c) Mostrar el contenido de la memoria caché en el instante 1.
- d) Calcular la frecuencia de uso (en %) que tiene en ese *instante 1* cada uno de los bloques que se encuentran en la memoria caché.

A continuación, la CPU requiere el acceso a los bloques de memoria principal 8, 9, 10, 4, 12, 16 y 5, leídas todas las direcciones de cada uno de ellos una vez y en el orden que se indica (*instante 2*). Suponer que el algoritmo de reemplazamiento de bloques es el LRU (Least Recently Used).

- e) Mostrar el contenido de la memoria caché en el instante 2.
- f) ¿Qué frecuencia de uso tienen en ese *instante 2* cada uno de los bloques que se encuentran en dicha memoria caché?.
- g) Hasta ese *instante 2*, ¿cuántos fallos y de qué tipo se han producido?.

Después de todo el proceso anterior, la CPU solicita las direcciones de memoria principal 2050, 2051 y 2052 (*instante 3*)

- h) Mostrar el contenido de la memoria caché en ese instante 3.
- i) ¿Cuántos fallos y de qué tipo se han producido entre el *instante 2* y el *instante 3*.

PROBLEMA 2. (2,25 ptos.). **Definir la secuencia de operaciones** elementales y el solapamiento posible de las mismas, para el sistema computador representado en la figura, y para la ejecución de las instrucciones abajo indicadas, **mostrando previamente los formatos** de las instrucciones.

Dirección de Memoria	Instrucción
(en hexadecimal)	(en ensamblador)
A0000h	ADD 00100h, .2
A0001h	JMP A0003h
A0002h	RET
A0003h	NOP

Teniendo en cuenta:

- a) PRIMERA INSTRUCCIÓN: La instrucción aritmética ADD, con direccionamiento directo absoluto a memoria para el primer operando y directo absoluto a registro para el segundo. El resultado de la suma provoca desbordamiento, generando un trap al finalizar, bifurcando a la dirección A0002h. El resultado erróneo no es necesario almacenarlo en su destino.
- SEGUNDA INSTRUCCIÓN: La instrucción de bifurcación JMP, con modo de direccionamiento directo absoluto a memoria.
- c) TERCERA INSTRUCCIÓN: La instrucción de retorno de subrutina RET.
- d) CUARTA INSTRUCCIÓN: La instrucción de no operación NOP.
- e) Se debe especificar el cronograma según el flujo marcado por el programa propuesto, y considerando como última instrucción la de no operación NOP.
- f) Las operaciones con la unidad aritmético-lógica se realizan en un periodo.
- g) Los cálculos de las direcciones de los operandos en memoria especificados con direccionamiento relativo, se realizarán de manera automática en el periodo de decodificación. Considerar que la instrucción SUB .4, 00020h(.1) tiene el siguiente formato:

C. OP SUB _i .4	.1	00020h
---------------------------	----	--------

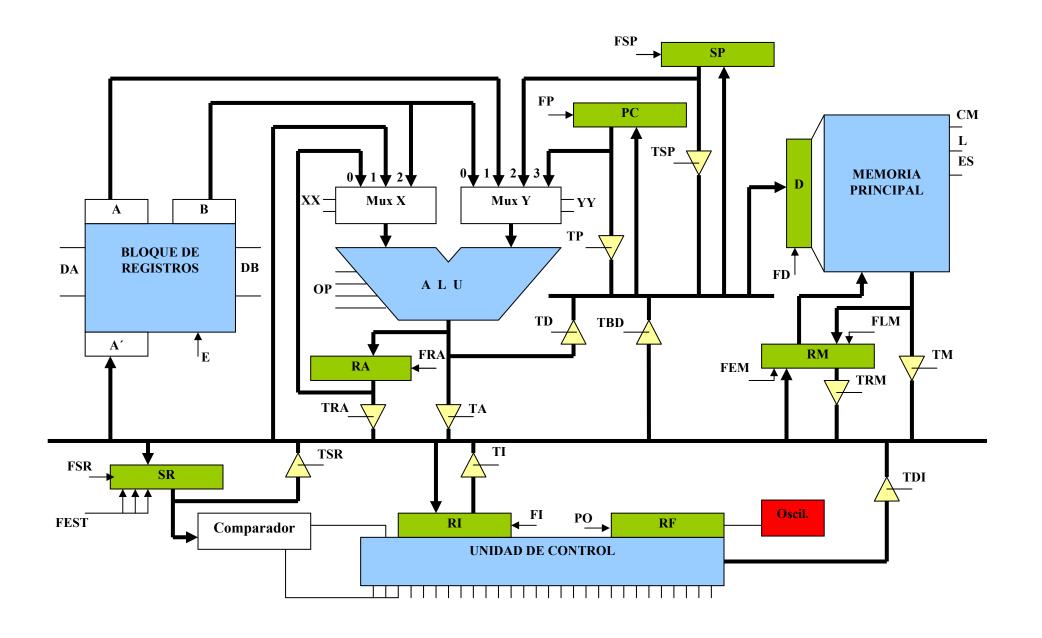
- h) El resultado de una operación o el operando destino va a ser siempre el especificado en primer lugar en la instrucción.
- i) Las operaciones de L/E en memoria se realizan durante dos periodos.
- j) La pila, que se implementa en el sistema con el registro SP (puntero de pila), funciona de la siguiente forma: 1) La pila crece hacia direcciones decrecientes. 2) El registro puntero de pila indica la dirección de memoria principal en la que se introdujo el último dato en la pila.
- k) Para cuando hay que salvar el contenido de SR y el de PC, siempre se almacenará primero el de SR.
- En caso de que el esquema computador dado permita realizarla, definir el valor de las señales de control que corresponden a la operación: SP ← PC − RA. Mostrar únicamente el valor de las señales que intervienen directamente en dicha operación.

PROBLEMA 3. (2,5 ptos.). El siguiente fragmento de código se ejecuta en un procesador DLX. Las latencias (en ciclos de reloj) de las unidades funcionales son las siguientes: Sumador/restador entero: 1; Sumador/restador flotante: 2; Multiplicador: 3; y Divisor: 4 (las tres unidades funcionales para operaciones en coma flotante están **segmentadas**).

```
FMUL F4, F0, F3
LW R2, 4(R5)
LW R1, 2(R5)
LF F0, 10(R1)
LF F3, 20(R2)
ADD R0, R1, R2
FDIV F4, F0, F3
SW 5(R4), R0
SF 6(R4), F4
LW R4, 8(R2)
```

- a) Suponiendo que la memoria tiene dos puertos de acceso (uno para instrucciones y otro para datos) y que no existe ningún tipo de adelantamiento, indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; e indicar si existen bloqueos en la cadena y a qué se deben.
- b) Repetir el apartado a) para una versión del DLX que incluya adelantamiento (bypass) generalizado y suponiendo que la memoria tiene un único puerto de acceso. Indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; e indicar si existen bloqueos en la cadena y a qué se deben. Indicar claramente los datos que se adelantan y entre qué etapas actúa el bypass.

Apellidos:	 	Nombre:	



											·e:	Nomb														Apellidos:
22 23 24	23	22		21	20	19	8	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	Apartado a)
																										FMUL F4,F0,F3
																										LW R2,4(R5)
																										LW R1,2(R5)
																										LF F0,10(R1)
																										LF F3,20(R2)
																										ADD R0,R1,R2
																										FDIV F4,F0,F3
																										SW 5(R4),R0
																										SF 6(R4),F4
																										LW R4,8(R2)
					•	10		1 4		4.6			40			40					· ·				1	
22 23 24	23	22	12.	21	20	19	.8	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	Apartado b) FMUL F4, F0, F3
			+																							LW R2,4(R5)
																										LW R1,2(R5)
			+																							LF F0,10(R1)
			+																							LF F3,20(R2)
																										ADD R0,R1,R2
																										FDIV F4,F0,F3
																										SW 5(R4),R0
														_			_									
																										,
																										SF 6(R4),F4 LW R4,8(R2)