

EXAMEN DE ARQUITECTURA DE COMPUTADORES. La Rábida, 15 de Septiembre de 2015

Apellidos **Nombre**

Valor de cada: Respuesta correcta + 0.1
 Respuesta incorrecta - 0.05
 No respuesta - 0.05

TIEMPO REALIZACIÓN EXAMEN: 45 minutos

Espacio para respuestas

1	Para mejorar el rendimiento de un computador para una aplicación se tienen dos opciones: 1.-Cambiar el procesador gráfico que se utiliza un 20% del tiempo, consiguiendo un factor de mejora de 5, ó 2.- Incrementar la memoria obteniendo un factor de mejora de 2 el 80% del tiempo. ¿Cuál es la mejor opción?:	C
	A) La opción 1 da mayor aceleración B) Ambas opciones dan igual aceleración C) La opción 2 da mayor aceleración D) Ninguna de las afirmaciones anteriores es correcta	
2	Si una máquina A ejecuta un programa en diez segundos, ¿en cuánto tiempo ejecuta el mismo programa la máquina B si la máquina A es el 50% más rápida que la B?:	A
	A) En 15 seg B) En 10,5 seg C) En 20 seg D) Se necesitan más datos para conocer la respuesta	
3	El Principio de Localidad de Referencia, se aplica:	A
	A) Tanto a los accesos de datos como de instrucciones B) Únicamente a los accesos de datos C) Únicamente a los accesos de instrucciones D) Ninguna de las afirmaciones anteriores es correcta	
4	Sea un sistema computador con microprocesador Intel i7 a 3,4 GHz, si después de pasarle un Benchmark se obtiene que es capaz de ejecutar 130000 MIPS:	C
	A) Se estima que ejecuta 38200 instrucciones en un ciclo B) Se estima que cada instrucción requiere de 0,294 ciclos para su ejecución C) Se puede decir que cada ciclo de reloj dura 0,294 nseg D) Faltan datos para conocer el promedio del número de ciclos por instrucción	
5	Indica la afirmación que es cierta:	C
	A) El tiempo de CPU no depende del ciclo de reloj B) El tiempo de CPU no depende de los ciclos por instrucción C) El tiempo de CPU depende del número de instrucciones ejecutadas D) Ninguna de las afirmaciones anteriores es correcta	
6	Sea una CPU donde la instrucción de bifurcación condicional emplea dos ciclos de reloj, y el resto de instrucciones cuatro ciclos, considerando que el 20% de las instrucciones empleadas son de bifurcación condicional:	C
	A) El promedio de CPI es 3 B) El promedio de CPI es 0,4 C) El promedio de CPI es 3,6 D) Ninguna de las afirmaciones anteriores es correcta	
7	La transferencia de información entre la memoria caché y la CPU se hace normalmente:	B
	A) En tamaño bloque B) En tamaño palabra C) Depende de la función de correspondencia D) Depende del algoritmo de reemplazo	
8	La penalización por fallos en memoria se define como:	C
	A) La fracción de accesos a memoria no encontrados en cualquier nivel de la jerarquía de memoria B) La fracción de accesos a memoria no encontrados en el nivel inferior C) Tiempo para sustituir un bloque del nivel superior por el bloque correspondiente del nivel más bajo D) Tiempo para acceder al nivel superior de la jerarquía de memoria	
9	Atendiendo a los tipos de fallos de caché: forzosos, de capacidad y de conflicto:	D
	A) Los fallos de conflicto sólo pueden existir en una caché de correspondencia asociativa por conjuntos B) Los fallos de capacidad no pueden existir nunca en una memoria caché de correspondencia totalmente asociativa C) Los fallos forzosos sólo existen durante el arranque del sistema computador D) Los dos primeros tipos de fallos pueden existir en las tres funciones de correspondencia estudiadas	
10	De las funciones de correspondencia de la memoria caché, la que emplea un único comparador para identificar el bloque es:	D
	A) La asociativa por conjuntos B) La totalmente asociativa C) Todas necesitan más de un comparador D) La directa	
11	Los mecanismos de gestión de la memoria caché se resuelven con componente hardware:	B
	A) Para cumplir el requisito de menor uso de memoria B) Para cumplir el requisito de menor tiempo posible C) La afirmación es incorrecta, se resuelven con software D) Ninguna de las afirmaciones anteriores es correcta	
12	Respecto a los algoritmos de reemplazo de la memoria caché, sea un bloque que acaba de entrar en la memoria:	D
	A) Tiene mayor probabilidad de salir si se aplica LRU B) Tiene mayor probabilidad de salir en cualquier caso C) Tiene mayor probabilidad de salir si se aplica FIFO D) Tiene mayor probabilidad de salir si se aplica LFU	
13	De los tiempos que intervienen en la penalización por fallo:	C
	A) El tiempo de transferencia es independiente del tamaño de bloque B) Sólo interviene el tiempo de transferencia C) El tiempo de acceso es independiente del tamaño de bloque D) Ambos términos dependen del tamaño de bloque	
14	¿Qué estrategia de escritura reduce el tráfico de información en la Memoria Caché?	D
	A) La de post-escritura B) Depende del programa que se ejecute C) La de escritura inmediata D) Ninguna de las afirmaciones anteriores es correcta	

15	Sea un sistema con memoria caché de 4 Kp y memoria principal de 64 Kp, las direcciones que genera la CPU:		B
	A) Son de 12 bits B) Son de al menos de 16 bits	C) Son independientes del tamaño de memoria D) Ninguna de las afirmaciones anteriores es correcta	
16	Según el esquema de computador Von Neumann sencillo estudiado en el Tema 3, la operación $R4 \leftarrow R7$:		C
	A) Se realiza comunicando el bus de direcciones con el bus de datos B) No es posible realizarla en este sistema computador	C) Implica hacer uso del circuito operador de propósito general D) Es necesario realizarla como mínimo en dos periodos	
17	Según el esquema de computador Von Neumann, sean las dos operaciones $PC \leftarrow PC + 1$ y $R2 \leftarrow R1 + R2$:		C
	A) El registro de estado SR se actualiza en ambas B) En ambas el código de operación de la instrucción es ADD	C) El registro de estado SR se actualiza en $R2 \leftarrow R1 + R2$ D) La ALU sólo interviene en $PC \leftarrow PC + 1$	
18	Sea una instrucción que requiere de 8 ciclos de reloj para su ejecución:		C
	A) El registro de estado SR tendrá 8 bits B) El registro contador de fases RF tendrá 8 bits	C) Su microprograma correspondiente estará formado por 8 microinstrucciones D) Ninguna de las afirmaciones anteriores es correcta	
19	En un computador serie y referido a la misma instrucción, si la fase de decodificación de una instrucción se realiza durante un único ciclo de reloj, ¿puede solaparse con la fase de búsqueda de operando?:		C
	A) Sí B) Depende de la instrucción	C) No D) Depende del modo de direccionamiento de la instrucción	
20	De las siguientes instrucciones, indica en cuál/es de ella/s se recupera/n el contenido del registro SR de memoria:		D
	A) DIV .1, .2 con trap por división por cero B) RET y RETI	C) CALL A0002h y DIV .1, .2 con trap D) Ninguna de las afirmaciones anteriores es correcta	
21	Una unidad de control microprogramada con secuenciamiento explícito:		D
	A) No tiene etapa traductora ni memoria de control B) Necesita etapa traductora y memoria de control	C) Su registro de microinstrucción es de menor tamaño D) No necesita etapa traductora, y sí memoria de control	
22	Decir que todas las instrucciones del procesador DLX, incluidas las de carga y almacenamiento, siguen el modelo de ejecución REG-REG es:		A
	A) Falso B) Cierto	C) Puede ser cierto o falso dependiendo del ensamblador D) Ninguna de las afirmaciones anteriores es cierta	
23	La capacidad de direccionamiento del procesador DLX estudiado es de:		C
	A) 6 Mposiciones B) 4 Mposiciones	C) 4 Gposiciones D) 2 Gposiciones	
24	¿Cuál es el tipo de riesgo por dependencia de datos que se presenta en el fragmento de código ensamblador siguiente si se ejecuta en un procesador DLX segmentado con bypass generalizado?: LD R3, 12(R4) ADD R1, R2, R4		D
	A) WAR B) RAW	C) WAW D) Ninguno	
25	¿Qué tipo de riesgo se elimina en un procesador DLX si se emplea una caché partida para datos e instrucciones en vez de una caché unificada?:		B
	A) Riesgos por dependencias de datos B) Riesgos estructurales	C) Riesgos de control D) Cualquier tipo de riesgo	
26	Sea un sistema computador basado en arquitectura DLX con una unidad funcional segmentada para cada uno de los tipos de operaciones aritméticas en FP estudiados:		D
	A) No podrá realizar operaciones de números enteros B) Sólo puede ejecutar una sola fase de EX en cada ciclo	C) No podrá realizar operaciones en coma fija D) En el mismo ciclo podrá estar en la fase de EX para operaciones aritméticas de diferente naturaleza	
27	Una de las diferencias entre Supersegmentación y Superescalabilidad es:		B
	A) La supersegmentación en una técnica software B) La superescalabilidad permite la ejecución de instrucciones a través de varios cauces	C) Un computador supersegmentado debe ser superescalar D) Ninguna de las afirmaciones anteriores es correcta	
28	Indicar la arquitectura en la que una memoria caché partida daría mejor rendimiento:		A
	A) DLX B) Von Neumann	C) La memoria caché partida no mejora el rendimiento D) La memoria caché partida exige adelantamiento	
29	Comparando las arquitecturas Von Neumann y DLX estudiadas:		D
	A) Ambas permiten ejecutar varias instrucciones simultáneamente B) Ninguna de las dos es arquitectura segmentada	C) Ninguna puede ejecutar instrucciones con modelo Reg-Mem D) Ninguna de las afirmaciones anteriores es correcta	
30	Sea una máquina segmentada con cinco pasos de ejecución de 60 ns cada uno, el tiempo medio empleado en ejecutar 4 instrucciones consecutivas (considerar que no se provocan detenciones) es de:		D
	A) 1200 ns B) 300 ns	C) 60 ns D) 480 ns	

EXAMEN DE ARQUITECTURA DE COMPUTADORES

La Rábida, 15 de Septiembre de 2015

PROBLEMA 1. (2,5 ptos.). Un sistema computador (sin memoria virtual) tiene una memoria principal de 1 Mpalabras de 8 bits cada una de ellas y una memoria caché de 2 Kpalabras, dividida en 4 conjuntos, con 128 palabras/bloque.

- a) Justificar e indicar con un esquema la organización de la Memoria Principal y de la Memoria Caché (capacidad total en Bytes, número de palabras, número de conjuntos, número de bloques, número de bloques por conjunto y número de palabras por bloque).
- b) Mostrar el formato de la dirección que define la unidad central de proceso en base a la función de correspondencia empleada, definiendo cada uno de los campos en los que se divide.

Se supone que, después de haber estado la memoria caché “vacía”, a continuación en el *instante 1* se encuentran en la memoria caché los bloques de memoria principal 11 a 18, ambos inclusivos, leídas todas las direcciones de cada uno de ellos una vez y en el mismo orden que les corresponde en la memoria principal. Suponer que el algoritmo de reemplazamiento de bloques es el FIFO (First In First Out).

- c) Mostrar el contenido de la memoria caché en el *instante 1*.
- d) Identificar cuántos fallos de caché se han producido y de qué tipo en este *instante 1*.

A continuación, la CPU lee la secuencia de direcciones de memoria: 0, 1, 2, 127, 128, 129, 130, 1000, 1001, 1002, 255, 256, 257 (*instante 2*), según el orden marcado en la misma.

- e) Mostrar el contenido de la memoria caché en el *instante 2*.
- f) Hasta ese *instante 2*, ¿cuántos fallos y de qué tipo se han producido en total?.
- g) ¿Qué frecuencias de uso (referida al conjunto 1 nada más) tendrían los bloques que se encuentran en el conjunto 1 en el *instante 2*?

PROBLEMA 2. (2,25 ptos.). Para el sistema computador representado en la figura, y para la secuencia de instrucciones siguiente:

Dirección de Memoria (en hexadecimal)	Instrucción (en ensamblador)
A0000h	ADD .4, 00129h
A0001h	CALL A0002h
A0002h	MUL .5, .9
A0003h	RETI

1. Mostrar los formatos de las instrucciones.
2. Definir la secuencia de operaciones elementales y el solapamiento posible de las mismas. Especificar el cronograma según el flujo marcado por el programa propuesto, y considerando una sólo vez la ejecución de cada instrucción.
3. Definir el valor de las señales de control correspondiente a la operación $PC \leftarrow R2 - RA$.
Mostrar únicamente el valor de las señales que intervienen directamente en dicha operación.

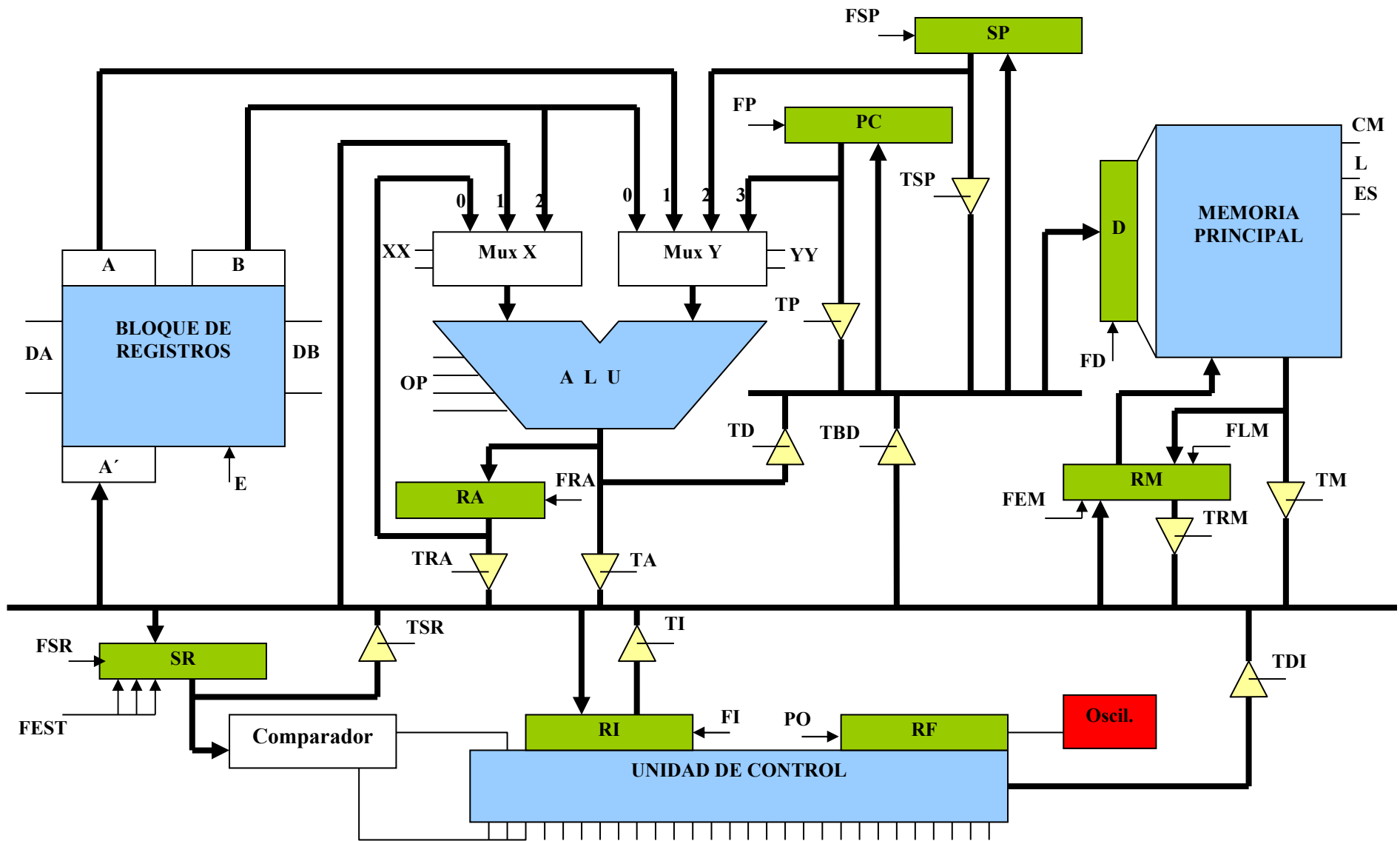
Teniendo en cuenta:

- a) PRIMERA INSTRUCCIÓN: La instrucción aritmética ADD, con direccionamiento directo absoluto a registro para el primer operando y directo absoluto a memoria para el segundo.
- b) SEGUNDA INSTRUCCIÓN: La instrucción de llamada a subrutina CALL, con modo de direccionamiento directo absoluto a memoria.
- c) TERCERA INSTRUCCIÓN: La instrucción de multiplicación MUL, con modo de direccionamiento directo absoluto a registro para ambos operandos.
- d) CUARTA INSTRUCCIÓN: La instrucción RETI de retorno de interrupción.
- e) Las operaciones con la unidad aritmético-lógica se realizan en un periodo.
- f) Los cálculos de las direcciones de los operandos en memoria especificados con direccionamiento relativo, se realizarán de manera automática en el periodo de decodificación.
- g) El resultado de una operación o el operando destino va a ser siempre el especificado en primer lugar en la instrucción de ensamblador.
- h) Las operaciones de L/E en memoria se realizan durante dos periodos.
- i) La pila, que se implementa en el sistema con el registro SP (puntero de pila), funciona de la siguiente forma: 1) La pila crece hacia direcciones decrecientes. 2) El registro puntero de pila indica la dirección de memoria principal en la que se introdujo el último dato en la pila.
- j) Para cuando hay que salvar el contenido de SR y el de PC, siempre se almacenará primero el de PC.

PROBLEMA 3. (2,25 ptos.). El siguiente fragmento de código se ejecuta en un procesador DLX. En dicho procesador la etapa MEM requiere 1 ciclo de reloj. Las latencias (en ciclos de reloj) de las unidades funcionales son las siguientes: Sumador/restador entero: 1; Sumador/restador flotante: 2; Multiplicador: 3; y Divisor: 4 (las tres últimas unidades funcionales para operaciones están **segmentadas**).

```
LW R2, 2(R1)
ADD R1, R3, R5
LW R5, 8(R1)
LF F2, 20(R1)
LF F0, 10(R2)
FMUL F4, F0, F3
FDIV F5, F0, F2
SF 10(R2), F4
SF 20(R5), F5
FADD F8, F4, F5
```

- a) Suponiendo que la **memoria** tiene un **único puerto de acceso** y que **no existe adelantamiento generalizado**, Indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; e indicar si existen bloqueos en la cadena y a qué se deben.
- b) Repetir el apartado a) para una versión del DLX que incluya **adelantamiento** (bypass) **generalizado** y suponiendo que la **memoria** tiene **dos puertos de acceso** (uno para instrucciones y otro para datos). Indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; e indicar si existen bloqueos en la cadena y a qué se deben. Indicar claramente los datos que se adelantan y entre qué etapas actúa el bypass.



Etap	Instrucción ALU	Carga/Almacenamiento	Salto/Bifurcación
IF	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$
ID	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$
EX	$ALU_{output} \leftarrow A \text{ op } (B \text{ or } (IR1_{16})^{16}##IR1_{16..31})$	$MAR \leftarrow A+(IR1_{16})^{16}##IR1_{16..31}$ $SMDR \leftarrow B$	<div> Salto $ALU_{output} \leftarrow PC1+IR1_{16})^{16}##IR1_{16..31})$ $Cond \leftarrow (Rs1 \text{ op } 0);$ </div> <div> Bifurcación $ALU_{output} \leftarrow PC1+ IR1_{26})^6##IR1_{6..31})$ </div>
MEM	$ALU_{output1} \leftarrow ALU_{output}$	$LMDR \leftarrow M[MAR]$ o $M[MAR] \leftarrow SMDR$	If (cond): $PC \leftarrow ALU_{output}$
WB	$Rd \leftarrow ALU_{output1}$	$Rd \leftarrow LMDR$	

Tabla. Eventos en cada etapa de la segmentación de DLX diferenciados según el tipo de instrucción.

Apellidos: **Nombre:**

This image shows a single sheet of white paper with horizontal blue or grey ruling lines. The lines are evenly spaced and run across the width of the page. There are no margins, text, or other markings on the paper.[illegible]

Apellidos:

Nombre:

Apartado a)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
LW R2, 2(R1)																														
ADD R1, R3, R5																														
LW R5, 8(R1)																														
LF F2, 20(R1)																														
LF F0, 10(R2)																														
FMUL F4, F0, F3																														
FDIV F5, F0, F2																														
SF 10(R2), F4																														
SF 20(R5), F5																														
FADD F8, F4, F5																														

Apartado b)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
LW R2, 2(R1)																														
ADD R1, R3, R5																														
LW R5, 8(R1)																														
LF F2, 20(R1)																														
LF F0, 10(R2)																														
FMUL F4, F0, F3																														
FDIV F5, F0, F2																														
SF 10(R2), F4																														
SF 20(R5), F5																														
FADD F8, F4, F5																														