



GRADO EN INGENIERÍA INFORMÁTICA
FUNDAMENTOS DE COMPUTADORES

Examen de Febrero (03/02/2015)

APELLIDOS: _____

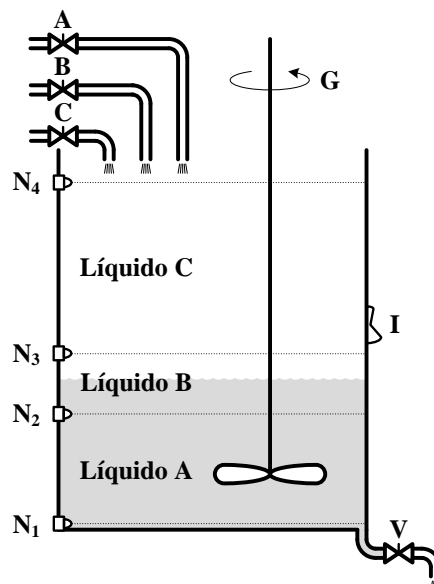
NOMBRE: _____ DNI N°: _____ GRUPO: _____

1.- (5,5 puntos) En un proceso industrial se fabrican barras metálicas en grupos de tres unidades de longitudes variables, con las cuales se realizarán posteriormente ciertos montajes. Un sistema ya existente proporciona las longitudes de las tres barras **A**, **B** y **C** de cada grupo expresadas en código binario natural (4 bits por cada una) de forma no ordenada.

Diseñar un sistema digital que tome como entradas las longitudes de las tres barras y realice las siguientes tareas:

- a) Proporcionar por un lado la longitud de la mayor de las tres barras recibidas, y por otro lado, las longitudes de las dos barras más pequeñas, haciendo uso de bloques de media escala de integración. (2 puntos)
- b) Representar la longitud de la mayor de las tres barras en un visualizador de 7 segmentos siempre que su valor sea inferior a 10. En caso contrario el display deberá permanecer apagado. (1 punto)
- c) Activar una salida **F1** cuando las dos barras más pequeñas no posean la misma longitud. (0,5 puntos)
- d) Indicar mediante una salida **F2** cuando la longitud de la barra mayor está comprendida entre 3 y 10 (ambos valores inclusive). En este apartado se debe obtener la expresión mínima de la función F2 e implementar el circuito correspondiente empleando únicamente puertas NAND. (1 punto)
- e) Escribir un módulo VHDL en el que se modele la expresión mínima de la función F2 en forma de suma de productos. (1 punto)

2.- (4,5 puntos) En otro proceso industrial para obtener el producto deseado se deben mezclar tres líquidos en unas determinadas proporciones. Para llevar a cabo dicho proceso se ha instalado un sistema como el representado en la figura:



donde:

- **N1, N2, N3 y N4** son sensores de nivel que proporcionan un nivel alto cuando son cubiertos por el líquido.
- **A, B, C y V** son electroválvulas que se abren al aplicarle un nivel alto a la señal correspondiente.
- **G** es un agitador que se activa al aplicar un nivel alto a su entrada de control.
- **I** es un interruptor que según en la posición en que se coloque proporciona un nivel alto o un nivel bajo.

El proceso de mezclado comienza con el vaciado total del tanque. A continuación se añaden las cantidades adecuadas de los líquidos A, B y C hasta el llenado total del tanque, manteniendo activo el agitador durante el vertido de los dos últimos líquidos para facilitar la mezcla. Una vez lleno el tanque se detiene el agitador y se evacua el producto obtenido, iniciándose un nuevo ciclo de mezclado.

Si en cualquier momento del proceso se activa el interruptor I, éste se detendrá totalmente hasta que dicho interruptor sea desactivado, reanudándose entonces el proceso a partir del punto donde se produjo la interrupción.

Realizar el sistema de control del proceso de mezclado mediante el empleo de un REGISTRO y un circuito combinacional, representando:

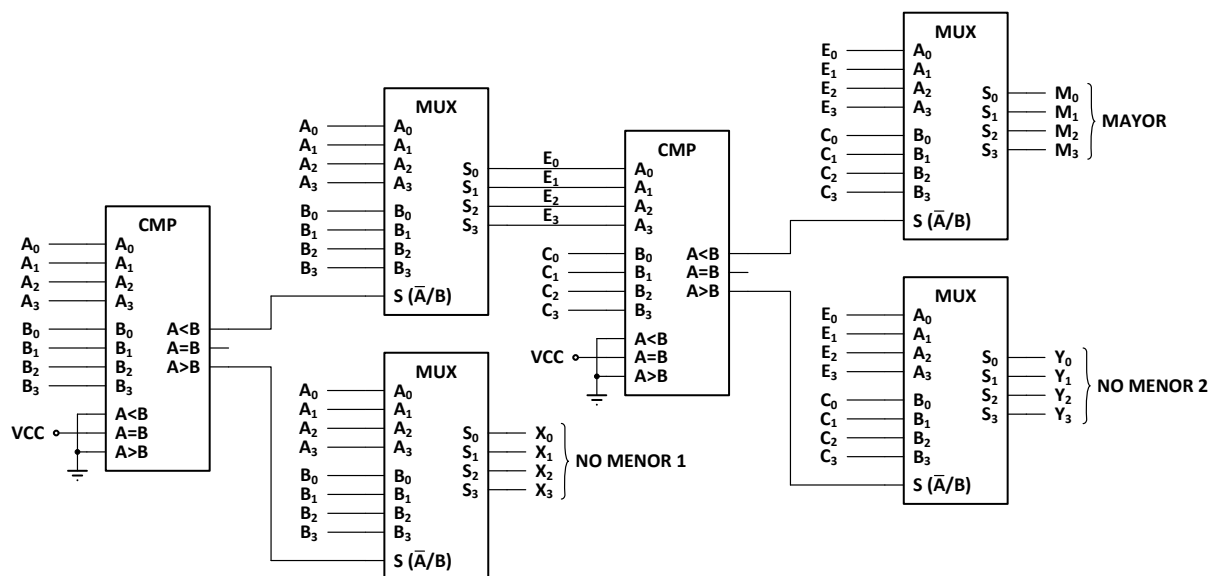
- a) El diagrama de estados del sistema. (2.5 puntos)
- b) La tabla de estados del sistema. (1 punto)
- c) El diagrama lógico del sistema, suponiendo que el circuito combinacional se implementa mediante una PLA del tamaño mínimo necesario. (0.5 puntos)

Indicar el tamaño mínimo que debería tener el dispositivo correspondiente si el circuito combinacional se implementara mediante:

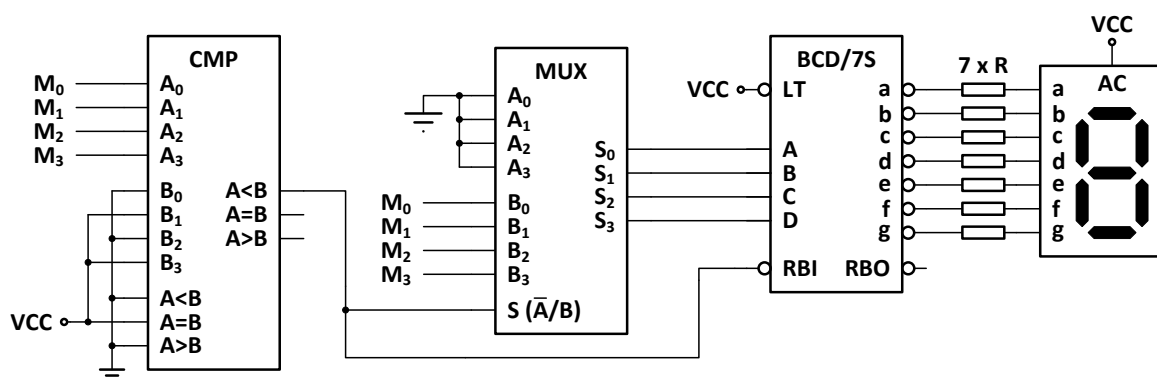
- d) Una PAL. (0.25 puntos)
- e) Una PROM. (0.25 puntos)

Ejercicio 1

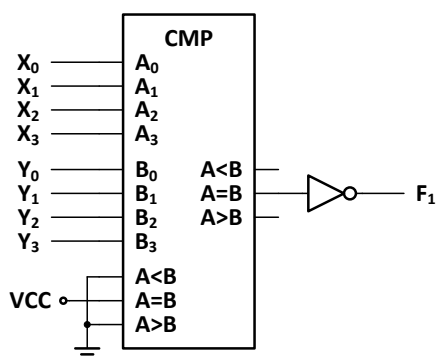
a) Obtención de la medida de la barra mayor (**M**) y de las dos barras más pequeñas (**X** e **Y**).



b) Representación en un display de siete segmentos de la longitud de la barra mayor.



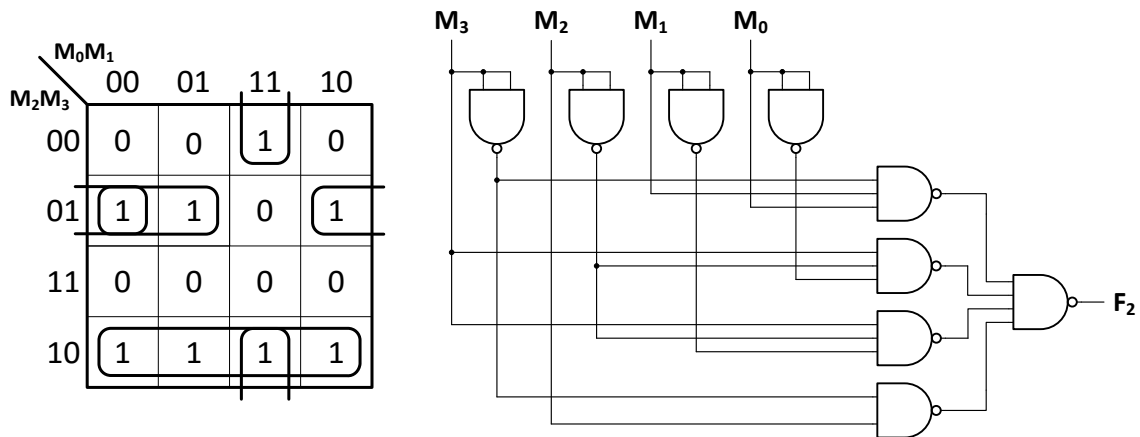
c) Circuito de activación de la señal F_1 cuando las dos barras más pequeñas tengan diferente longitud.



d) Implementación de la función F_2 mediante puertas NAND.

M_3	M_2	M_1	M_0	F_2
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

$$F_2 = \sum_4(3, 4, 5, 6, 7, 8, 9, 10)$$



$$\begin{aligned}
 F_2 &= \overline{M_3} M_1 M_0 + M_3 \overline{M_2} \overline{M_0} + M_3 \overline{M_2} \overline{M_1} + \overline{M_3} M_2 = \\
 &= \overline{\overline{M_3} M_1 M_0} \cdot \overline{\overline{M_3} M_2 \overline{M_0}} + \overline{\overline{M_3} M_2 \overline{M_1}} + \overline{\overline{M_3} M_2} = \\
 &= \overline{\overline{M_3} M_1 M_0} \cdot \overline{\overline{M_3} M_2 \overline{M_0}} \cdot \overline{\overline{M_3} M_2 \overline{M_1}} \cdot \overline{\overline{M_3} M_2}
 \end{aligned}$$

e) Módulo VHDL de la función F.

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;

ENTITY EFC_15_F IS
    PORT ( M3 : IN STD_LOGIC;
          M2 : IN STD_LOGIC;
          M1 : IN STD_LOGIC;
          M0 : IN STD_LOGIC;
          F2 : OUT STD_LOGIC);
END EFC_15_F;

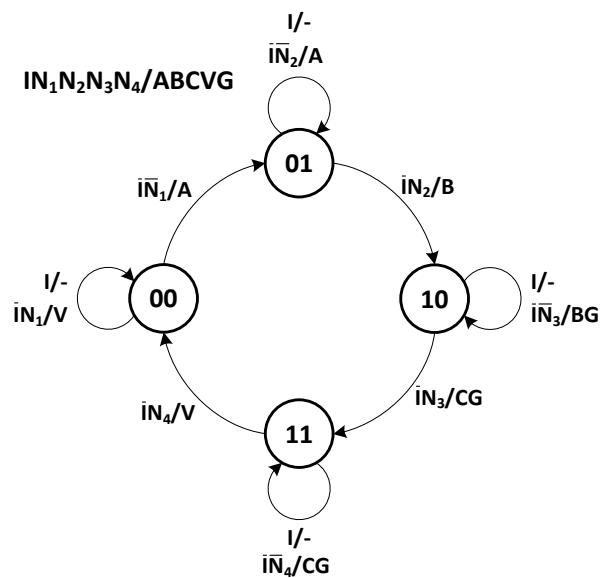
ARCHITECTURE A_EFC_15_F OF EFC_15_F IS
    SIGNAL N1, N2, N3, N4: STD_LOGIC;
BEGIN

    N1 <= NOT M3 AND M1 AND M0;
    N2 <= M3 AND NOT M2 AND NOT M0;
    N3 <= M3 AND NOT M2 AND NOT M1;
    N4 <= NOT M3 AND M2;

    F2 <= N1 OR N2 OR N3 OR N4;
END A_EFC_15_F;
```

Ejercicio 2

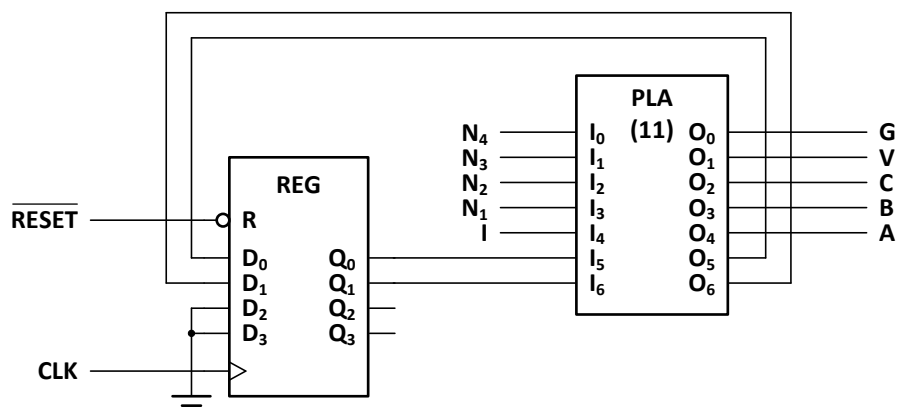
a) Diagrama de estados.



b) Tabla de estados.

q ₁	q ₀	I	N ₁	N ₂	N ₃	N ₄	Q ₁	Q ₀	D ₁	D ₀	A	B	C	V	G	TPLA
0	0	1	X	X	X	X	0	0	0	0	0	0	0	0	0	-
0	0	0	1	X	X	X	0	0	0	0	0	0	0	1	0	1
0	0	0	0	X	X	X	0	1	0	1	1	0	0	0	0	2
0	1	1	X	X	X	X	0	1	0	1	0	0	0	0	0	3
0	1	0	X	0	X	X	0	1	0	1	1	0	0	0	0	4
0	1	0	X	1	X	X	1	0	1	0	0	1	0	0	1	5
1	0	1	X	X	X	X	1	0	1	0	0	0	0	0	0	6
1	0	0	X	X	0	X	1	0	1	0	0	1	0	0	1	7
1	0	0	X	X	1	X	1	1	1	1	0	0	1	0	1	8
1	1	1	X	X	X	X	1	1	1	1	0	0	0	0	0	9
1	1	0	X	X	X	0	1	1	1	1	0	0	1	0	1	10
1	1	0	X	X	X	1	0	0	0	0	0	0	0	0	1	11

c) Diagrama lógico.

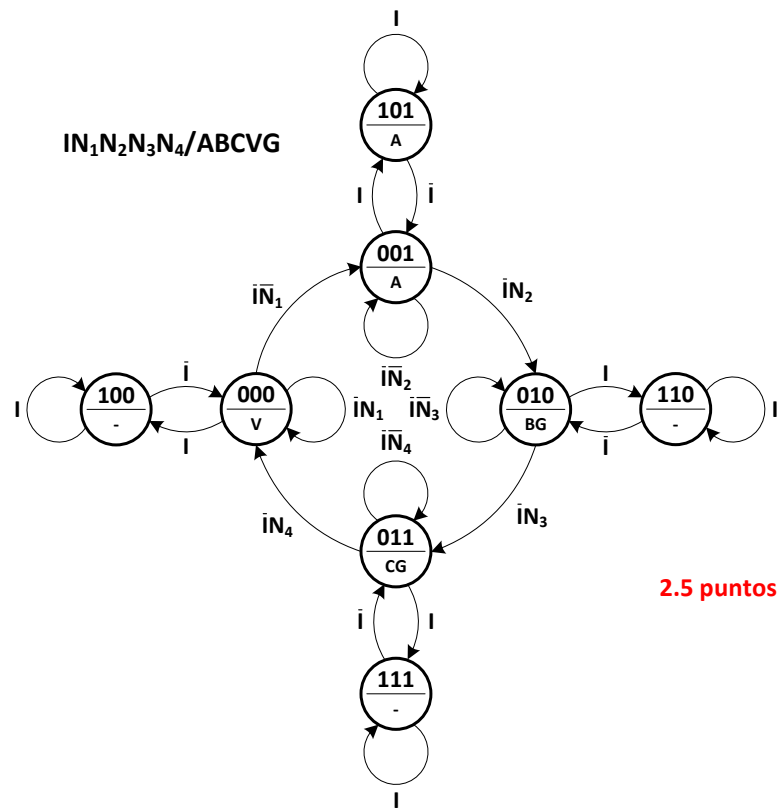


- d) El tamaño mínimo de la PAL necesaria para la implementación del sistema combinacional será $7 \times 42 \times 7$.

- e) El tamaño mínimo de la PROM necesaria para la implementación del sistema combinacional será 128×7 .

Ejercicio 2 (Solución alternativa)

a) Diagrama de estados.

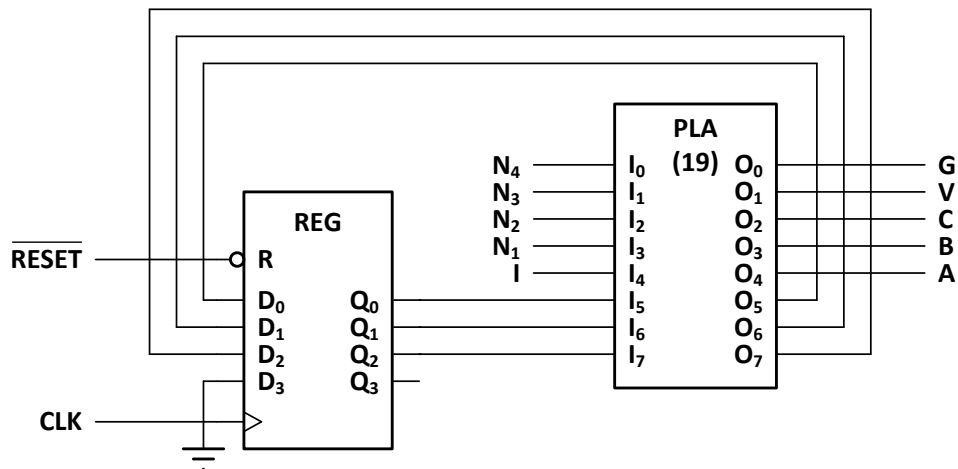


b) Tabla de estados.

q_2	q_1	q_0	I	N_1	N_2	N_3	N_4	Q_2	Q_1	Q_0	D_2	D_1	D_0	A	B	C	V	G	TPLA
0	0	0	1	X	X	X	X	1	0	0	1	0	0	0	0	0	1	0	1
0	0	0	0	0	X	X	X	0	0	1	0	0	1	0	0	0	1	0	2
0	0	0	0	1	X	X	X	0	0	0	0	0	0	1	0	0	1	0	3
0	0	1	1	X	X	X	X	1	0	1	1	0	1	1	0	0	0	0	4
0	0	1	0	X	0	X	X	0	0	1	0	0	1	1	0	0	0	0	5
0	0	1	0	X	1	X	X	0	1	0	0	1	0	1	0	0	0	0	6
0	1	0	1	X	X	X	X	1	1	0	1	1	0	0	1	0	0	1	7
0	1	0	0	X	X	0	X	0	1	0	0	1	0	0	1	0	0	1	8
0	1	0	0	X	X	1	X	0	1	1	0	1	1	0	1	1	0	1	9
0	1	1	1	X	X	X	X	1	1	1	1	1	1	0	0	1	0	1	10
0	1	1	0	X	X	X	0	0	1	1	0	1	1	0	0	1	0	1	11
0	1	1	0	X	X	X	1	0	0	0	0	0	0	0	0	1	0	1	12
1	0	0	0	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	-
1	0	0	1	X	X	X	X	1	0	0	1	0	0	0	0	0	0	0	13
1	0	1	0	X	X	X	X	0	0	1	0	0	1	0	0	0	0	0	14
1	0	1	1	X	X	X	X	1	0	1	1	0	1	0	0	0	0	0	15
1	1	0	0	X	X	X	X	0	1	0	0	1	0	0	0	0	0	0	16
1	1	0	1	X	X	X	X	1	1	0	1	1	0	0	0	0	0	0	17
1	1	1	0	X	X	X	X	0	1	1	0	1	1	0	0	0	0	0	18
1	1	1	1	X	X	X	X	1	1	1	1	1	1	0	0	0	0	0	19

1 punto

c) Diagrama lógico.



0.5 puntos

d) El tamaño mínimo de la PAL necesaria para la implementación del sistema combinacional será $8 \times 80 \times 8$.

0.25 puntos

e) El tamaño mínimo de la PROM necesaria para la implementación del sistema combinacional será 256×8 .

0.25 puntos