

EXAMEN DE ARQUITECTURA DE COMPUTADORES. La Rábida, 17 de Junio de 2014

Apellidos Nombre

Valor de cada: Respuesta correcta + 0.1
 Respuesta incorrecta - 0.05
 No respuesta - 0.05

TIEMPO REALIZACIÓN EXAMEN: 45 minutos

Espacio para respuestas

↓↓↓↓↓↓

1	Considérese una mejora que haga que la máquina corra 5 veces más rápida que la original, siendo utilizable el 60% del tiempo. ¿Cuál es la aceleración global lograda al incorporar la mejora?: A) 1,9230 C) 0,3 B) 0,5200 D) Ninguna de las afirmaciones anteriores es correcta	A
2	Sea un computador A capaz de completar 10000 tareas/seg y un computador B que completa 5000 tareas/seg, se dice entonces que: A) El computador A es el 150% más rápido que el B C) El computador A es el 50% más rápido que el B B) El computador A es el 100% más rápido que el B D) El computador A es el 200% más rápido que el B	B
3	Si una máquina A ejecuta un programa en diez segundos, ¿en cuánto tiempo ejecuta el mismo programa la máquina B si la máquina A es el 50% más rápida que la B?: A) En 15 seg C) En 20 seg B) En 10,5 seg D) Se necesitan más datos para conocer la respuesta	A
4	Para mejorar el rendimiento de un computador para cierta aplicación se tienen dos opciones: 1) Cambiar el procesador gráfico que se utiliza un 60% del tiempo, consiguiendo una aceleración de 10, y 2) Incrementar la memoria obteniendo una aceleración de 2 el 80% del tiempo. Indicar la aceleración global en cada caso. A) 0,6 en la primera y 0,8 en la segunda C) 6 en la primera y 1,6 en la segunda B) 2,17 en la primera y 1,66 en la segunda D) Ninguna de las afirmaciones anteriores es correcta	B
5	Sea un sistema computador capaz de ejecutar 150 MIPS y cada instrucción requiere de media 5 ciclos de reloj: A) Cada instrucción requiere 150 ns C) Cada ciclo de reloj dura 30 nseg B) La frecuencia del microprocesador es de 800 MHz D) Cada ciclo de reloj dura 150 nseg	B
6	Sea una CPU donde la instrucción de bifurcación condicional emplea dos ciclos de reloj, y el resto de instrucciones cuatro ciclos, considerando que el 20% de las instrucciones empleadas son de bifurcación condicional: A) El promedio de CPI es 3 C) El promedio de CPI es 3,6 B) El promedio de CPI es 0,4 D) Ninguna de las afirmaciones anteriores es correcta	C
7	La transferencia de información entre la memoria caché y la CPU se hace: A) En tamaño bloque C) Depende de la función de correspondencia B) En tamaño palabra D) Depende del algoritmo de reemplazo	B
8	Sea una memoria caché con un único conjunto, entonces: A) La función de correspondencia es la asociativa por conjuntos C) La función de correspondencia es la totalmente asociativa B) La función de correspondencia es la directa D) La función de correspondencia puede ser cualquiera	C
9	En relación al tamaño de caché: A) A mayor tamaño, menor tasa de fallos siempre C) Hay un compromiso entre tamaño y tasa de fallos B) A mayor tamaño, mayor tasa de fallos D) La tasa de fallos siempre es constante	C
10	De las funciones de correspondencia de la memoria caché, la que emplea un único comparador para identificar el bloque es: A) La asociativa por conjuntos C) Todas necesitan más de un comparador B) La totalmente asociativa D) La directa	D
11	De los algoritmos de reemplazo en la memoria caché, el que penaliza los bloques transferidos recientemente es: A) El FIFO C) El LFU B) El Aleatorio D) Ninguna de las afirmaciones anteriores es correcta	C
12	De los tiempos que intervienen en la penalización por fallo: A) El tiempo de transferencia es independiente del tamaño de bloque C) El tiempo de acceso es independiente del tamaño de bloque B) Sólo interviene el tiempo de transferencia D) Ambos términos dependen del tamaño de bloque	C
13	Si para realizar la operación $C \leftarrow A+B$ se necesitan las instrucciones PUSH A, PUSH B, ADD y PUSH C: A) Se trata de una máquina basada en acumulador C) Se trata de una máquina de tres direcciones B) Se trata de una máquina basada en banco de registros D) Se trata de una máquina basada en pila	D
14	Sea el computador Von Neumann estudiado en el Tema 3, si el registro RF lo forman 4 bits: A) La duración máxima por instrucción es 4 ciclos C) No existe relación con la duración de la instrucción B) La duración máxima por instrucción es 1 ciclo D) La duración máxima por instrucción es 16 ciclos	D

	De las siguientes instrucciones, indica en cuál/es de ella/s se recupera/n el contenido del registro SR de memoria:		
15	A) DIV .1, .2 con trap por división por cero B) RET y RETI	C) CALL A0002h y DIV .1, .2 con trap D) Ninguna de las afirmaciones anteriores es correcta	D
16	En una unidad de control microprogramada con secuenciamiento explícito, si la etapa traductora ROM tiene una organización de 256x12, podemos afirmar que::		C
	A) El código de operación es de 8 bits B) El registro de instrucción de forman 8 bits	C) Dicha unidad microprogramada no tienen etapa ROM D) Ninguna de las afirmaciones anteriores es correcta	
17	Sean las instrucciones JMP A0002h, RET y BZ A0002h con el biestable z =0:		C
	A) Sólo JMP implica una bifurcación B) En todas se debe guardar el valor de PC en la pila	C) JMP y RET implicarán bifurcación D) Las tres implican una bifurcación	
18	Para que el arranque del computador se realice correctamente:		C
	A) Se requiere que todos los registros tengan inicialmente el valor 0 B) Se requiere que la pila tenga almacenado SR y PC	C) Se requiere de un programa cargador almacenado en memoria no volátil D) Se requiere que la primera instrucción sea LOAD	
19	Decir que todas las instrucciones del procesador DLX siguen el modelo de ejecución REG-REG es:		A
	A) Falso B) Cierto	C) Puede ser cierto o falso dependiendo del ensamblador D) Ninguna de las afirmaciones anteriores es cierta	
20	Indica los tipos de riesgos por dependencia de datos que pueden existir en el procesador DLX para operaciones con enteros:		C
	A) RAW y WAR B) RAW, WAR y WAW	C) Sólo RAW D) RAW y WAW	
21	Dada la instrucción LD R3, 12(R4), la fase en la que se calcula 12+R4 es:		B
	A) ID B) EX	C) MEM D) Ninguna de las afirmaciones anteriores es correcta	
22	De las fases de ejecución del procesador DLX, para una instrucción ALU:		D
	A) En ninguna fase se accede a memoria B) La fase ID es diferente al resto de instrucciones	C) El resultado viene expresado en estándar IEEE 754 de simple precisión D) Ninguna de las afirmaciones anteriores es correcta	
23	Sea la secuencia DIVF F0, F1, F2 y SUBF F0, F8, F10, existe riesgo de tipo:		B
	A) Estructural B) Por dependencia de datos tipo WAW	C) De control D) Ninguna de las afirmaciones anteriores es correcta	
24	Comparando los registros R0 y F0, del procesador DLX:		B
	A) Ambos registros almacenan el valor 0 B) R0 siempre almacena el valor 0	C) F0 es un registro de 64 bits D) Ninguna de las afirmaciones anteriores es correcta	
25	En el procesador DLXV, considerando el tiempo de ejecución de una operación vectorial, al tiempo por cada resultado una vez que una instrucción vectorial está en ejecución se le denomina:		D
	A) Tiempo de comienzo B) Tiempo de arranque	C) Tiempo de terminación D) Tiempo de iniciación	
26	Un computador vectorial cuyas componentes de vector son de 64 bits tiene una memoria entrelazada con 4 módulos de memoria, ¿en qué modulo de memoria se encontrará la dirección 160?		A
	A) En el módulo 0 B) En el módulo 2	C) En el módulo 1 D) En el módulo 3	
27	En un computador vectorial en el que los elementos de una matriz están almacenados en memoria por filas, para la operación matricial A*B (A y B matrices), ¿a qué matriz se puede acceder más fácilmente?:		D
	A) A la matriz B B) A las dos matrices igualmente	C) Depende del tamaño de las componentes D) A la matriz A	
28	Dado un vector de 200 elementos, indicar el número de seccionamientos con longitud MVL = 64 que tiene:		B
	A) 4 B) 3	C) 8 D) Ninguna de las afirmaciones anteriores es correcta	
29	Comparando la arquitectura Von Neumann con la DLX, indica la afirmación falsa:		B
	A) La segunda permiten ejecutar varias instrucciones simultáneamente B) La primera es segmentada	C) La segunda ejecuta instrucciones ALU con modelo Reg-Reg D) Ambas consideran el incremento del registro PC	
30	Indicar la arquitectura en la que una memoria caché partida daría mejor rendimiento:		A
	A) DLX B) Von Neumann	C) La memoria caché partida no mejora el rendimiento D) La memoria caché partida exige adelantamiento	

Fdo.: Los profesores de la asignatura

EXAMEN DE ARQUITECTURA DE COMPUTADORES

La Rábida, 17 de Junio de 2014

PROBLEMA 1. (2,5 ptos.). Un sistema computador (sin memoria virtual) tiene una memoria principal de 2 Mpalabras de 8 bits cada una de ellas y una memoria caché de 2 Kpalabras, dividida en 4 conjuntos, con 256 palabras/bloque.

- a) Justificar e indicar con un esquema la organización de la Memoria Principal y de la Memoria Caché (capacidad total, número de conjuntos si procede, número de bloques, palabras por bloque).
- b) Mostrar el formato de la dirección que define la unidad central de proceso, definiendo cada uno de los campos en los que se divide.

Se supone que, después de haber estado la memoria caché “vacía” (*instante 0*), la CPU lee la secuencia de direcciones de memoria: 1024, 1025, 1026, 254, 255, 256, 512, 513, 514, 2045, 2046, 2047, según el orden marcado en la misma (*instante 1*).

- c) Mostrar el contenido de la memoria caché en el *instante 1*.
- d) Calcular la frecuencia de uso (en %) que tiene en ese *instante 1* cada uno de los bloques que se encuentran en dicha memoria caché.

A continuación, la CPU requiere el acceso a los bloques de memoria principal 8, 9, 10 y 4, leídas todas las direcciones de cada uno de ellos una vez y en el orden que se indica (*instante 2*). Suponer que el algoritmo de reemplazamiento de bloques es el FIFO (First Input First Output).

- e) Mostrar el contenido de la memoria caché en el *instante 2*.
- f) ¿Qué frecuencia de uso (referida sólo al conjunto 0), en relación con la frecuencia de uso global de la caché, tiene hasta ese *instante 2* cada uno de los bloques que se encuentran en dicha memoria caché?
- g) Hasta ese *instante 2*, ¿cuántos fallos y de qué tipo se han producido?

PROBLEMA 2. (2 ptos.). **Definir la secuencia de operaciones** elementales y el solapamiento posible de las mismas, para el sistema computador representado en la figura, y para la ejecución de las instrucciones abajo indicadas, **mostrando previamente los formatos de las instrucciones.**

Dirección de Memoria (en hexadecimal)	Instrucción (en ensamblador)
A0000h	ADD 00100h(.1), .2
A0001h	BZ A0003h
A0002h	SUB .2, #10
A0003h	CLZ

Teniendo en cuenta:

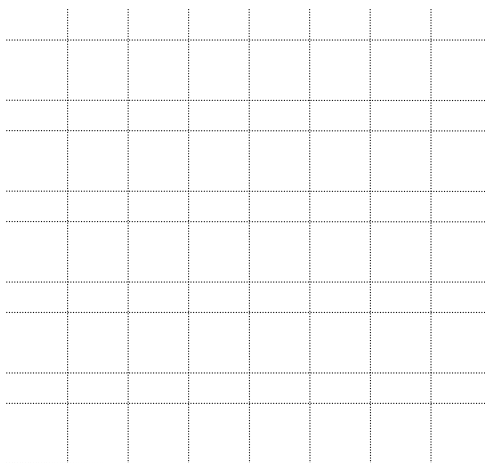
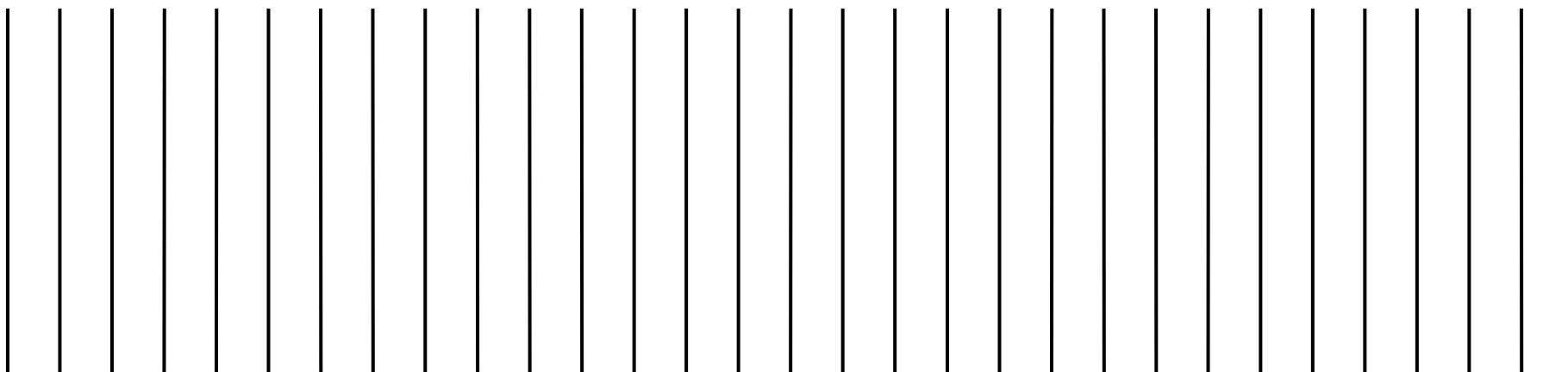
- PRIMERA INSTRUCCIÓN: La instrucción aritmética ADD, con direccionamiento directo relativo a registro para el primer operando y directo absoluto a registro para el segundo. El resultado de la suma provoca desbordamiento, generando un trap al finalizar, bifurcando a la dirección A0002h. El resultado erróneo no es necesario almacenarlo en su destino.
- SEGUNDA INSTRUCCIÓN: La instrucción de bifurcación BZ, con modo de direccionamiento directo absoluto a memoria.
- TERCERA INSTRUCCIÓN: La instrucción de resta SUB, con modo de direccionamiento directo absoluto a registro para el primer operando e inmediato para el segundo.
- CUARTA INSTRUCCIÓN: La instrucción CLZ de puesta a cero del biestable Z.
- Se debe especificar el cronograma según el flujo marcado por el programa propuesto, y considerando como última instrucción la de puesta a cero, CLZ.
- Las operaciones con la unidad aritmético-lógica se realizan en un periodo.
- Los cálculos de las direcciones de los operandos en memoria especificados con direccionamiento relativo, se realizarán después del periodo de decodificación.
- El resultado de una operación o el operando destino va a ser siempre el especificado en primer lugar en la instrucción.
- Las operaciones de L/E en memoria se realizan durante dos periodos.
- La pila, que se implementa en el sistema con el registro SP (puntero de pila), funciona de la siguiente forma: 1) La pila crece hacia direcciones decrecientes. 2) El registro puntero de pila indica la dirección de memoria principal en la que se introdujo el último dato en la pila.
- Para cuando hay que salvar el contenido de SR y el de PC, siempre se almacenará primero el de SR.
- Definir el valor de las señales de control correspondiente a la operación: $M(D) \leftarrow (RM - R2)$. Mostrar únicamente el valor de las señales que intervienen directamente en dicha operación.

PROBLEMA 3. (2,5 ptos.). El siguiente fragmento de código se ejecuta en un procesador DLX. Las latencias (en ciclos de reloj) de las unidades funcionales son las siguientes: Sumador/restador entero: 1; Sumador/restador flotante: 2; Multiplicador: 3; y Divisor: 4 (las tres últimas unidades funcionales para operaciones están **segmentadas**).

```
ADD R2, R1, R0
SW R3, 2(R1)
LW R5, 8(R1)
LF F0, 10(R2)
LF F3, 20(R3)
FMUL F4, F0, F3
SF 10(R2), F4
FDIV F5, F0, F2
FDIV F8, F6, F7
SF 20(R5), F5
```

- a) Suponiendo que la **memoria** tiene **un único puerto de acceso** y que no existe ningún tipo de adelantamiento, Indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; e indicar si existen bloqueos en la cadena y a qué se deben.
- b) Repetir el apartado a) para una versión del DLX que incluya **adelantamiento** (bypass) generalizado y suponiendo que la **memoria** tiene **dos puertos de acceso** (uno para instrucciones y otro para datos). Indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; e indicar si existen bloqueos en la cadena y a qué se deben. Indicar claramente los datos que se adelantan y entre qué etapas actúa el bypass.

Apellidos: Nombre:



Apellidos:

Nombre:

Apartado a)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
ADD R2, R1, R0																														
SW R3, 2(R1)																														
LW R5, 8(R1)																														
LF F0, 10(R2)																														
LF F3, 20(R3)																														
FMUL F4, F0, F3																														
SF 10(R2), F4																														
FDIV F5, F0, F2																														
FDIV F8, F6, F7																														
SF 20(R5), F5																														

Apartado b)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
ADD R2, R1, R0																														
SW R3, 2(R1)																														
LW R5, 8(R1)																														
LF F0, 10(R2)																														
LF F3, 20(R3)																														
FMUL F4, F0, F3																														
SF 10(R2), F4																														
FDIV F5, F0, F2																														
FDIV F8, F6, F7																														
SF 20(R5), F5																														

