

EXAMEN DE ARQUITECTURA DE COMPUTADORES. La Rábida, 7 de Junio de 2016

Apellidos Nombre

Valor de cada: Respuesta correcta + 0.1
 Respuesta incorrecta - 0.05
 No respuesta - 0.05

TIEMPO REALIZACIÓN EXAMEN: 45 minutos

Espacio para respuestas

1	En un sistema computador, y referida a la tarea de cálculo completa, la cantidad de trabajo realizado por unidad de tiempo se denomina:		A
	A) Productividad B) Tiempo de respuesta	C) Tiempo de ejecución D) Ninguna de las afirmaciones anteriores es correcta	
2	Atendiendo a los conceptos de productividad y tiempo de respuesta de un procesador, la segmentación mejora:		C
	A) El tiempo de respuesta y la productividad B) El tiempo de respuesta	C) La productividad D) Depende de la segmentación	
3	El Principio de Localidad de Referencia, se aplica:		C
	A) Únicamente a los accesos de instrucciones B) Únicamente a los accesos de datos	C) Tanto a los accesos de datos como de instrucciones D) Ninguna de las afirmaciones anteriores es correcta	
4	El rendimiento de la CPU depende del:		A
	A) CPI (Ciclos Por Instrucción) B) La tensión de alimentación de la CPU	C) Recuento de instrucciones únicamente D) Ninguna de las afirmaciones anteriores es correcta	
5	Los MIPS (Millones de Instrucciones Por Segundo):		A
	A) Son dependientes del repertorio de instrucciones de la máquina B) No varían entre programas en el mismo computador	C) Nos permiten calcular exactamente el tiempo de ejecución de un programa real D) Ninguna de las afirmaciones anteriores es correcta	
6	A mayor tamaño de bloque corresponde:		A
	A) Mayor tasa de acierto por localidad espacial B) Mayor tasa de acierto por localidad temporal	C) Menor tasa de aciertos por localidad espacial D) Ninguna de las afirmaciones anteriores es correcta	
7*	¿Qué estrategia de escritura resuelve más fácilmente los problemas de coherencia?		B
	A) En un sistema monoprocesador no se emplea estrategia de escritura alguna B) La de escritura inmediata	C) La coherencia de caché no está relacionada con la estrategia de escritura D) La de post-escritura	
8	La frecuencia o tasa de fallos en memoria se define como:		C
	A) La fracción de accesos a memoria no encontrados en cualquier nivel de la jerarquía de memoria B) La fracción de accesos a memoria no encontrados en el nivel inferior	C) La fracción de accesos a memoria no encontrados en el nivel superior D) La fracción de accesos a memoria encontrados en el nivel inferior	
9	Atendiendo a los tipos de fallos de caché (forzosos, de conflicto, de capacidad), los de conflicto se pueden dar :		A
	A) En cachés con correspondencia directa y asociativa por conjuntos B) En cachés con correspondencia totalmente asociativa nada más	C) En cachés con correspondencia asociativa por conjuntos y totalmente asociativas D) En cachés con correspondencia directa nada más	
10	Para un mismo sistema de memoria y distintas correspondencias, el menor tamaño del campo palabra es el de la correspondencia:		D
	A) Directa B) Asociativa por conjuntos	C) Totalmente asociativa D) Ninguna de las afirmaciones anteriores es correcta	
11	El número de comparaciones de las etiquetas de los bloques existentes en la memoria caché, crece:		A
	A) Con la mayor asociatividad B) Con la menor asociatividad	C) Con el número de conjuntos D) Con el tamaño de bloque	
12	¿Cuál de las siguientes afirmaciones es cierta?		A
	A) Cuando existen varios niveles de caché, si hay una caché partida siempre se aplica al nivel superior B) En una memoria caché se puede aplicar siempre algún algoritmo de reemplazo	C) El rendimiento de una configuración concreta de caché nunca depende del programa que se ejecute D) En una memoria caché siempre es necesario aplicar algún algoritmo de reemplazo	
13	Atendiendo a las posibles combinaciones de operandos en memoria y operandos totales por instrucción que implica operación diádica en un sistema computador, indica cuál de las siguientes afirmaciones NO es cierta:		D
	A) Una máquina puede tener dos operandos por instrucción y ninguno referenciado a memoria B) Una máquina puede tener dos operandos por instrucción y uno referenciado a memoria	C) Una máquina puede tener tres operandos por instrucción y los tres referenciados a memoria D) Ninguna de las afirmaciones anteriores es correcta	
14	El valor de todas las señales de control durante un periodo de ejecución de una instrucción define:		B
	A) Un microprograma B) Una microinstrucción	C) Una instrucción D) Ninguna de las afirmaciones anteriores es correcta	
15	En un computador serie Von Neumann, indica cuál de las siguientes afirmaciones es cierta:		C
	A) No pueden realizarse operaciones elementales a la vez B) No tiene instrucciones de bifurcación condicional	C) Pueden realizarse operaciones elementales a la vez D) Ninguna de las afirmaciones anteriores es correcta	

16	En una unidad de control microprogramada, y suponiendo que no se produce ningún cepo o trap, indica cuántos microprogramas tiene asociados una instrucción del tipo BZ A0000h cuando Z=0:		C
	A) Dos B) Depende del computador	C) Los mismos que tiene la instrucción JMP A0000h D) Esta unidad de control no almacena microprogramas	
17	Sea una unidad de control microprogramada con secuenciamiento implícito y 8 bits en el campo código de operación. Indica cuál de las siguientes afirmaciones es cierta:		A
	A) Puede tener una etapa traductora tipo ROM con 256 posiciones B) Obligatoriamente tiene una etapa traductora tipo ROM	C) Tiene una memoria de control con 256 posiciones D) No necesita etapa traductora	
18	Considerando las instrucciones: CALL, RETI, RET, BZ, indica cuál o cuáles de ellas no son de bifurcación:		D
	A) RET B) RETI y RET	C) CALL D) Ninguna de las afirmaciones anteriores es correcta	
19	Sea la arquitectura DLX con unidades funcionales para operaciones en formato de coma flotante donde la unidad sumador/restador requiere 2 ciclos y la de división requiere 5 ciclos, dada la secuencia DIVF F0, F1, F2 y SUBF F1, F3, F4, existe riesgo de tipo:		D
	A) Estructural B) Por dependencia de datos tipo WAR	C) Por dependencia de datos tipo RAW D) Ninguna de las afirmaciones anteriores es correcta	
20	En la arquitectura DLX, el Adelantamiento Generalizado permite:		A
	A) Reducir el número de detenciones derivadas de riesgos por dependencia de datos B) Reducir los riesgos de control	C) Eliminar totalmente el número de detenciones derivadas de riesgos por dependencia de datos D) Eliminar el número de detenciones derivadas de los riesgos estructurales	
21	Los riegos por dependencia de datos del tipo WAW pueden existir en:		C
	A) Una arquitectura DLX que sólo tenga unidades funcionales para operaciones con enteros B) Una arquitectura DLX con unidades funcionales con los mismos tiempos de ejecución	C) Una arquitectura DLX con unidades funcionales en FP y distinto tiempo de ejecución D) Las respuestas B) y C) son correctas	
22	La propuesta de arquitectura VLIW (Very Long Instruction Word) es:		C
	A) Técnica exclusivamente de software para mejorar el paralelismo a nivel de instrucción B) Técnicas exclusivamente de hardware para mejorar el paralelismo a nivel de instrucción	C) Técnica hardware-software para mejorar el paralelismo a nivel de instrucción D) Ninguna de las afirmaciones anteriores es correcta	
23	El tamaño de palabra de memoria que se considera en la arquitectura DLX estudiada es de:		A
	A) 8 bits B) 16 bits	C) 32 bits D) 64 bits	
24	Comparando las arquitecturas Von Neumann y DLX estudiadas:		A
	A) Ambas ejecutan instrucciones ALU con modelo de ejecución Reg-Reg B) Ninguna de las dos son arquitecturas segmentadas	C) Ambas permiten ejecutar varias instrucciones simultáneamente D) Ambas consideran la duplicidad de los PC e IR	
25	Sea una máquina no segmentada con cinco pasos de ejecución de 40 ns cada uno y otra máquina segmentada también con cinco etapas de 50 ns cada una, a partir del tiempo empleado en la ejecución de 4 instrucciones consecutivas, el tiempo medio por instrucción resulta (considerar que no existe ningún ciclo de detención):		B
	A) 80 ns en ambas B) 200 ns en la primera y 100 ns en la segunda	C) 100 ns en ambas D) 80 ns en la primera y 100 ns en la segunda	
26	En una arquitectura superescalar:		C
	A) No se pueden realizar las mismas fases de distintas instrucciones a la vez B) La supersegmentación siempre está presente	C) Se pueden realizar las mismas fases de distintas instrucciones a la vez D) Ninguna de las afirmaciones anteriores es correcta	
27	Una memoria por bancos y una entrelazada:		D
	A) Son iguales B) Difieren en que la primera es síncrona y la segunda es asíncrona	C) Difieren en que la primera es asíncrona y la segunda síncrona D) Difieren en el cálculo de las direcciones a las que acceden todos los bancos a la vez	
28	Un computador matricial:		D
	A) No tiene instrucciones vectoriales B) Es de tipo MISD según la clasificación de Flynn	C) Es de tipo MIMD según la clasificación de Flynn D) Ninguna de las afirmaciones anteriores es correcta	
29	En un multiprocesador NUMA,		B
	A) La memoria no está compartida B) La memoria está compartida	C) Los accesos a memoria se hacen de igual forma a como se realizan en un multicomputador D) Ninguna de las afirmaciones anteriores es correcta	
30	Los ordenadores de flujo de datos:		A
	A) Emplean la disponibilidad de los operandos para disparar la ejecución de las operaciones B) Pueden ser SISD o MIMD	C) Usan información explícita de los flujos de control para producir la ejecución de las instrucciones D) Únicamente pueden ser SISD	

EXAMEN DE ARQUITECTURA DE COMPUTADORES

La Rábida, 7 de Junio de 2016

PROBLEMA 1. (2,5 ptos.). Un sistema computador (sin memoria virtual) tiene una memoria principal de 256 Kpalabras de 8 bits cada una de ellas y una memoria caché de 4 Kbits, dividida en 4 conjuntos, con 64 palabras/bloque.

- a) Justificar e indicar, de la **Memoria Principal**: 1º su capacidad en bits, 2º el número de bloques que tiene; y, de la **Memoria Caché**: 1º su capacidad en Bytes, 2º su número de palabras, 3º su número de bloques, 4º su número de bloques por conjunto, y, 5º su número de palabras por bloque.
- b) Mostrar el **formato de la dirección** que define la unidad central de proceso en base a la función de correspondencia empleada, definiendo cada uno de los campos en los que se divide.

Se supone que, después de haber estado la memoria caché “vacía”, a continuación en el *instante 1* se encuentran en la memoria caché los bloques de memoria principal B6, B8, B15, B17, B0, B1 y B2, leídos en ese orden y todas sus direcciones ordenadamente una vez. Suponer que el algoritmo de reemplazamiento de bloques es el FIFO (First In First Out).

- c) Mostrar el contenido de la memoria caché en el *instante 1*.
- d) Identificar cuántos fallos de caché se han producido y de qué tipo en este *instante 1*.

A continuación, la CPU lee la secuencia de direcciones de memoria: 0, 1, 2, 3, 320, 321 y 449 (*instante 2*), según el orden marcado en la misma.

- e) Mostrar el contenido de la memoria caché en el *instante 2*.
- f) Hasta ese *instante 2*, ¿cuántos fallos y de qué tipo se han producido en total?.
- g) Hasta ese *instante 2*, ¿cuántos aciertos se han producido?.

Por último, la CPU lee la secuencia de direcciones 318, 319 y 320 (*instante 3*), según el orden marcado en la misma.

- h) Mostrar el contenido de la memoria caché en el *instante 3*.
- i) En esas últimas lecturas, ¿cuántos fallos y aciertos se han producido?.

PROBLEMA 2. (2,25 ptos.). Para el sistema computador representado en la figura, y para la secuencia de instrucciones siguiente:

Dirección de Memoria (en hexadecimal)	Instrucción (en ensamblador)
A0000h	ADD .4, [00129h]
A0001h	CALL A0002h
A0002h	RETI
A0003h	MOVE .2, 120(.2)

1. Mostrar los formatos de las instrucciones.
2. Definir la secuencia de operaciones elementales y el solapamiento posible de las mismas. Especificar el cronograma según el flujo marcado por el programa propuesto, y considerando una sólo vez la ejecución de cada instrucción.
3. Definir el valor de las señales de control correspondiente a la secuencia de operaciones elementales $PC \leftarrow \text{Desplazamiento} + R2$ y $D \leftarrow PC$, realizadas en el menor tiempo posible. Mostrar únicamente el valor de las señales que intervienen directamente en dicha operación.

Teniendo en cuenta:

- a) PRIMERA INSTRUCCIÓN: La instrucción aritmética ADD, con direccionamiento directo absoluto a registro para el primer operando e indirecto absoluto a memoria para el segundo.
- b) SEGUNDA INSTRUCCIÓN: La instrucción de llamada a subrutina CALL, con modo de direccionamiento directo absoluto a memoria.
- c) TERCERA INSTRUCCIÓN: La instrucción RETI de retorno de interrupción.
- d) CUARTA INSTRUCCIÓN: La instrucción de transferencia MOVE, con modo de direccionamiento directo absoluto a registro para el primer operando y directo relativo a registro base para el segundo operando.
- e) Las operaciones con la unidad aritmético-lógica se realizan en un periodo.
- f) Los cálculos de las direcciones de los operandos en memoria especificados con direccionamiento relativo, se realizarán de manera automática en el periodo de decodificación.
- g) El resultado de una operación o el operando destino va a ser siempre el especificado en primer lugar en la instrucción de ensamblador.
- h) Las operaciones de L/E en memoria se realizan durante dos periodos.
- i) La pila, que se implementa en el sistema con el registro SP (puntero de pila), funciona de la siguiente forma: 1) La pila crece hacia direcciones decrecientes. 2) El registro puntero de pila indica la dirección de memoria principal en la que se introdujo el último dato en la

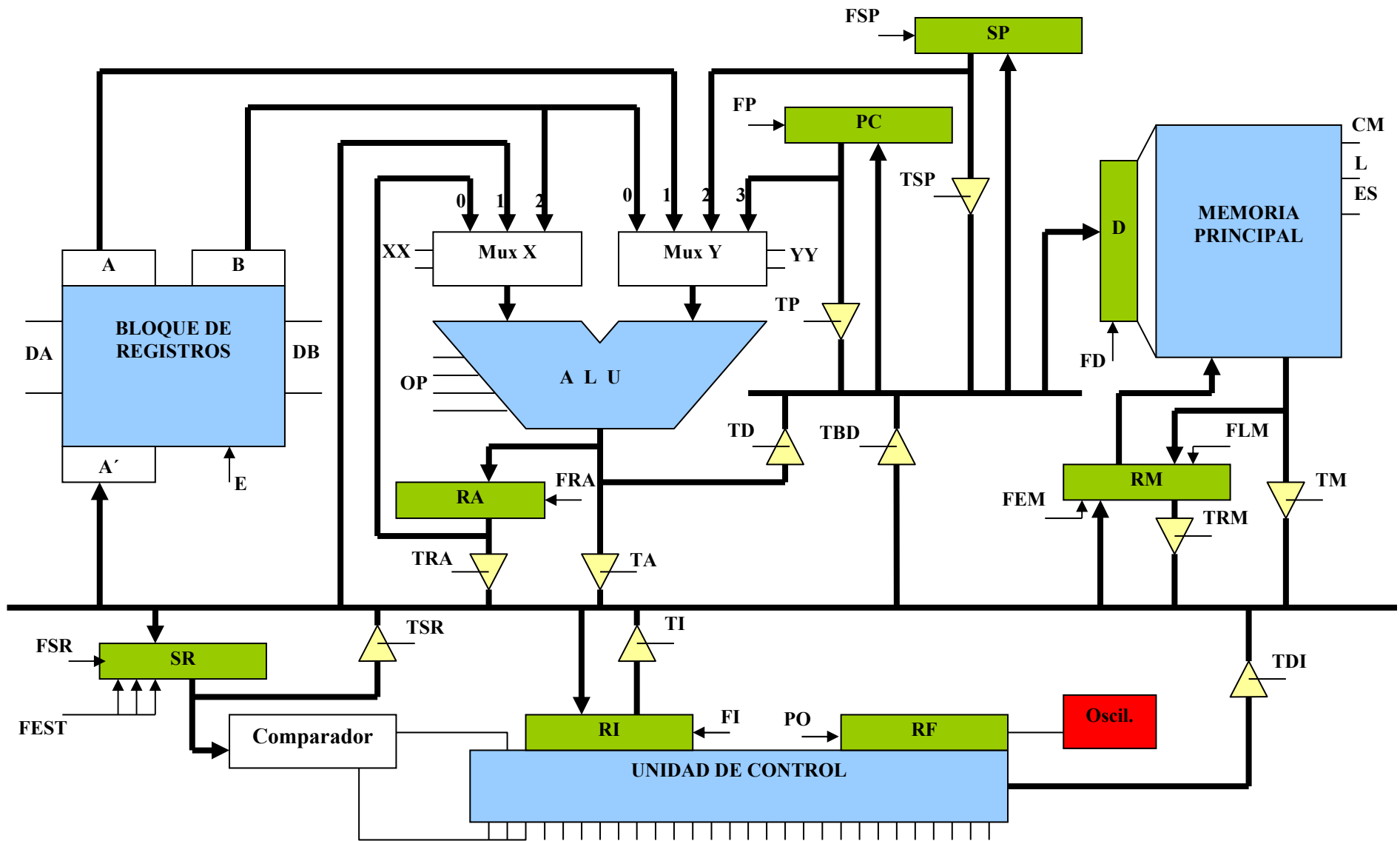
pila. **Antes de empezar a ejecutar la secuencia de instrucciones dadas, la pila tiene en su cabecera el valor A0003h.**

- j) Para cuando hay que salvar el contenido de SR y el de PC, siempre se almacenará primero el de PC.

PROBLEMA 3. (2,25 ptos.). El siguiente fragmento de código se ejecuta en un procesador DLX. En dicho procesador la etapa MEM requiere 1 ciclo de reloj. Las latencias (en ciclos de reloj) de las unidades funcionales son las siguientes: Sumador/restador entero: 1; Sumador/restador flotante: 2; y Multiplicador/Divisor: 4 (las dos últimas unidades funcionales para operaciones están **segmentadas**).

```
LW R2, 2(R1)
LW R5, 8(R2)
LF F2, 20(R2)
LF F0, 10(R1)
FADD F4, F0, F2
FDIV F5, F4, F2
SF 20(R5), F5
FMUL F8, F4, F5
```

- a) Suponiendo que la **memoria** tiene un **único puerto de acceso** y que **únicamente existe adelantamiento de la salida de la memoria a la entrada de la ALU**, indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; e indicar si existen bloqueos en la cadena y a qué se deben. Indicar los adelantamientos que se producen.
- b) Repetir el apartado a) para una versión del DLX que incluya **adelantamiento** (bypass) **generalizado** y suponiendo que la **memoria** tiene **dos puertos de acceso** (uno para instrucciones y otro para datos). Indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; e indicar si existen bloqueos en la cadena y a qué se deben. Indicar claramente los datos que se adelantan y entre qué etapas actúa el bypass.



Etap	Instrucción ALU	Carga/Almacenamiento	Salto/Bifurcación
IF	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$
ID	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$
EX	$ALU_{output} \leftarrow A \text{ op } (B \text{ or } (IR1_{16})^{16}###IR1_{16..31})$	$MAR \leftarrow A+(IR1_{16})^{16}###IR1_{16..31}$ $SMDR \leftarrow B$	<div> Salto $ALU_{output} \leftarrow PC1+IR1_{16})^{16}###IR1_{16..31})$ $Cond \leftarrow (Rs1 \text{ op } 0);$ </div> <div> Bifurcación $ALU_{output} \leftarrow PC1+ IR1_{26})^6###IR1_{6..31})$ </div>
MEM	$ALU_{output1} \leftarrow ALU_{output}$	$LMDR \leftarrow M[MAR]$ o $M[MAR] \leftarrow SMDR$	If (cond): $PC \leftarrow ALU_{output}$
WB	$Rd \leftarrow ALU_{output1}$	$Rd \leftarrow LMDR$	

Tabla. Eventos en cada etapa de la segmentación de DLX diferenciados según el tipo de instrucción.

Apellidos: **Nombre:**

[illegible]

1) FORMATOS

3) SEÑALES DE CONTROL

[illegible]

Apellidos:

Nombre:

Apartado a)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
LW R2, 2(R1)																														
LW R5, 8(R2)																														
LF F2, 20(R2)																														
LF F0, 10(R1)																														
FADD F4, F0, F2																														
FDIV F5, F4, F2																														
SF 20(R5), F5																														
FMUL F8, F4, F5																														
Detenciones							Detenciones										Adelantamientos							Adelantamientos						

Apartado a)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
LW R2, 2(R1)																														
LW R5, 8(R2)																														
LF F2, 20(R2)																														
LF F0, 10(R1)																														
FADD F4, F0, F2																														
FDIV F5, F4, F2																														
SF 20(R5), F5																														
FMUL F8, F4, F5																														
Detenciones							Detenciones										Adelantamientos							Adelantamientos						