

EXAMEN DE ARQUITECTURA DE COMPUTADORES. La Rábida, 13 de Junio de 2017

Apellidos **Nombre**

Valor de cada: Respuesta correcta + 0.1
 Respuesta incorrecta - 0.05
 No respuesta - 0.05

TIEMPO REALIZACIÓN EXAMEN: 45 minutos

Espacio para respuestas

1	Atendiendo a las características de los sistemas micro, mini, gran y súper computadores, el sistema integrado en un teléfono móvil convencional puede considerarse: A) Microcomputador C) Gran computador B) Minicomputador D) Súper computador	A
2	Sea una arquitectura segmentada sobre la que aplicamos una modificación para convertirla en superescalar: A) Estamos mejorando el tiempo de ejecución de instrucción C) Estamos mejorando la productividad de la máquina B) Mejoramos tiempo de respuesta y productividad D) No estamos aplicando ninguna mejora	C
3	Atendiendo a la definición de rendimiento estudiada para sistemas computadores: A) Aumenta cuando aumenta el tiempo de ejecución C) Aumenta cuando aumenta la productividad B) Aumenta cuando disminuye el tiempo de ejecución D) Aumenta cuando disminuye la productividad	B
4	Si desechamos un ordenador PC con $f = 1,8$ GHz porque pasamos a adquirir otro con $f = 3$ GHz: A) La máquina nueva tiene menor productividad C) La máquina nueva tiene menor tiempo de ciclo B) La máquina antigua tiene menor tiempo de ciclo D) El tiempo de ciclo es independiente de la frecuencia	C
5	Sea un microprocesador con un $CPI_{medio} = 3$, empleando como tiempo medio de ejecución por instrucción $= 1,2$ ns: A) La frecuencia de operación es de 2,5 GHz C) La frecuencia de operación es de 3,6 GHz B) El tiempo de ciclo es de 1,2 ns D) La frecuencia de operación es de 3,6 ns	A
6	Sea una máquina dedicada principalmente a realizar dos tareas a las que dedica el 75% y el 25% del tiempo, para mejorar su rendimiento: A) Debemos aplicar mejora en las dos tareas C) Es suficiente con aplicar mejorar en la segunda tarea B) Interesará aplicar mejora en la primera tarea D) No es posible mejorar su rendimiento	B
7	Sea el microprocesador Raspberry Pi 2 con 4 MIPS a 1 GHz: A) Dedicar 1 ns a cada instrucción C) Dedicar 0,25 μ s a cada instrucción B) Ejecutar 25 ciclos a cada instrucción D) Dedicar 0,25 ciclos a cada instrucción	C
8	Cuando se habla de funciones de correspondencia (directa, totalmente asociativa...), nos referimos a técnicas de: A) Búsqueda de los bloques en memoria C) Escritura o actualización de los bloques B) Reemplazamiento de bloques en memoria caché D) Organización de la memoria caché	D
9	Atendiendo a los tipos de fallos de caché (forzosos, de conflicto, de capacidad): A) Un mismo bloque puede dar los tres tipos de fallos C) Un mismo bloque siempre dará el mismo tipo de fallo B) Un mismo bloque dará fallo de conflicto si la memoria caché está llena D) Puede darse fallo de capacidad aun cuando la memoria caché tenga hueco libre	A
10	Atendiendo a la longitud del formato de dirección: A) Es más larga para la función de correspondencia directa C) Es más corta para la función de correspondencia totalmente asociativa B) Es la misma para todas las funciones de correspondencia D) Ninguna de las afirmaciones anteriores es correcta	B
11	Para conocer si un bloque solicitado se encuentra en memoria caché: A) La correspondencia totalmente asociativa necesita un sólo comparador C) La correspondencia directa necesita un sólo comparador B) Se necesitan tantos comparadores como bloques D) Se necesita un comparador por cada conjunto	C
12	Las técnicas estudiadas para mejorar el rendimiento de la memoria principal son: A) Acelerar el caso común (ley de Amdahl) C) Memoria superescalar B) Memoria multinivel D) Memoria entrelazada y aumento del ancho de palabra	D
13	De los algoritmos de reemplazo, el que permite conocer cuánto tiempo lleva un bloque en memoria caché es el: A) FIFO C) Aleatorio B) LFU D) LRU	D
14	De las estrategias de escritura para reemplazar un bloque de memoria caché: A) La escritura inmediata reduce los accesos a M. Principal C) La postescritura reduce los accesos a M. Principal B) Todas suponen el mismo número de accesos D) La escritura nunca implica acceso a M. Principal	C
15	De las posibilidades de almacenamiento interno (pila, acumulador y banco de registros), podemos relacionar: A) Computador de 2 direcciones - Pila C) Computador de 0 direcciones - Banco de registros B) Computador de 1 dirección - Acumulador D) Ninguna de las afirmaciones anteriores es correcta	B
16	Sea la ejecución de la instrucción ADD .4, 7 en un sistema con arquitectura Von Neumann, si implica 4 ciclos de reloj y la activación de 17 señales de control: A) La instrucción la componen 4 microinstrucciones C) La instrucción la componen 17 microinstrucciones B) La instrucción la componen (17 + 4) microinstrucciones D) La instrucción la componen (17/4) microinstrucciones	A

17	Sea una unidad de control microprogramada con secuenciamiento implícito y 8 bits en el campo código de operación y memoria de control de 500 posiciones. Indica cuál de las siguientes afirmaciones es cierta:		B
	A) La etapa traductora será de 256 posiciones x 500 B) La etapa traductora será de 256 posiciones x 9	C) La memoria de control será de 500 posiciones x 8 D) No necesita ni etapa traductora ni memoria de control	
18	De las siguientes instrucciones, indica las que son de salto incondicional:		C
	A) RETI y CMP .4, #0 B) BZ A0005h	C) CALL y RET D) CMP.4, #0 y BNZ A0005h	
19	Sea la arquitectura DLX con unidades funcionales para FP que requieren varios ciclos:		D
	A) Sólo presenta riesgos de tipo RAW B) Sólo presenta riesgos estructurales	C) Puede presentar riesgos RAR D) Puede presentar riesgos de tipo WAW	
20	Si durante el arranque de un sistema computador, el fabricante ha programado el registro PC para que inicialmente contenga el valor F0000h:		D
	A) El resto de registros deben contener ese mismo valor B) El sistema operativo se encuentra almacenado a partir de esa dirección	C) La pila se encuentra definida a partir de esa dirección D) El programa cargador (boot-strap) estará almacenado a partir de esa dirección	
21	Atendiendo al esquema del computador Von Neumann estudiado en el Tema 3, corresponde a:		C
	A) Un computador de 4 direcciones B) Un computador de 3 direcciones	C) Un computador de 2 direcciones D) Un computador de 1 dirección	
22	Sea un sistema del que se dice que la pila crece hacia direcciones crecientes:		B
	A) La ejecución de CALL implica decrementar SP B) La ejecución de RET implica decrementar SP	C) La ejecución de un TRAP implica decrementar SP D) La ejecución de RET implica incrementar SP	
23	En un sistema con unidad de control microprogramada, una instrucción de bifurcación condicional:		A
	A) Tiene asociados dos microprogramas B) Tiene asociado un único microprograma	C) No existen microprogramas en estos sistemas D) Depende del tipo de secuenciamiento	
24	Sea un sistema con arquitectura Von Neumann, ancho de palabra de memoria de 16 bits y formato de instrucción de 32 bits:		A
	A) El incremento de PC se hará en 2 unidades B) El incremento de PC y SP se hará en 2 unidades	C) El incremento de RD se hará en 2 unidades D) El incremento de RI se hará en 2 unidades	
25	Sea la arquitectura DLX, al ejecutar la operación LB R2, 10(R1):		B
	A) Se modificará el byte más significativo de R2 B) Se modificará el byte menos significativo de R2	C) Se modificará el byte menos significativo de R1 D) Se modificará todo el registro R2	
26	La arquitectura superescalar:		C
	A) Obliga a realizar a la vez las mismas fases de una misma instrucción B) Sólo permite realizar múltiples operaciones con número escalares	C) Permite realizar a la vez las mismas fases de distintas instrucciones D) Ninguna de las afirmaciones anteriores es correcta	
27	Sea el extracto del bucle: LOOP: LF F0, 0(R1) ADDF F4, F0, F2 SD 0(R1), F4 SUB R1, R1, #8 BNEZ R1, LOOP	que pasa a ser de la forma: LOOP: LF F0, 0(R1) ADDF F4, F0, F2 SUB R1, R1, #8 SD 8(R1), F4 BNEZ R1, LOOP	D
	estaríamos aplicando: A) Desenrollado del bucle B) Planificación de traza C) Segmentación software D) Planificación del bucle		
28	El objetivo de la arquitectura VLIW es:		D
	A) Tener un registro de instrucción de mayor tamaño B) Tener un mayor repertorio de instrucciones	C) Aumentar el grado de segmentación del sistema D) Aumentar el nivel de paralelismo a nivel de instrucción	
29	En la arquitectura DLX sin la estructura revisada para las instrucciones de salto, la ejecución de la instrucción BEQZ R1, A0000h implica:		C
	A) Un riesgo estructural B) Un riesgo por dependencia de datos	C) Un riesgo de control D) No implica ningún riesgo	
30	En un sistema computador, las características básicas que informan de las prestaciones (rendimiento y capacidad de almacenamiento) son:		B
	A) Capacidad y velocidad de memoria B) Frecuencia, CPI, recuento de instrucciones y capacidad de memoria	C) MIPS y capacidad de memoria D) Sólo Tiempo de ciclo y Recuento de instrucciones	

EXAMEN DE ARQUITECTURA DE COMPUTADORES

La Rábida, 13 de Junio de 2017

PROBLEMA 1. (2,5 ptos.). Un sistema computador (sin memoria virtual) tiene una memoria principal de 512 Kpalabras de 16 bits cada una de ellas y una memoria caché de 4 Kpalabras, con función de correspondencia Totalmente Asociativa y bloques de 512 palabras.

- a) Justificar e indicar para la **Memoria Principal** y la **Memoria Caché**:
- 1) Su capacidad en bytes.
 - 2) El número de bloques que tiene.
- b) Mostrar el **formato de la dirección** que define la unidad central de proceso en base a la función de correspondencia empleada, definiendo cada uno de los campos en los que se divide.

Se supone que, después de haber estado la memoria caché “vacía”, a continuación en el *instante 1* se encuentran en la memoria caché los bloques de memoria principal B6, B8, B15, B17, B0, B1 y B2, leídos en ese orden y todas sus direcciones ordenadamente una vez. Suponer que el algoritmo de reemplazamiento de bloques es el LFU (Lest Frequently Used).

- c) Mostrar el contenido de la memoria caché en el *instante 1*.
- d) Identificar cuántos fallos de caché se han producido y de qué tipo en este *instante 1*.

A continuación, la CPU lee la secuencia de direcciones de memoria: 0, 1, 2, 3, 510, 511, 512, 1536, 3584 y 2000 (*instante 2*), según el orden marcado en la misma.

- e) Mostrar el contenido de la memoria caché en el *instante 2*.
- f) Hasta ese *instante 2*, ¿cuántos fallos y de qué tipo se han producido en total?.
- g) Hasta ese *instante 2*, ¿cuántos aciertos se han producido?.
- h) Indicar la frecuencia de uso de cada uno de los bloques contenidos en la memoria caché hasta el *instante 2*.

PROBLEMA 2. (2,25 ptos.). Para el sistema computador representado en la figura, y para la secuencia de instrucciones siguiente:

Dirección de Memoria (en hexadecimal)	Instrucción (en ensamblador)
B0000h	SUB .4, .3
B0001h	CALL B0003h
B0002h	RET
B0003h	MOVE .2, #00120h

1. Mostrar los formatos de las instrucciones.
2. Definir la secuencia de operaciones elementales y el solapamiento posible de las mismas. Especificar la secuencia según el flujo marcado por el programa propuesto, y considerando una sola vez la ejecución de cada instrucción.
3. Definir el valor de las señales de control correspondiente a la secuencia de operaciones elementales: $PC, D \leftarrow PC+1$ y $RM \leftarrow SR$, realizadas en el menor tiempo posible. Mostrar únicamente el valor de las señales que intervienen directamente en dicha operación.

Teniendo en cuenta:

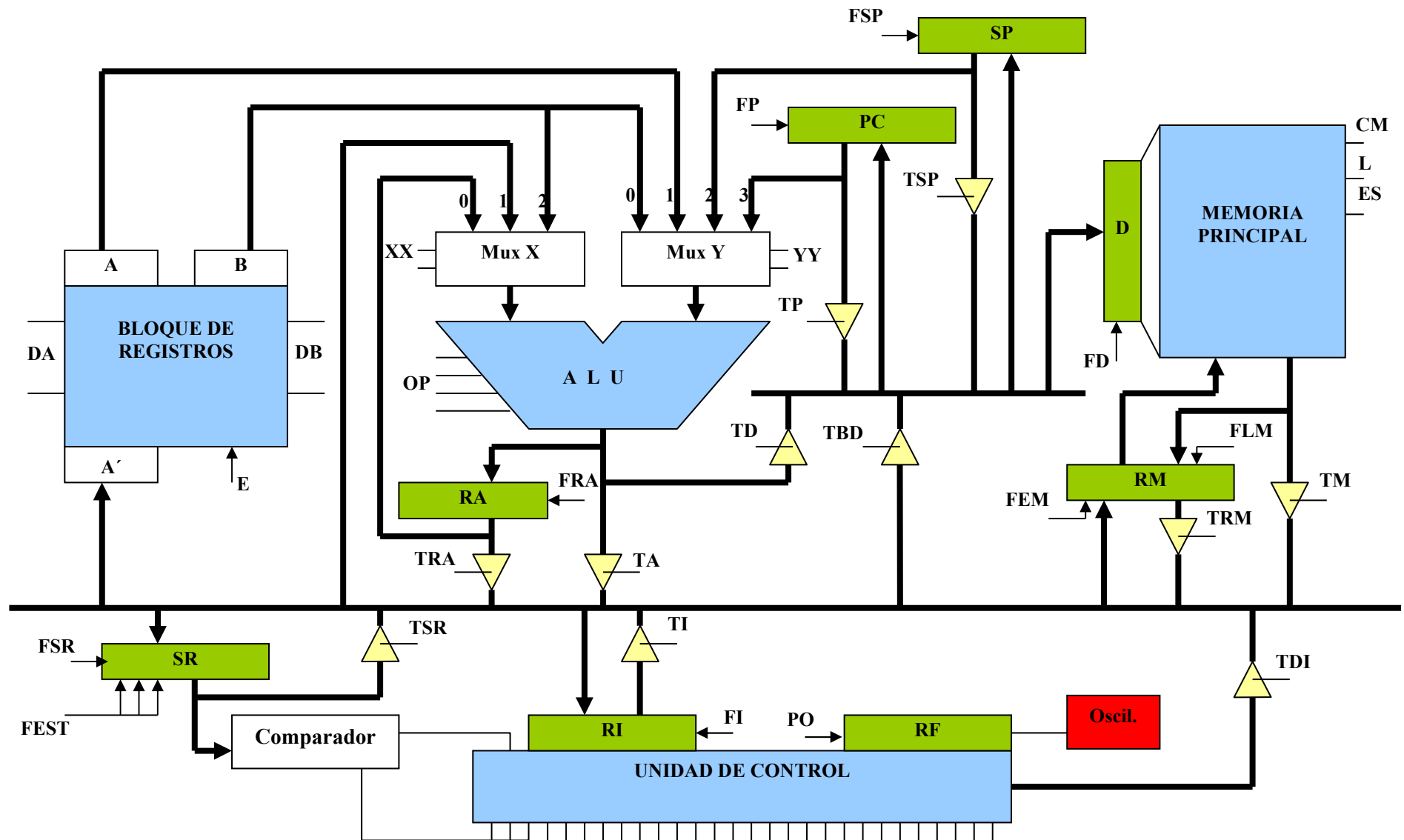
- a) PRIMERA INSTRUCCIÓN: La instrucción aritmética SUB, con direccionamiento directo absoluto a registro para el primer y segundo operando. Suponer que se produce un TRAP de desbordamiento al finalizar, bifurcando a la dirección B0002h.
- b) SEGUNDA INSTRUCCIÓN: La instrucción de llamada a subrutina CALL, con modo de direccionamiento directo absoluto a memoria.
- c) TERCERA INSTRUCCIÓN: La instrucción RET de retorno de subrutina.
- d) CUARTA INSTRUCCIÓN: La instrucción de transferencia MOVE, con modo de direccionamiento directo absoluto a registro para el primer operando e inmediato para el segundo operando.
- e) Las operaciones con la unidad aritmético-lógica se realizan en un periodo.
- f) Los cálculos de las direcciones de los operandos en memoria especificados con direccionamiento relativo, se realizarán después del periodo de decodificación.
- g) El resultado de una operación o el operando destino va a ser siempre el especificado en primer lugar en la instrucción de ensamblador.
- h) Las operaciones de L/E en memoria se realizan durante dos periodos.
- i) La pila, que se implementa en el sistema con el registro SP (puntero de pila), funciona de la siguiente forma: 1) La pila crece hacia direcciones decrecientes. 2) El registro puntero de pila indica la dirección de memoria principal en la que se introdujo el último dato en la pila.

- j) Para cuando hay que salvar el contenido de SR y el de PC, siempre se almacenará primero el de SR.

PROBLEMA 3. (2,25 ptos.). El siguiente fragmento de código se ejecuta en un procesador DLX. En dicho procesador la etapa MEM requiere 1 ciclo de reloj. Las latencias (en ciclos de reloj) de las unidades funcionales son las siguientes: Sumador/restador entero: 1; Sumador/restador flotante: 2; y Multiplicador/Divisor: 3 (las dos últimas unidades funcionales para operaciones están **segmentadas**).

```
LW R3, 20(R1)
LW R5, 10(R2)
SW 10(R5), R3
LF F0, 30(R5)
ADD R4, R3, R5
LF F3, 10(R1)
FADD F4, F0, F3
FMUL F6, F4, F3
```

- a) Suponiendo que la **memoria** tiene un **único puerto de acceso** y que **no hay adelantamiento**, indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; e indicar si existen bloqueos en la cadena y a qué se deben.
- b) Repetir el apartado a) para una versión del DLX que incluya **adelantamiento** (bypass) **generalizado** y suponiendo que la **memoria** tiene **dos puertos de acceso** (uno para instrucciones y otro para datos). Indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; e indicar si existen bloqueos en la cadena y a qué se deben. Indicar claramente los datos que se adelantan y entre qué etapas actúa el bypass.



Etap	Instrucción ALU	Carga/Almacenamiento	Salto/Bifurcación
IF	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$
ID	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$
EX	$ALU_{output} \leftarrow A \text{ op } (B \text{ or } (IR1_{16})^{16}###IR1_{16..31})$	$MAR \leftarrow A+(IR1_{16})^{16}###IR1_{16..31}$ $SMDR \leftarrow B$	<div> Salto $ALU_{output} \leftarrow PC1+IR1_{16})^{16}###IR1_{16..31})$ $Cond \leftarrow (Rs1 \text{ op } 0);$ </div> <div> Bifurcación $ALU_{output} \leftarrow PC1+ IR1_{26})^6###IR1_{6..31})$ </div>
MEM	$ALU_{output1} \leftarrow ALU_{output}$	$LMDR \leftarrow M[MAR]$ o $M[MAR] \leftarrow SMDR$	If (cond): $PC \leftarrow ALU_{output}$
WB	$Rd \leftarrow ALU_{output1}$	$Rd \leftarrow LMDR$	

Tabla. Eventos en cada etapa de la segmentación de DLX diferenciados según el tipo de instrucción.

Apellidos: **Nombre:**

[illegible]

1) FORMATOS

3) SEÑALES DE CONTROL

A full page of blank graph paper. The grid consists of small squares formed by thin, dotted lines. There are 20 columns and 20 rows of squares, creating a total area of 400 small squares. The margins are uniform on all sides.

Apellidos:

Nombre:

Apartado a)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
LW R3, 20 (R1)																														
LW R5, 10 (R2)																														
SW 10 (R5), R3																														
LF F0, 30 (R5)																														
ADD R4, R3, R5																														
LF F3, 10 (R1)																														
FADD F4, F0, F3																														
FMUL F6, F4, F3																														
Detenciones							Detenciones																							

Apartado a)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
LW R3, 20 (R1)																														
LW R5, 10 (R2)																														
SW 10 (R5), R3																														
LF F0, 30 (R5)																														
ADD R4, R3, R5																														
LF F3, 10 (R1)																														
FADD F4, F0, F3																														
FMUL F6, F4, F3																														
Detenciones							Detenciones										Adelantamientos						Adelantamientos							