



**GRADO EN INGENIERÍA INFORMÁTICA**  
**FUNDAMENTOS DE COMPUTADORES**

Examen de Septiembre (04/09/2017)

APELLIDOS: \_\_\_\_\_

NOMBRE: \_\_\_\_\_ DNI N°: \_\_\_\_\_ GRUPO: \_\_\_\_\_

---

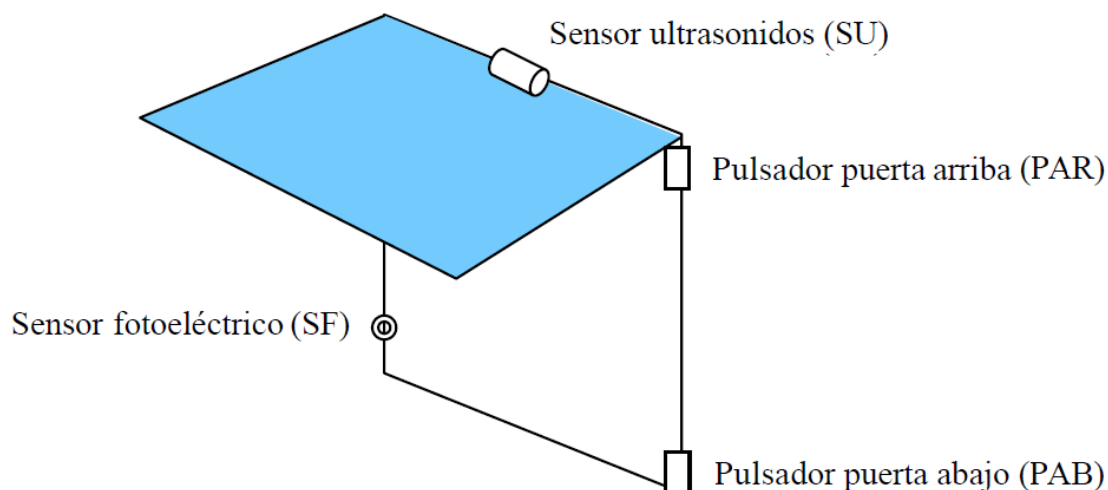
---

**1 (6 puntos).**- La puerta de garaje de la figura funciona de la siguiente manera:

- Cuando un coche se acerca a la misma es detectado por el sensor de ultrasonidos y la puerta comienza a subir.
- La puerta permanece arriba mientras el coche está pasando (detectado por el sensor fotoeléctrico) y luego baja.
- Por último, si la puerta está bajando y se detecta otro coche en las inmediaciones debe empezar a subir de nuevo.

Se pide:

- a) Tabla de verdad del circuito ordenando las entradas en orden alfabético **de derecha a izquierda**. Determinar el número de salidas necesario para controlar la puerta. (2 puntos)
- b) Resolver el circuito mínimo de control mediante puertas NAND. (2 puntos)
- c) Resolver el circuito de control mediante decodificadores y puertas OR. Se dispone de decodificadores de un máximo de 4 salidas y una única línea de habilitación G activa a nivel alto. (1 punto)
- d) Escribir un módulo VHDL en el que se modelen las expresiones mínimas del circuito de control obtenidas en el apartado b). (1 punto)



**2 (4 puntos).**- Un sistema digital posee una entrada **E** (sincronizada con la señal de reloj CLK) y una salida **S**. Si la salida **S** está inactiva, ésta sólo se activará tras permanecer la entrada **E** a nivel alto durante un mínimo de tres periodos de reloj consecutivos. Si la salida **S** está activa, ésta se desactivará tras adoptar la entrada **E** un nivel bajo durante tres periodos de reloj, sean éstos consecutivos o no.

Realizar una máquina de tipo MOORE cuyo comportamiento se corresponda con el del sistema descrito anteriormente mediante el empleo de un REGISTRO y una PAL, representando:

- a) El diagrama de estados del sistema. (2.5 puntos)
- b) La tabla de estados del sistema. (1 punto)
- c) El diagrama lógico del sistema. (0.5 puntos)

**Ejercicio 1**

a) Tabla de verdad del circuito.

SU	SF	PAR	PAB	SP	BP
0	0	0	0	0	1
0	0	0	1	0	0
0	0	1	0	0	1
0	0	1	1	X	X
0	1	0	0	1	0
0	1	0	1	X	X
0	1	1	0	0	0
0	1	1	1	X	X
1	0	0	0	1	0
1	0	0	1	1	0
1	0	1	0	0	0
1	0	1	1	X	X
1	1	0	0	1	0
1	1	0	1	X	X
1	1	1	0	0	0
1	1	1	1	X	X

$$SP = \sum_4(4, 8, 9, 12) + \sum_\phi(3, 5, 7, 11, 13, 15)$$

$$BP = \sum_4(0, 2) + \sum_\phi(3, 5, 7, 11, 13, 15)$$

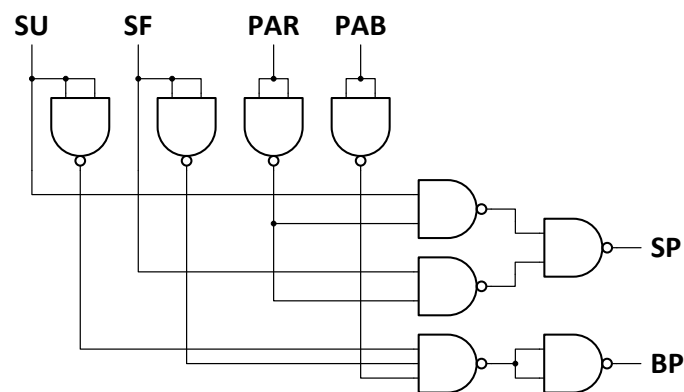
b) Simplificación por Karnaugh de las funciones SP y BP, transformación de las expresiones mínimas obtenidas para su implementación mediante puertas NAND y diagrama lógico del circuito completo.

		PAB PAR			
		00	01	11	10
SF SU	00	0	0	X	0
	01	1	0	X	1
	11	1	0	X	X
	10	1	0	X	X

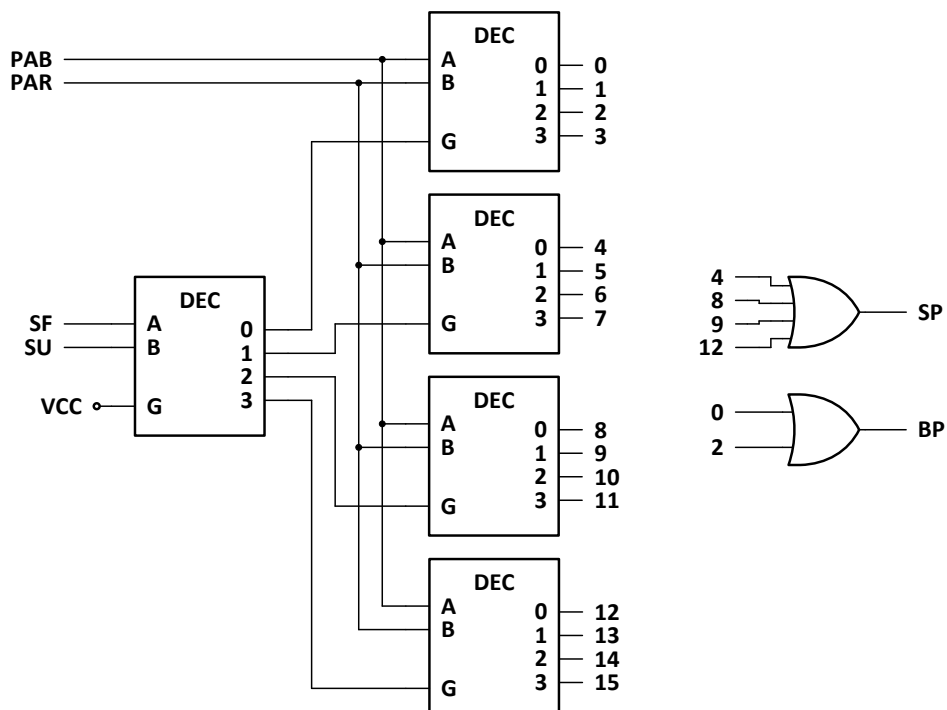
$$SP = \overline{SU} \overline{PAR} + SF \overline{PAR} = \overline{\overline{SU} \overline{PAR} + SF \overline{PAR}} = \overline{\overline{SU} \overline{PAR}} \cdot \overline{SF \overline{PAR}}$$

SF SU	PAB PAR			
	00	01	11	10
00	1	1	X	0
01	0	0	X	0
11	0	0	X	X
10	0	0	X	X

$$BP = \overline{SU} \overline{SF} \overline{PAB} = \overline{SU} \overline{SF} \overline{PAB}$$



c) Implementación del circuito completo mediante decodificadores y puertas OR.



d) Módulo VHDL de las funciones mínimas SP y BP.

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;

ENTITY EFC_17_S IS
    PORT ( SU : IN STD_LOGIC;
          SF : IN STD_LOGIC;
          PAR : IN STD_LOGIC;
          PAB: IN STD_LOGIC;
          SP: OUT STD_LOGIC;
          BP : OUT STD_LOGIC);
END EFC_17_S;

ARCHITECTURE A_EFC_17_S OF EFC_17_S IS

BEGIN

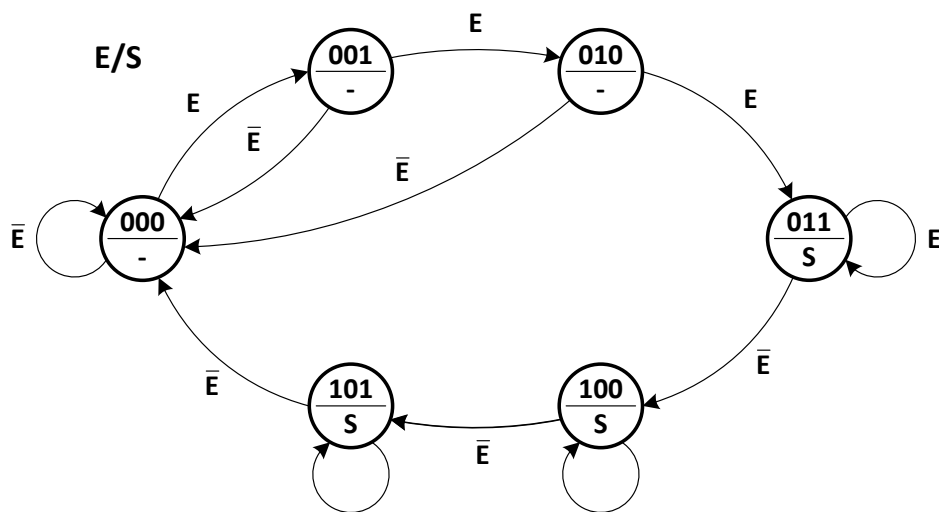
    SP <= (SU AND NOT PAR) OR (SF AND NOT PAR);

    BP <= NOT SU AND NOT SF AND NOT PAB;

END A_EFC_17_S;
```

## Ejercicio 2

a) Diagrama de estados del sistema.



b) Tabla de estados del sistema.

$q_2$	$q_1$	$q_0$	E	$Q_2$	$Q_1$	$Q_0$	$D_2$	$D_1$	$D_0$	S
0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0	0	1	0
0	0	1	0	0	0	0	0	0	0	0
0	0	1	1	0	1	0	0	1	0	0
0	1	0	0	0	0	0	0	0	0	0
0	1	0	1	0	1	1	0	1	1	0
0	1	1	0	1	0	0	1	0	0	1
0	1	1	1	0	1	1	0	1	1	1
1	0	0	0	1	0	1	1	0	1	1
1	0	0	1	1	0	0	1	0	0	1
1	0	1	0	0	0	0	0	0	0	1
1	0	1	1	1	0	1	1	0	1	1

c) Diagrama lógico del sistema.

