

EXAMEN DE ARQUITECTURA DE COMPUTADORES. La Rábida, 13 de Septiembre de 2016

Apellidos Nombre

Valor de cada: Respuesta correcta + 0.1
 Respuesta incorrecta - 0.05
 No respuesta - 0.05

TIEMPO REALIZACIÓN EXAMEN: 45 minutos

Espacio para respuestas

↓↓↓↓↓

1*	En un sistema computador, y referida a la tarea de cálculo completa, la cantidad de trabajo realizado se denomina:	
	A) Productividad C) Tiempo de ejecución B) Tiempo de respuesta D) Ninguna de las afirmaciones anteriores es correcta	D
2*	Atendiendo a los conceptos de productividad y tiempo de respuesta de un procesador, la segmentación NO mejora:	
	A) El tiempo de respuesta y la productividad C) La productividad B) El tiempo de respuesta D) Depende de la segmentación	B
3*	El Principio de Localidad Temporal, se aplica:	
	A) Únicamente a los accesos de instrucciones C) Tanto a los accesos de datos como de instrucciones B) Únicamente a los accesos de datos D) Ninguna de las afirmaciones anteriores es correcta	B
4*	El rendimiento de la CPU depende del:	
	A) CPI (Ciclos Por Instrucción) únicamente C) Recuento de instrucciones B) La tensión de alimentación de la CPU D) Ninguna de las afirmaciones anteriores es correcta	C
5*	Los MIPS (Millones de Instrucciones Por Segundo):	
	A) Son independientes del repertorio de instrucciones de la máquina C) Nos permiten calcular exactamente el tiempo de ejecución de un programa real B) Varían entre programas en el mismo computador D) Ninguna de las afirmaciones anteriores es correcta	B
6*	Para un determinado tamaño de Memoria Caché, a menor tamaño de bloque corresponde:	
	A) Mayor tasa de acierto por localidad espacial C) Mayor tasa de aciertos B) Mayor tasa de acierto por localidad temporal D) Ninguna de las afirmaciones anteriores es correcta	B
7*	¿Qué estrategia de escritura plantea más problemas de coherencia?	
	A) En un sistema monoprocesador no se emplea estrategia de escritura alguna C) La coherencia de caché no está relacionada con la estrategia de escritura B) La de escritura inmediata D) La de post-escritura	D
8*	La frecuencia o tasa de fallos en memoria se define como:	
	A) La fracción de accesos a memoria no encontrados en el nivel superior de la jerarquía de memoria C) La fracción de accesos a memoria no encontrados en cualquier nivel de la jerarquía de memoria B) La fracción de accesos a memoria no encontrados en el nivel inferior de la jerarquía de memoria D) La fracción de accesos a memoria encontrados en el nivel inferior de la jerarquía de memoria	A
9*	Atendiendo a los tipos de fallos de caché, los de capacidad NO se pueden dar :	
	A) En cachés con correspondencia directa C) En cachés con correspondencia asociativa por conjuntos B) En cachés con correspondencia totalmente asociativa D) Ninguna de las afirmaciones anteriores es correcta	D
10*	Para un mismo sistema de memoria, un mismo tamaño de bloque y distintas correspondencias, el menor tamaño del campo etiqueta es el de la correspondencia:	
	A) Directa C) Totalmente asociativa B) Asociativa por conjuntos D) Ninguna de las afirmaciones anteriores es correcta	A
11*	El número de comparaciones de las etiquetas de los bloques existentes en la memoria caché, decrece:	
	A) Con la mayor asociatividad C) Con el tamaño de bloque B) Con la menor asociatividad D) Ninguna de las afirmaciones anteriores es correcta	B
12*	¿Cuál de las siguientes afirmaciones es cierta?	
	A) Cuando existen varios niveles de caché, si hay una caché partida siempre se aplica al nivel inferior C) El rendimiento de una configuración concreta de caché nunca depende del programa que se ejecute B) En una memoria caché se puede aplicar siempre algún algoritmo de reemplazo D) Ninguna de las afirmaciones anteriores es correcta	D
13*	Atendiendo a las posibles combinaciones de operandos en memoria y operandos totales por instrucción que implica operación diádica en un sistema computador, indica cuál de las siguientes afirmaciones NO es cierta:	
	A) Una máquina puede tener dos operandos por instrucción y ninguno referenciado a memoria C) Una máquina puede tener tres operandos por instrucción y los tres referenciados a memoria B) Una máquina puede tener dos operandos por instrucción y uno referenciado a memoria D) No puede haber una máquina sin ningún operando explicitado en la instrucción	D
14*	El valor de todas las señales de control durante un periodo de ejecución de una instrucción define:	
	A) Un microprograma C) Una instrucción B) Una operación elemental D) Ninguna de las afirmaciones anteriores es correcta	D
15*	En un computador serie Von Neumann, indica cuál de las siguientes afirmaciones es cierta:	
	A) No pueden realizarse operaciones elementales a la vez C) Pueden estar ejecutándose varias instrucciones a la vez B) Tiene instrucciones de bifurcación condicional siempre D) Ninguna de las afirmaciones anteriores es correcta	B

16*	En una unidad de control microprogramada, y suponiendo que no se consideran cepos o traps, indica cuántos microprogramas tiene asociados una instrucción del tipo BZ [A0000h]:		A
	A) Dos B) Depende del computador	C) Los mismos que tiene la instrucción JMP A0000h D) Esta unidad de control no almacena microprogramas	
17*	Sea una unidad de control microprogramada con secuenciamiento explícito y 8 bits en el campo código de operación. Indica cuál de las siguientes afirmaciones es cierta:		D
	A) Tiene una etapa traductora tipo ROM de 256 posiciones B) Debe tener una etapa traductora ROM de al menos 256 posiciones de memoria	C) Tiene una memoria de control con 256 posiciones D) No necesita etapa traductora	
18*	Considerando las instrucciones: CALL, RET y JMP, indica cuál de ellas no es de bifurcación:		D
	A) RET B) CALL	C) BZ D) Todas son de bifurcación	
19*	Sea la arquitectura DLX con unidades funcionales para operaciones en formato de coma flotante donde la unidad sumador/restador requiere 2 ciclos y la de división requiere 5 ciclos, dada la secuencia DIVF F1, F3, F2 y SUBF F1, F3, F4, existe riesgo de tipo:		B
	A) Estructural B) Por dependencia de datos tipo WAW	C) Por dependencia de datos tipo RAW D) Ninguna de las afirmaciones anteriores es correcta	
20*	En la arquitectura DLX, el Adelantamiento Generalizado:		D
	A) Elimina el número de detenciones derivadas de los riesgos estructurales B) Reduce los riesgos de control	C) Elimina totalmente el número de detenciones derivadas de riesgos por dependencia de datos D) Complica el hardware	
21*	Los riesgos por dependencia de datos del tipo WAW NO pueden existir en:		B
	A) Una arquitectura DLX con unidades funcionales con distintos tiempos de ejecución B) Una arquitectura DLX con unidades funcionales con los mismos tiempos de ejecución	C) Una arquitectura DLX con unidades funcionales en FP y distintos tiempos de ejecución D) Ninguna de las afirmaciones anteriores es correcta	
22*	En arquitectura VLIW (Very Long Instruction Word):		C
	A) Se aplican exclusivamente técnicas software para mejorar el paralelismo a nivel de instrucción B) Se aplican exclusivamente técnicas hardware para mejorar el paralelismo a nivel de instrucción	C) La compilación de los programas se hace en función del hardware con que cuenta el computador D) Ninguna de las afirmaciones anteriores es correcta	
23*	El tamaño de palabra del computador que se considera en la arquitectura DLX estudiada es de:		C
	A) 8 bits B) 16 bits	C) 32 bits D) 64 bits	
24*	Comparando las arquitecturas Von Neumann y DLX estudiadas:		C
	A) Ambas permiten ejecutar varias instrucciones simultáneamente B) Ninguna de las dos son arquitecturas segmentadas	C) Sólo una de ellas ejecuta instrucciones ALU con modelo de ejecución Reg-Mem D) Ambas consideran la duplicidad de los PC e IR	
25*	Sea una máquina no segmentada con cinco pasos de ejecución de 40 ns cada uno y otra máquina segmentada también con cinco etapas de 40 ns cada una, a partir del tiempo empleado en la ejecución de 4 instrucciones consecutivas, el tiempo medio por instrucción resulta (considerar que no existe ningún ciclo de detención):		D
	A) 50 ns en ambas B) 200 ns en la primera y 100 ns en la segunda	C) 200 ns en ambas D) 200 ns en la primera y 80 ns en la segunda	
26*	La arquitectura superescalar:		B
	A) No permite realizar las mismas fases de distintas instrucciones a la vez B) Permite realizar las mismas fases de distintas instrucciones a la vez	C) Implica siempre supersegmentación D) Es equivalente a la supersegmentada	
27*	Comparando el cálculo de las direcciones a las que se accede a la vez de una memoria estructurada por bancos con el de una memoria entrelazada:		B
	A) Los dos métodos no difieren B) El de la estructurada por bancos es algo más complejo	C) El de la entrelazada es algo más complejo D) Ninguna de las afirmaciones anteriores es correcta	
28*	Un computador matricial:		B
	A) No tiene instrucciones vectoriales B) Es de tipo SIMD según la clasificación de Flynn	C) Es de tipo MIMD según la clasificación de Flynn D) Ninguna de las afirmaciones anteriores es correcta	
29*	En un multiprocesador NUMA,		A
	A) La memoria está compartida B) La memoria no está compartida	C) Los accesos a memoria se hacen de igual forma a como se realizan en un multicomputador D) Ninguna de las afirmaciones anteriores es correcta	
30*	Los ordenadores de reducción:		B
	A) Emplean la disponibilidad de los operandos para disparar la ejecución de las operaciones B) Emplean la necesidad que tiene un resultado de disparar la operación que generará el resultado requerido	C) Usan información explícita de los flujos de control para producir la ejecución de las instrucciones D) Únicamente pueden ser SISD	

EXAMEN DE ARQUITECTURA DE COMPUTADORES

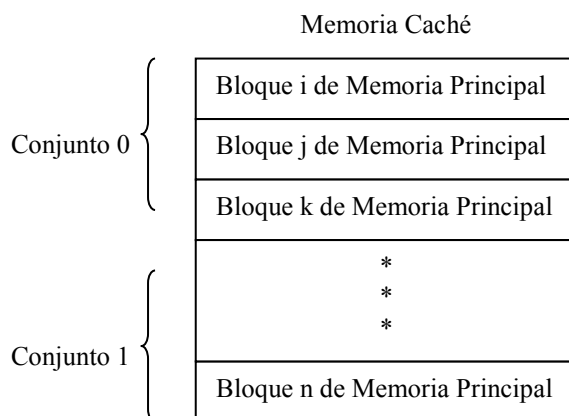
La Rábida, 13 de Septiembre de 2016

PROBLEMA 1. (2,5 ptos.). Un sistema computador (sin memoria virtual) tiene una memoria principal de 128 Kpalabras de 8 bits cada una de ellas y una memoria caché de 8 Kbits, dividida en 2 conjuntos, con 256 palabras/bloque.

- a) Justificar e indicar, de la **Memoria Principal**: 1º su capacidad en bits, 2º el número de bloques que tiene; y, de la **Memoria Caché**: 1º su capacidad en bytes, 2º su número de palabras, 3º su número de bloques, 4º su número de bloques por conjunto, y, 5º su número de bits por bloque.
- b) Mostrar el **formato de la dirección** que define la unidad central de proceso en base a la función de correspondencia empleada, definiendo cada uno de los campos en los que se divide y los bits correspondientes a cada uno de esos campos.

Se supone que, después de haber estado la memoria caché “vacía” (*instante 0*), a continuación en el *instante 1* se encuentran en la memoria caché los bloques de memoria principal B12, B8, B1, B15, leídos en ese orden y todas sus direcciones ordenadamente una vez. Suponer que el algoritmo de reemplazamiento de bloques es el LRU (Least Recently Used).

- c) Mostrar el contenido de la memoria caché en el *instante 1*. Mostrarlo según el esquema siguiente:



- d) Identificar cuántos fallos de caché se han producido, de qué tipo y leyendo qué dirección, en este *instante 1*.

A continuación, la CPU lee la secuencia de direcciones de memoria: 0, 1, 2, 3, 320, 321 y 449 (*instante 2*), según el orden marcado en la misma.

- e) Mostrar el contenido de la memoria caché en el *instante 2*.
- f) Hasta ese *instante 2*, ¿cuántos fallos y de qué tipo se han producido en total?.

g) Hasta ese *instante 2*, ¿cuántos aciertos se han producido?.

Por último, la CPU lee la secuencia de direcciones 768, 769 y 1023 (*instante 3*), según el orden marcado en la misma.

h) Mostrar el contenido de la memoria caché en el *instante 3*.

i) En esas últimas lecturas, ¿cuántos fallos y de qué tipo se han producido?.

PROBLEMA 2. (2,25 ptos.). Para el sistema computador representado en la figura, y para la secuencia de instrucciones siguiente:

Dirección de Memoria (en hexadecimal)	Instrucción (en ensamblador)
A0000h	ADD .4, 00129h
A0001h	CALL A0002h
A0002h	MOVE .2, 120(.2)
A0003h	RET

1. Mostrar los formatos de las instrucciones.
2. Definir la secuencia de operaciones elementales y el solapamiento posible de las mismas. Especificar el cronograma según el flujo marcado por el programa propuesto, y considerando una sólo vez la ejecución de cada instrucción.
3. Definir el valor de las señales de control correspondiente a la secuencia de operaciones elementales $PC \leftarrow \text{Desplazamiento}$ (en el RI) + R3 y $D \leftarrow PC$, realizadas de forma conjunta en el menor tiempo posible. Mostrar únicamente el valor de las señales que intervienen directamente en dicha operación.

Teniendo en cuenta:

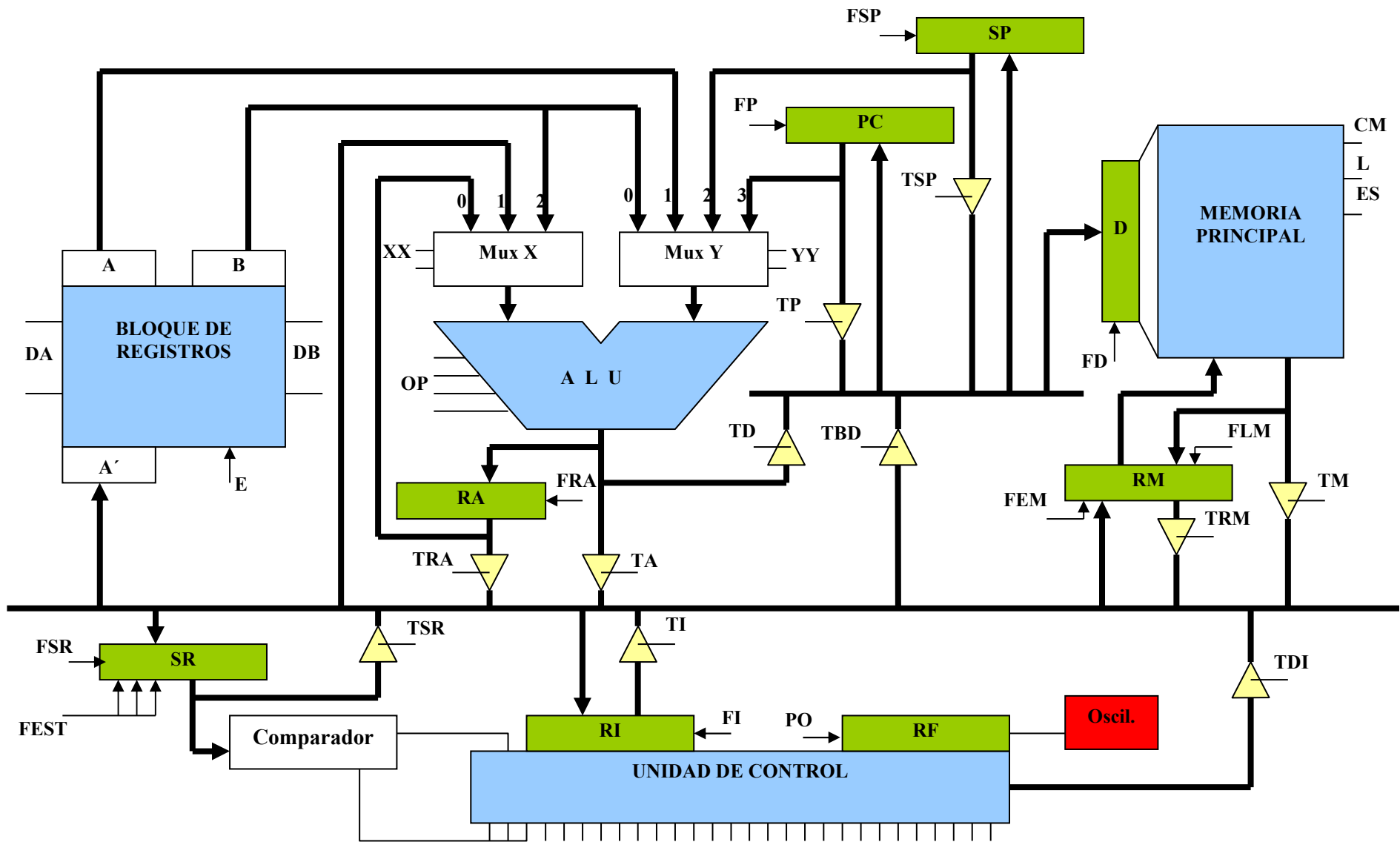
- a) PRIMERA INSTRUCCIÓN: La instrucción aritmética ADD, con direccionamiento directo absoluto a registro para el primer operando y directo absoluto a memoria para el segundo. Suponer que se produce un trap de desbordamiento como consecuencia de la suma, bifurcándose a la dirección A0002h. El resultado erróneo de esta suma no es necesario almacenarlo en su destino.
- b) SEGUNDA INSTRUCCIÓN: La instrucción de llamada a subrutina CALL, con modo de direccionamiento directo absoluto a memoria.
- c) TERCERA INSTRUCCIÓN: La instrucción de transferencia MOVE, con modo de direccionamiento directo absoluto a registro para el primer operando y directo relativo a registro base para el segundo operando.
- d) CUARTA INSTRUCCIÓN: La instrucción RET de retorno de subrutina.

- e) Las operaciones con la unidad aritmético-lógica se realizan en un periodo.
- f) Los cálculos de las direcciones de los operandos en memoria especificados con direccionamiento relativo, se realizarán de manera automática en el periodo de decodificación.
- g) El resultado de una operación o el operando destino va a ser siempre el especificado en primer lugar en la instrucción de ensamblador.
- h) Las operaciones de L/E en memoria se realizan durante dos periodos.
- i) La pila, que se implementa en el sistema con el registro SP (puntero de pila), funciona de la siguiente forma: 1) La pila crece hacia direcciones decrecientes. 2) El registro puntero de pila indica la dirección de memoria principal en la que se introdujo el último dato en la pila.
- j) Para cuando hay que salvar el contenido de SR y el de PC, siempre se almacenará primero el de SR.

PROBLEMA 3. (2,25 ptos.). El siguiente fragmento de código se ejecuta en un procesador DLX. En dicho procesador la etapa MEM requiere 1 ciclo de reloj. Las latencias (en ciclos de reloj) de las unidades funcionales son las siguientes: Sumador/restador entero: 1; Sumador/restador flotante: 2; y Multiplicador/Divisor: 4 (las dos últimas unidades funcionales para operaciones están **segmentadas**).

```
LW R2, 2(R1)
LW R5, 8(R2)
LF F2, 20(R2)
LF F0, 10(R1)
FADD F4, F0, F2
FDIV F5, F4, F2
SF 20(R5), F5
FMUL F8, F4, F5
```

- a) Suponiendo que la **memoria** tiene un **único puerto de acceso** y que **no hay adelantamiento** (bypass), indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; e indicar si existen bloqueos en la cadena y a qué se deben.
- b) Repetir el apartado a) para una versión del DLX que incluya **adelantamiento** (bypass) **generalizado** y suponiendo que la **memoria** tiene **dos puertos de acceso** (uno para instrucciones y otro para datos). Indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; e indicar si existen bloqueos en la cadena y a qué se deben. Indicar claramente los datos que se adelantan y entre qué etapas actúa el bypass.



Etapas	Instrucción ALU	Carga/Almacenamiento	Salto/Bifurcación
IF	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$
ID	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$
EX	$ALU_{output} \leftarrow A \text{ op } (B \text{ or } (IR1_{16})^{16}##IR1_{16..31})$	$MAR \leftarrow A+(IR1_{16})^{16}##IR1_{16..31}$ $SMDR \leftarrow B$	<div> Salto $ALU_{output} \leftarrow PC1+IR1_{16})^{16}##IR1_{16..31})$ $Cond \leftarrow (Rs1 \text{ op } 0);$ </div> <div> Bifurcación $ALU_{output} \leftarrow PC1+ IR1_{26})^6##IR1_{6..31})$ </div>
MEM	$ALU_{output1} \leftarrow ALU_{output}$	$LMDR \leftarrow M[MAR]$ o $M[MAR] \leftarrow SMDR$	If (cond): $PC \leftarrow ALU_{output}$
WB	$Rd \leftarrow ALU_{output1}$	$Rd \leftarrow LMDR$	

Tabla. Eventos en cada etapa de la segmentación de DLX diferenciados según el tipo de instrucción.

Apellidos: **Nombre:**

[illegible]

1) FORMATOS

3) SEÑALES DE CONTROL

A full page of blank graph paper. The grid consists of small squares formed by thin, dotted lines. There are 20 columns and 20 rows of squares, creating a large rectangular area for drawing or writing. The margins are uniform on all sides.

Apellidos:

Nombre:

Apartado a)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
LW R2, 2(R1)																														
LW R5, 8(R2)																														
LF F2, 20(R2)																														
LF F0, 10(R1)																														
FADD F4, F0, F2																														
FDIV F5, F4, F2																														
SF 20(R5), F5																														
FMUL F8, F4, F5																														
Detenciones							Detenciones										Adelantamientos							Adelantamientos						

Apartado b)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
LW R2, 2(R1)																														
LW R5, 8(R2)																														
LF F2, 20(R2)																														
LF F0, 10(R1)																														
FADD F4, F0, F2																														
FDIV F5, F4, F2																														
SF 20(R5), F5																														
FMUL F8, F4, F5																														
Detenciones							Detenciones										Adelantamientos							Adelantamientos						