



Universidad  
de Huelva

## GRADO EN INGENIERÍA INFORMÁTICA

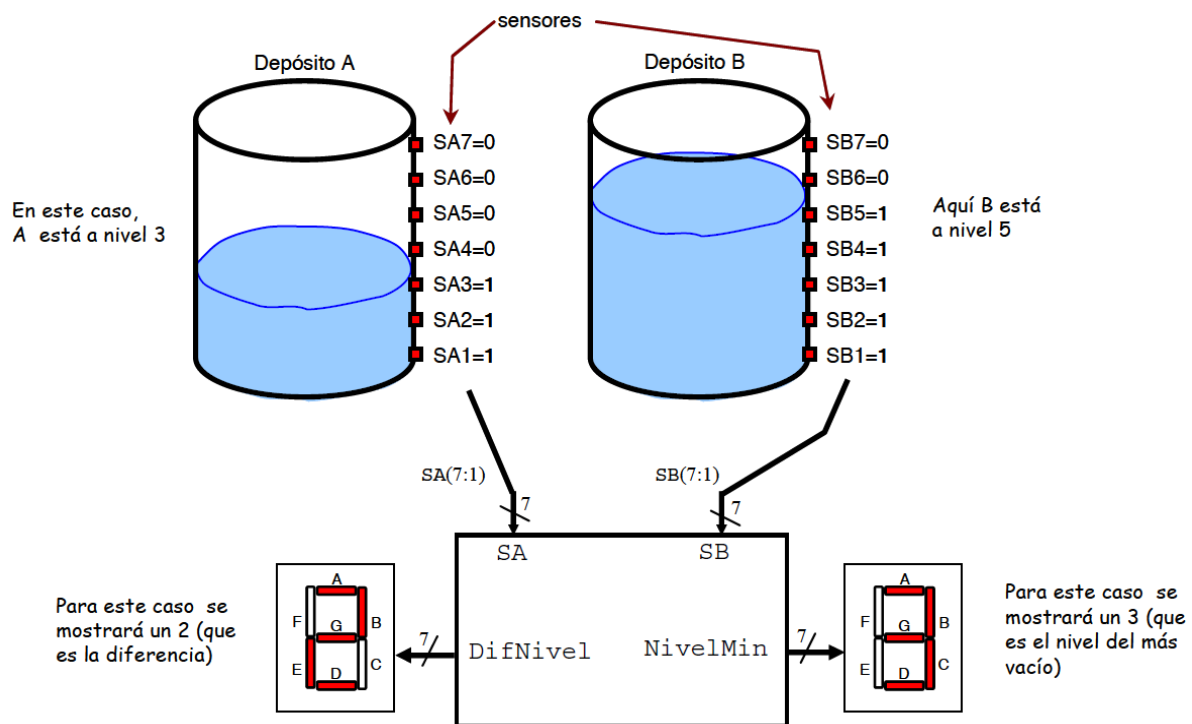
### FUNDAMENTOS DE COMPUTADORES

Examen de Septiembre (8/9/2015)

APELLIDOS: \_\_\_\_\_

NOMBRE: \_\_\_\_\_ DNI N°: \_\_\_\_\_ GRUPO: \_\_\_\_\_

1.- (5 puntos) Se dispone de dos depósitos con siete sensores cada uno de ellos, tal y como se observa en la figura.



Cada sensor dará un '1' lógico si está cubierto de agua y un '0' en caso contrario.

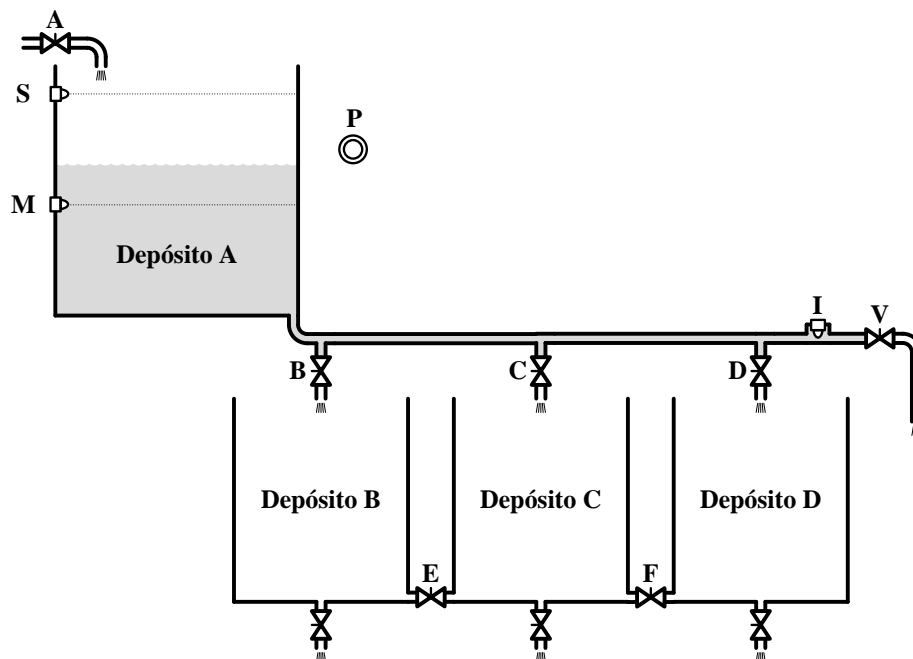
Se desea diseñar un circuito para conocer en cada momento el nivel de agua del depósito que esté más vacío, y la diferencia de nivel con respecto al más lleno (en valor absoluto). La salida debe proporcionarse mediante dos visualizadores de 7 segmentos, uno para indicar el nivel del depósito más vacío, y otro para indicar la diferencia.

Como se tienen 7 sensores para conocer el nivel, el rango de valores va desde 0 a 7. Se supone que ningún sensor va a fallar, por lo tanto, si un sensor indica un '1' lógico, todos los sensores que estén debajo de él darán un '1' lógico (pues el agua los cubrirá también).

Se pide:

- Diseñar un módulo VHDL que describa un codificador de prioridad de 8 a 3 líneas, empleando una estructura *process*. (1.5 puntos)
- Usando el módulo anterior como un bloque funcional, realizar el diagrama lógico del circuito de visualización para los depósitos. Para el diseño se podrán emplear puertas lógicas y dispositivos de media escala de integración, excepto Unidades Lógicas y Aritméticas (ALUs) y restadores. Si se necesita restar, debe hacerse a partir de un sumador debidamente conectado. Es muy importante indicar todos los nombres de cada señal y su índice (o peso lógico). Se valorará la reducción de componentes del circuito, su claridad y su sencillez. (3.5 puntos)

2.- (5 puntos) En un proceso industrial se debe controlar el flujo de líquido entre los cuatro depósitos representados en la figura:



donde:

- **P** es un pulsador que proporciona un nivel alto cuando es presionado.
- **S, M e I** son sensores de nivel que proporcionan un nivel alto cuando son cubiertos por el líquido.
- **A, B, C, D, E, F y V** son electroválvulas que se abren al aplicarle un nivel alto a la señal correspondiente.

El funcionamiento del sistema debe ser el siguiente:

- Al ponerlo en marcha se evacuará totalmente el resto de líquido que pudiera existir tanto en el depósito A como en la tubería.
- A continuación se llenará el depósito A hasta su nivel superior.
- Posteriormente, la mitad del contenido del depósito A se repartirá a partes iguales entre los depósitos B y C, mientras que el resto se verterá en el depósito D.
- Una vez hecho esto se indicará un nuevo ciclo de llenado del depósito A, repitiéndose de nuevo el proceso.
- Si durante el llenado del depósito A se activa el pulsador P, cesará inmediatamente el vertido de líquido sobre dicho depósito y, en lugar de la distribución indicada anteriormente, el contenido del mismo se repartirá de forma equitativa entre los depósitos B, C y D.

Realizar el sistema de control del proceso mediante el empleo de un REGISTRO y un circuito combinacional, representando:

- El diagrama de estados del sistema. (3 puntos)
- La tabla de estados del sistema. (1 punto)
- El diagrama lógico del sistema, suponiendo que el circuito combinacional se implementa mediante una PROM del tamaño mínimo necesario. (0.5 puntos)

Indicar el tamaño mínimo que debería tener el dispositivo correspondiente si el circuito combinacional se implementara mediante:

- Una PLA. (0.25 puntos)
- Una PAL. (0.25 puntos)

**Ejercicio 1**

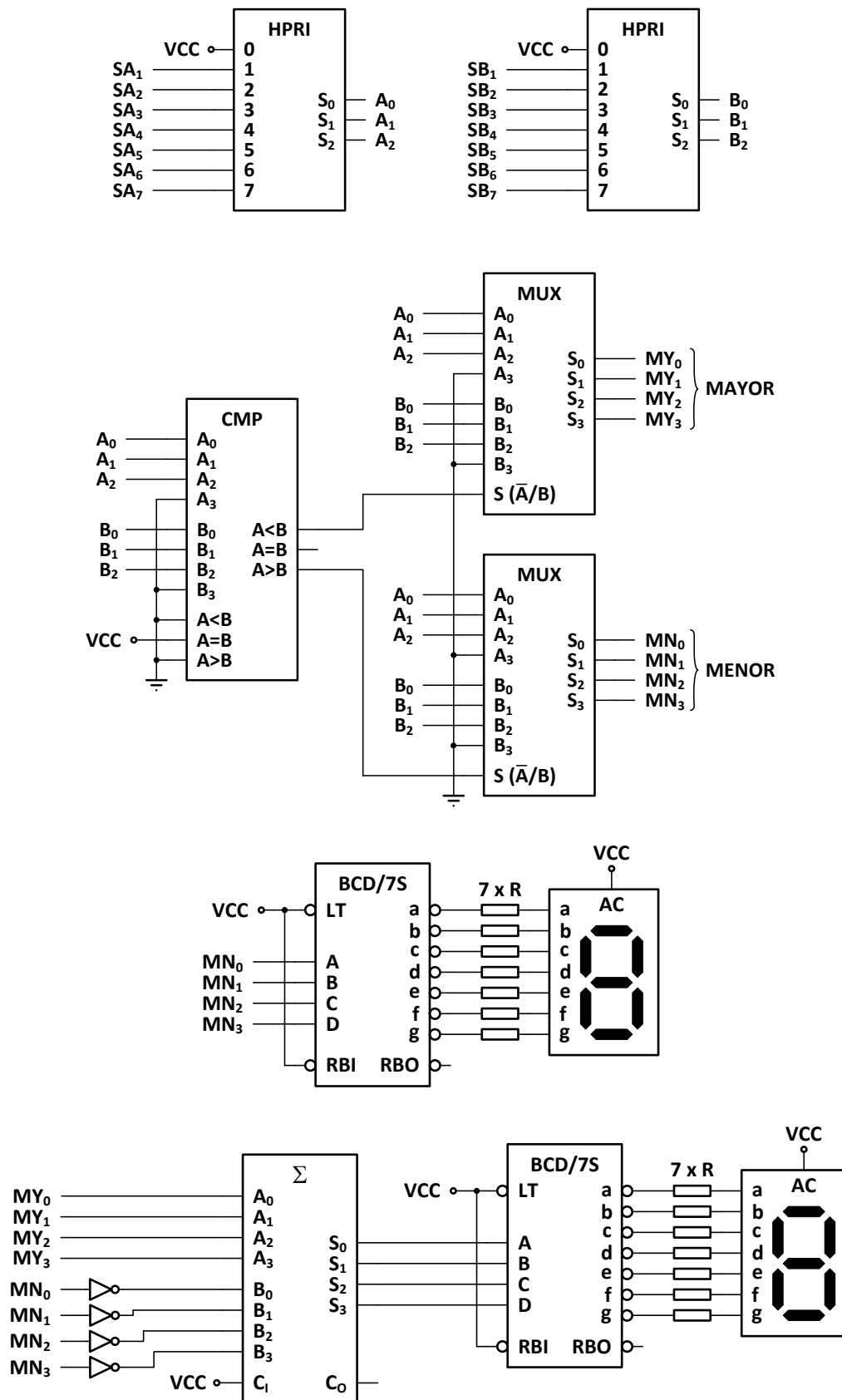
a) Módulo VHDL del codificador de prioridad.

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;

ENTITY EFC_15_S IS
    PORT ( E1 : IN STD_LOGIC;
           E2 : IN STD_LOGIC;
           E3 : IN STD_LOGIC;
           E4 : IN STD_LOGIC;
           E5 : IN STD_LOGIC;
           E6 : IN STD_LOGIC;
           E7 : IN STD_LOGIC;
           S0 : OUT STD_LOGIC;
           S1 : OUT STD_LOGIC;
           S2 : OUT STD_LOGIC);
END EFC_15_S;

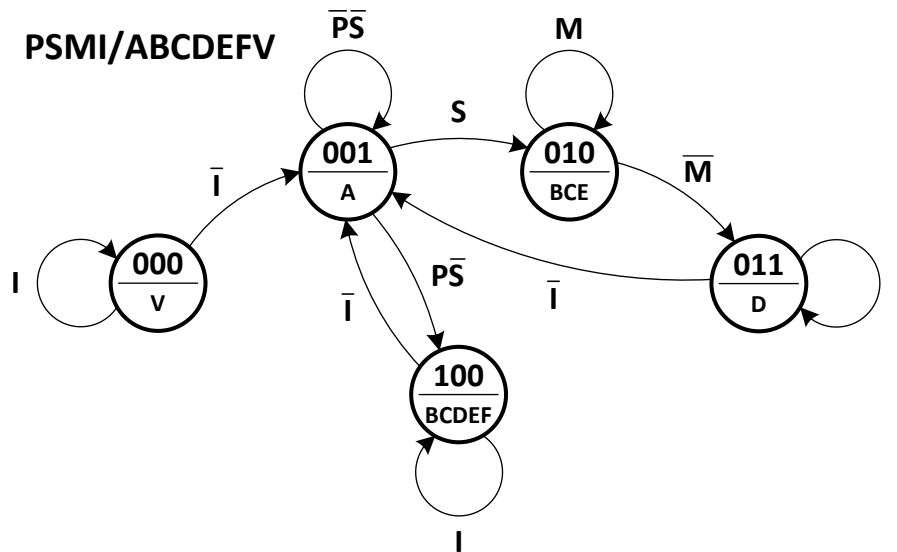
ARCHITECTURE A_EFC_15_S OF EFC_15_S IS
BEGIN
    PROCESS (E1, E2, E3, E4, E5, E6, E7)
    BEGIN
        IF E7 = '1' THEN S2 <= '1'; S1 <= '1'; S0 <= '1';
        ELSIF E6 = '1' THEN S2 <= '1'; S1 <= '1'; S0 <= '0';
        ELSIF E5 = '1' THEN S2 <= '1'; S1 <= '0'; S0 <= '1';
        ELSIF E4 = '1' THEN S2 <= '1'; S1 <= '0'; S0 <= '0';
        ELSIF E3 = '1' THEN S2 <= '0'; S1 <= '1'; S0 <= '1';
        ELSIF E2 = '1' THEN S2 <= '0'; S1 <= '1'; S0 <= '0';
        ELSIF E1 = '1' THEN S2 <= '0'; S1 <= '0'; S0 <= '1';
        ELSE S2 <= '0'; S1 <= '0'; S0 <= '0';
        END IF;
    END PROCESS;
END A_EFC_15_S;
```

b) Diagrama lógico del circuito.



## Ejercicio 2

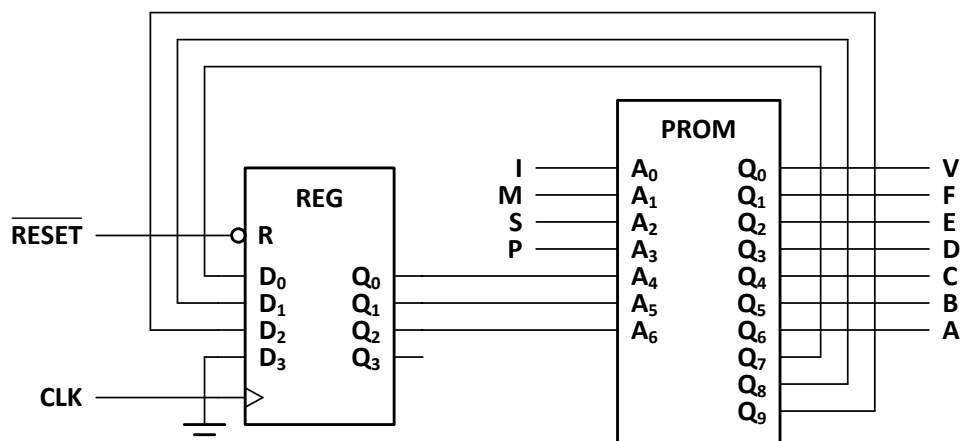
a) Diagrama de estados.



b) Tabla de estados.

$q_2$	$q_1$	$q_0$	P	S	M	I	$Q_2$	$Q_1$	$Q_0$	$D_2$	$D_1$	$D_0$	A	B	C	D	E	F	V
0	0	0	X	X	X	0	0	0	1	0	0	1	0	0	0	0	0	0	1
0	0	0	X	X	X	1	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	X	X	0	0	1	0	0	1	1	0	0	0	0	0	0
0	0	1	X	1	X	X	0	1	0	0	1	0	1	0	0	0	0	0	0
0	0	1	1	0	X	X	1	0	0	1	0	0	1	0	0	0	0	0	0
0	1	0	X	X	0	X	0	1	1	0	1	1	0	1	1	0	1	0	0
0	1	0	X	X	1	X	0	1	0	0	1	0	0	1	1	0	1	0	0
0	1	1	X	X	X	0	0	0	1	0	0	1	0	0	0	1	0	0	0
0	1	1	X	X	X	1	0	1	1	0	1	1	0	0	0	1	0	0	0
1	0	0	X	X	X	0	0	0	1	0	0	1	0	1	1	1	1	1	0
1	0	0	X	X	X	1	0	1	1	0	1	1	0	1	1	1	1	1	0

c) Diagrama lógico.



- d) El tamaño mínimo de la PLA necesaria será de  $7 \times 11 \times 10$ . No obstante, si tenemos en cuenta que los valores de las señales de salida B, C y E coinciden, el sistema combinacional podría implementarse mediante una PLA de tamaño  $7 \times 11 \times 8$ .
  
- e) El tamaño mínimo de la PAL necesaria será de  $7 \times 70 \times 10$ . No obstante, si tenemos en cuenta que los valores de las señales de salida B, C y E coinciden, el sistema combinacional podría implementarse mediante una PAL de tamaño  $7 \times 56 \times 8$ .