

EXAMEN DE ARQUITECTURA DE COMPUTADORES. La Rábida, 16 de Septiembre de 2014

Apellidos **Nombre**

Valor de cada: Respuesta correcta + 0.1
 Respuesta incorrecta - 0.05
 No respuesta - 0.05

TIEMPO REALIZACIÓN EXAMEN: **45 minutos**

Espacio para respuestas

↓↓↓↓↓↓

1	Para mejorar el rendimiento de un computador para una aplicación se tienen dos opciones: 1.-Cambiar el procesador gráfico que se utiliza un 10% del tiempo, consiguiendo un factor de mejora de 20, ó 2.- Incrementar la memoria obteniendo un factor de mejora de 1,5 el 80% del tiempo. ¿Cuál es la mejor opción?:	C
	A) La opción 1 B) Ambas opciones dan igual aceleración C) La opción 2 D) Ninguna de las afirmaciones anteriores es correcta	
2	Sea un computador A capaz de completar 10000 tareas/seg y un computador B que completa 1000 tareas/seg, se dice entonces que:	B
	A) El computador A es el 100% más rápido que el B B) El computador A es el 900% más rápido que el B C) El computador A es el 10% más rápido que el B D) El computador A es el 10% más rápido que el B	
3	Si una máquina A ejecuta un programa en diez segundos, ¿en cuánto tiempo ejecuta el mismo programa la máquina B si la máquina A es el 20% más rápida que la B?:	A
	A) En 12 seg B) En 10,2 seg C) En 20 seg D) Se necesitan más datos para conocer la respuesta	
4	Indica la afirmación que es cierta:	C
	A) El tiempo de CPU no depende del ciclo de reloj B) El tiempo de CPU no depende de los ciclos por instrucción C) El tiempo de CPU depende de número de instrucciones ejecutadas D) Ninguna de las afirmaciones anteriores es correcta	
5	Sea un sistema computador capaz de ejecutar 150 MIPS y cada instrucción requiere de media 5 ciclos de reloj:	B
	A) Cada instrucción requiere 150 ns B) La frecuencia del microprocesador es de 750 MHz C) Cada ciclo de reloj dura 30 nseg D) Cada ciclo de reloj dura 150 nseg	
6	Sea una CPU donde la instrucción de bifurcación condicional emplea tres ciclos de reloj, y el resto de instrucciones seis ciclos, considerando que el 30% de las instrucciones empleadas son de bifurcación condicional:	A
	A) El promedio de CPI es 5,1 B) El promedio de CPI es 3 C) El promedio de CPI es 6 D) Ninguna de las afirmaciones anteriores es correcta	
7	La transferencia de información entre la memoria caché y la CPU se hace:	B
	A) En tamaño bloque B) En tamaño palabra C) Depende de la función de correspondencia D) Depende del algoritmo de reemplazo	
8	Respecto a la memoria caché, el tiempo de penalización por fallos::	C
	A) Disminuye a medida que aumenta el tamaño de bloque B) Es constante C) Aumenta a medida que aumenta el tamaño de bloque D) Depende exponencialmente con el tamaño de bloque	
9	Sea un sistema con memoria caché de 4 Kp y memoria principal de 64 Kp; las direcciones que genera la CPU:	B
	A) Son de 12 bits B) Son al menos de 16 bits C) Son independientes del tamaño de memoria D) Ninguna de las afirmaciones anteriores es correcta	
10	Atendiendo a los niveles de caché, se puede afirmar que:	D
	A) Un mayor número de niveles garantiza siempre un menor tiempo de acceso B) A mayor número de niveles, mayor capacidad de almacenamiento C) Un mayor número de niveles garantiza siempre un menor tiempo de ejecución relativo D) Ninguna de las afirmaciones anteriores es correcta	
11	De los algoritmos de reemplazo en la memoria caché, el que favorece los bloques transferidos recientemente es:	A
	A) El FIFO B) El Aleatorio C) El LFU D) Ninguna de las afirmaciones anteriores es correcta	
12	En relación al tamaño de bloque:	A
	A) A mayor tamaño, menores fallos forzosos pero mayores fallos de conflicto B) A mayor tamaño, menor tasa de fallos C) A mayor tamaño, menores fallos forzosos y menores fallos de conflicto D) A mayor tamaño, mayor número de conjuntos	
13	Si para realizar la operación $C \leftarrow A+B$ se necesitan las instrucciones ADD A, B, C:	C
	A) Se trata de una máquina de dos direcciones B) Se trata de una máquina basada en banco de registros C) Se trata de una máquina de tres direcciones D) Se trata de una máquina de cuatro direcciones	
14	Sea el computador Von Neumann estudiado en el Tema 3, si el registro de instrucción RI lo forman 24 bits:	D
	A) Cada posición de memoria es de 24 bits B) La memoria principal tiene 16M posiciones C) La duración de la instrucción es de 24 ciclos D) Ninguna de las afirmaciones anteriores es correcta	

15	De las siguientes instrucciones, indica cuál/es de ella/s consisten en bifurcaciones condicionales:		D
	A) DIV .1, .2 con trap por división por cero B) RETI	C) CALL A0002h y RET D) Ninguna de las afirmaciones anteriores es correcta	
16	En una unidad de control microprogramada con secuenciamiento implícito y repertorio de 256 instrucciones, la etapa traductora ROM tiene una organización de:		C
	A) 8 posiciones de memoria B) Este tipo de unidades no requieren etapa traductora	C) 256xN, siendo N un número entero natural D) Ninguna de las afirmaciones anteriores es correcta	
17	Sea el computador Von Neumann estudiado en el Tema 3, si la duración máxima de una instrucción es de 10 ciclos:		C
	A) El tamaño del registro RM es de 10 bits B) Equivale a una duración de 10 ns	C) El tamaño del registro RF es de 4 bits D) Ninguna de las afirmaciones anteriores es correcta	
18	De las unidades de control microprogramadas estudiadas, la que incluye un circuito incrementador (+1) es:		C
	A) La unidad de control microprogramada con secuenciamiento explícito B) Ambas lo incorporan	C) La unidad de control microprogramada con secuenciamiento implícito D) Ninguna lo necesita	
19	Atendiendo a los tipos de formato de instrucción del computador DLX, las instrucciones tipo LW R1, 10(R6):		A
	A) Es de tipo I B) Es de tipo J	C) Es de tipo R D) Ninguna de las afirmaciones anteriores es cierta	
20	Indica los tipos de riesgos por dependencia de datos que pueden existir en el procesador DLX para operaciones con enteros:		C
	A) Sólo WAR B) WAR y WAW	C) RAW y WAW D) Sólo RAW	
21	Indica la fase en la que se realiza la búsqueda de la instrucción, independientemente del tipo de instrucción:		B
	A) ID B) IF	C) MEM D) Ninguna de las afirmaciones anteriores es correcta	
22	¿Cuál es el tipo de riesgo por dependencia de datos que se presenta en el fragmento de código ensamblador siguiente si se ejecuta en un procesador DLX segmentado con bypass generalizado?: ST 12(R3), R2 LD R3, 12(R3):		D
	A) WAR B) WAW	C) RAW D) Ninguna de las afirmaciones anteriores es correcta	
23	Cuál de las siguientes técnicas suele utilizarse para eliminar riesgos estructurales:		B
	A) Disminuir el nº de líneas de transmisión de datos y buses B) Utilizar caches partidas para datos e instrucciones	C) Incrementar la velocidad del reloj del sistema D) Las políticas dinámicas de predicción de saltos	
24	Comparando los registros R0 y F0, del procesador DLX:		B
	A) Ambos registros almacenan el valor 0 B) Ambos tienen el mismo tamaño	C) F0 es un registro de 64 bits D) Ninguna de las afirmaciones anteriores es correcta	
25	Cuando se habla de un computador vectorial y un computador segmentado:		D
	A) Son términos similares que se emplean indistintamente B) Un computador vectorial nunca será segmentado	C) Todo computador segmentado es vectorial D) Son términos diferentes	
26	Un computador vectorial cuyas componentes de vector son de 64 bits tiene una memoria entrelazada con 4 módulos de memoria, ¿en qué módulo de memoria se encontrará la dirección 160?		A
	A) En el módulo 0 B) En el módulo 2	C) En el módulo 1 D) En el módulo 3	
27	Sea la secuencia de instrucciones vectoriales siguientes: MULTV V1, V2, V3 con Comienzo= 0 Tiempo arranque = 7 y Tiempo iniciación =1 y ADDV V4, V5, V6 con Comienzo= 1 Tiempo arranque = 6 y Tiempo iniciación =1; si todos los vectores tienen 64 componentes:		C
	A) La instrucción MULTV finaliza más tarde que ADDV B) La instrucción ADDV finaliza más tarde que MULTV	C) Ambas finalizan en el mismo ciclo D) Ninguna de las afirmaciones anteriores es correcta	
28	Dado un vector de 200 elementos, indicar la longitud de la primera partición si MVL = 64:		C
	A) 4 B) 3	C) 8 D) Ninguna de las afirmaciones anteriores es correcta	
29	Comparando la arquitectura Von Neumann con la DLX, indica la afirmación falsa:		B
	A) En la primera pueden solaparse dos fases de una misma instrucción B) La primera es segmentada	C) Ambas pueden operar en formato de coma flotante D) Ambas consideran el incremento del registro PC	
30	Indicar la arquitectura en la que una memoria caché partida no mejoraría el rendimiento:		D
	A) DLX B) La memoria caché partida exige adelantamiento	C) La memoria caché partida no mejora el rendimiento D) Ninguna de las afirmaciones anteriores es correcta	

EXAMEN DE ARQUITECTURA DE COMPUTADORES

La Rábida, 16 de Septiembre de 2014

PROBLEMA 1. (2,25 ptos.). Un sistema computador (sin memoria virtual) tiene una memoria principal de 1 Mpalabras de 8 bits cada una de ellas y una memoria caché de 8 Kpalabras, con un conjunto y 1Kpalabras/bloque.

- a) Justificar e indicar con un esquema la organización de la memoria principal y de la memoria caché (capacidad total, tamaño de la palabra, tamaño de bloque y nº de bloques, tanto en la memoria principal como en la memoria caché).
- b) Mostrar el formato de la dirección que define la unidad central de proceso, definiendo cada uno de los campos en los que se divide.

Se supone que, después de haber estado la memoria caché “vacía” (*instantes 0*), la CPU lee la secuencia de direcciones de memoria: 1024, 1025, 1026, 254, 255, 256, 512, 513, 514, 2045, 2046, 2047, según el orden marcado en la misma (*instante 1*).

- c) Mostrar el contenido de la memoria caché en el *instante 1*.
- d) Calcular la frecuencia de uso (en %) que tiene en ese *instante 1* cada uno de los bloques que se encuentran en la memoria caché.

A continuación, la CPU requiere el acceso a los bloques de memoria principal 8, 9, 10, 4, 12, 16 y 5, leídas todas las direcciones de cada uno de ellos una vez y en el orden que se indica (*instante 2*). Suponer que el algoritmo de reemplazamiento de bloques es el LRU (Least Recently Used).

- e) Mostrar el contenido de la memoria caché en el *instante 2*.
- f) ¿Qué frecuencia de uso tienen en ese *instante 2* cada uno de los bloques que se encuentran en dicha memoria caché?
- g) Hasta ese *instante 2*, ¿cuántos fallos y de qué tipo se han producido?

Después de todo el proceso anterior, la CPU solicita las direcciones de memoria principal 2050, 2051 y 2052 (*instante 3*)

- h) Mostrar el contenido de la memoria caché en ese *instante 3*.
- i) ¿Cuántos fallos y de qué tipo se han producido entre el *instante 2* y el *instante 3*.

PROBLEMA 2. (2,25 ptos.). **Definir la secuencia de operaciones** elementales y el solapamiento posible de las mismas, para el sistema computador representado en la figura, y para la ejecución de las instrucciones abajo indicadas, **mostrando previamente los formatos de las instrucciones.**

Dirección de Memoria (en hexadecimal)	Instrucción (en ensamblador)
A0000h	ADD 00100h, .2
A0001h	JMP A0003h
A0002h	RET
A0003h	NOP

Teniendo en cuenta:

- PRIMERA INSTRUCCIÓN: La instrucción aritmética ADD, con direccionamiento directo absoluto a memoria para el primer operando y directo absoluto a registro para el segundo. El resultado de la suma provoca desbordamiento, generando un trap al finalizar, bifurcando a la dirección A0002h. El resultado erróneo no es necesario almacenarlo en su destino.
- SEGUNDA INSTRUCCIÓN: La instrucción de bifurcación JMP, con modo de direccionamiento directo absoluto a memoria.
- TERCERA INSTRUCCIÓN: La instrucción de retorno de subrutina RET.
- CUARTA INSTRUCCIÓN: La instrucción de no operación NOP.
- Se debe especificar el cronograma según el flujo marcado por el programa propuesto, y considerando como última instrucción la de no operación NOP.
- Las operaciones con la unidad aritmético-lógica se realizan en un periodo.
- Los cálculos de las direcciones de los operandos en memoria especificados con direccionamiento relativo, se realizarán de manera automática en el periodo de decodificación. Considerar que la instrucción SUB .4, 00020h(.1) tiene el siguiente formato:

C. OP SUB _i	.4	.1	00020h
------------------------	----	----	--------

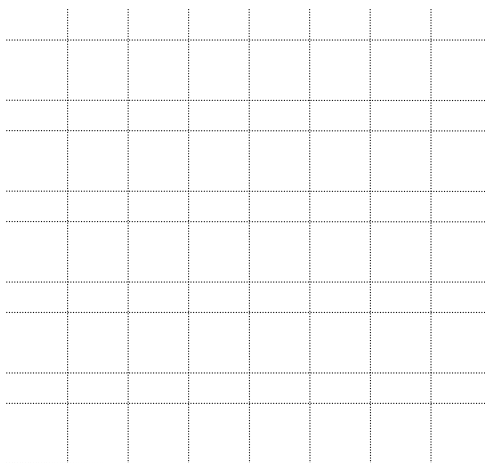
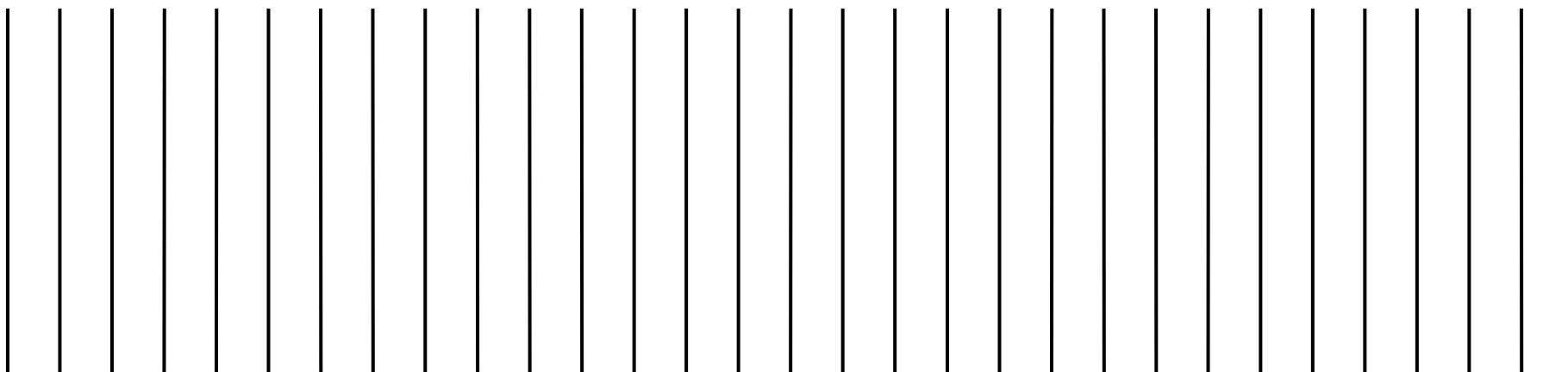
- El resultado de una operación o el operando destino va a ser siempre el especificado en primer lugar en la instrucción.
- Las operaciones de L/E en memoria se realizan durante dos periodos.
- La pila, que se implementa en el sistema con el registro SP (puntero de pila), funciona de la siguiente forma: 1) La pila crece hacia direcciones decrecientes. 2) El registro puntero de pila indica la dirección de memoria principal en la que se introdujo el último dato en la pila.
- Para cuando hay que salvar el contenido de SR y el de PC, siempre se almacenará primero el de SR.
- En caso de que el esquema computador dado permita realizarla, definir el valor de las señales de control que corresponden a la operación: $SP \leftarrow PC - RA$. Mostrar únicamente el valor de las señales que intervienen directamente en dicha operación.

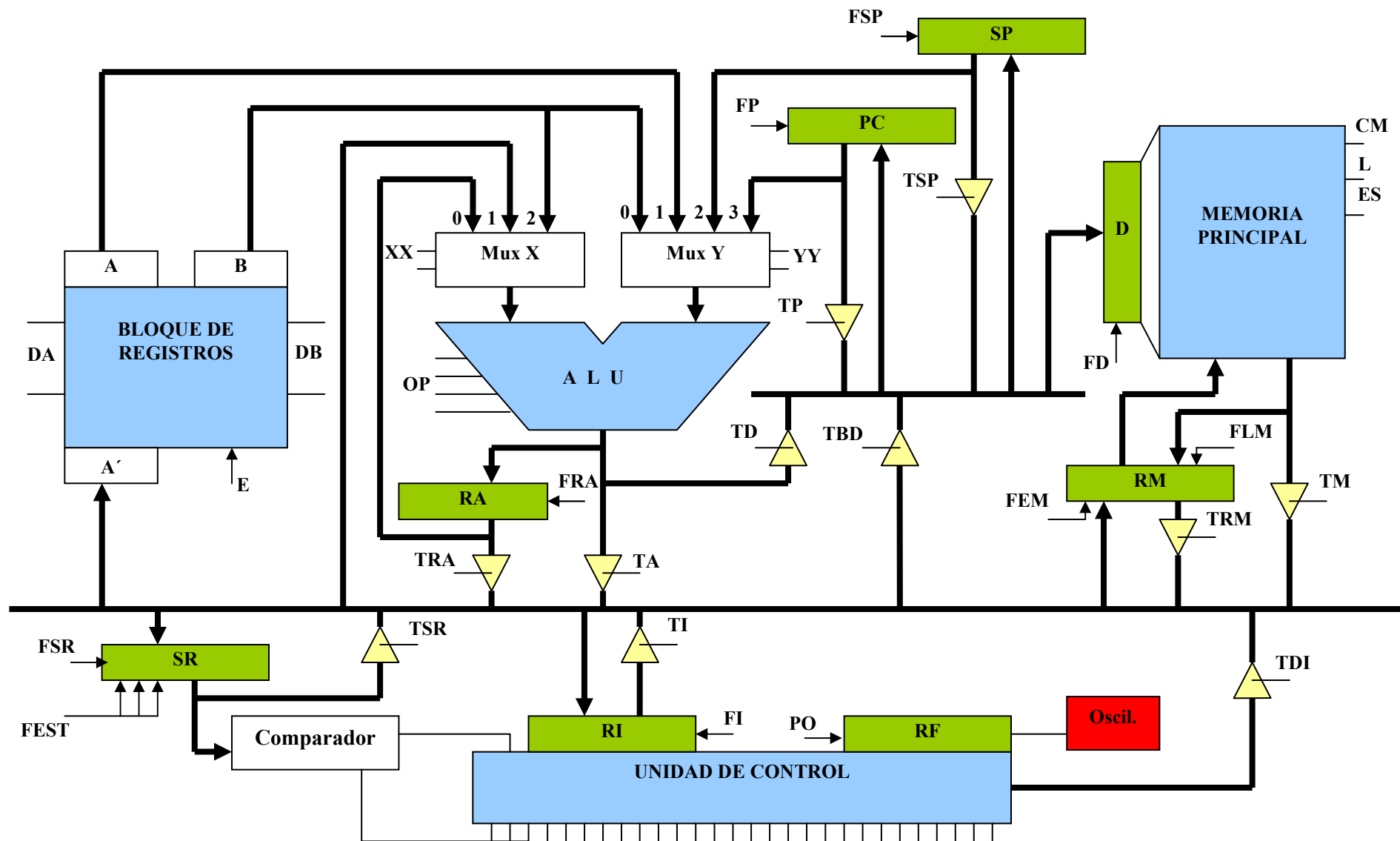
PROBLEMA 3. (2,5 ptos.). El siguiente fragmento de código se ejecuta en un procesador DLX. Las latencias (en ciclos de reloj) de las unidades funcionales son las siguientes: Sumador/restador entero: 1; Sumador/restador flotante: 2; Multiplicador: 3; y Divisor: 4 (las tres unidades funcionales para operaciones en coma flotante están **segmentadas**).

```
FMUL F4, F0, F3
LW R2, 4(R5)
LW R1, 2(R5)
LF F0, 10(R1)
LF F3, 20(R2)
ADD R0, R1, R2
FDIV F4, F0, F3
SW 5(R4), R0
SF 6(R4), F4
LW R4, 8(R2)
```

- a) Suponiendo que la **memoria** tiene **dos puertos de acceso** (uno para instrucciones y otro para datos) y que no existe ningún tipo de adelantamiento, indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; e indicar si existen bloqueos en la cadena y a qué se deben.
- b) Repetir el apartado a) para una versión del DLX que incluya **adelantamiento** (bypass) generalizado y suponiendo que la **memoria** tiene **un único puerto de acceso**. Indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; e indicar si existen bloqueos en la cadena y a qué se deben. Indicar claramente los datos que se adelantan y entre qué etapas actúa el bypass.

Apellidos: Nombre:





Apellidos:

Nombre:

Apartado a)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25
FMUL F4,F0,F3																									
LW R2,4(R5)																									
LW R1,2(R5)																									
LF F0,10(R1)																									
LF F3,20(R2)																									
ADD R0,R1,R2																									
FDIV F4,F0,F3																									
SW 5(R4),R0																									
SF 6(R4),F4																									
LW R4,8(R2)																									

Apartado b)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25
FMUL F4,F0,F3																									
LW R2,4(R5)																									
LW R1,2(R5)																									
LF F0,10(R1)																									
LF F3,20(R2)																									
ADD R0,R1,R2																									
FDIV F4,F0,F3																									
SW 5(R4),R0																									
SF 6(R4),F4																									
LW R4,8(R2)																									