

EXAMEN DE ARQUITECTURA DE COMPUTADORES. La Rábida, 17 de septiembre de 2013

Apellidos **Nombre**

Valor de cada:	Respuesta correcta	+ 0.1
	Respuesta incorrecta	- 0.05
	No respuesta	- 0.05

TIEMPO REALIZACIÓN EXAMEN: 45 minutos

Espacio para respuestas

1	Para mejorar el rendimiento de un computador para una aplicación se tienen dos opciones: 1.-Cambiar el procesador gráfico que se utiliza un 20% del tiempo, consiguiendo un factor de mejora de 20, ó 2.- Incrementar la memoria obteniendo un factor de mejora de 1,5 el 80% del tiempo. ¿Cuál es la mejor opción?: A) La opción 1 da mayor aceleración B) Ambas opciones dan igual aceleración C) La opción 2 da mayor aceleración D) Ninguna de las afirmaciones anteriores es correcta	C
2	Sea un computador A capaz de completar 10000 tareas/seg y un computador B que completa 6666,66 tareas/seg, se dice entonces que: A) El computador A es el 150% más rápido que el B B) El computador A es el 50% más rápido que el B C) El computador A tarda 0,5 seg en las 6666,66 tareas D) El computador B tarda 2 seg en las 10000 tareas	B
3	Indica qué factor NO influye en el rendimiento de la CPU: A) El periodo de reloj B) El número de ciclos por instrucción C) El número de instrucciones D) Ninguna de las afirmaciones anteriores es correcta	D
4	Sea un computador con tiempo de CPU de 1 μ s, 5 ciclos por instrucción y frecuencia de 1 GHz: A) El repertorio de instrucciones está formado por 200 instrucciones B) El periodo de reloj es de 10^{-6} seg C) En cada instrucción se empujan 5 μ s D) Ninguna de las afirmaciones anteriores es correcta	A
5	Sea un sistema computador con microprocesador Intel i7 a 3,4 GHz capaz de ejecutar una instrucción en 0,0265 ciclos, se obtiene que: A) Ejecuta 37,7 instrucciones por segundo B) El número de MIPS es de 128301 C) Cada ciclo de reloj dura 3,4 seg D) Faltan datos para conocer el promedio del número de ciclos por instrucción	B
6	Respecto a la memoria caché, la transferencia de información entre la memoria caché y la CPU se hace: A) A nivel de bloque B) A nivel de página C) A nivel de palabra D) Depende de si se ha producido acierto o fallo	C
7	Sea un sistema con memoria caché de 4 Kp y memoria principal de 64 Kp, las direcciones que genera la CPU: A) Son de 12 bits B) Son de al menos de 16 bits C) Son independientes del tamaño de memoria D) Ninguna de las afirmaciones anteriores es correcta	B
8	Respecto a los algoritmos de reemplazo de la memoria caché, sea un bloque que acaba de entrar en la memoria: A) Tiene menor probabilidad de salir si se aplica LRU B) Tiene mayor probabilidad de salir en cualquier caso C) Tiene mayor probabilidad de salir si se aplica FIFO D) Tiene menor probabilidad de salir si se aplica LFU	A
9	En relación a la memoria caché, a mayor tamaño de bloque: A) Mayor tasa de aciertos por localidad espacial, pero menor tasa de aciertos por localidad temporal B) Mayor tasa de aciertos por localidad temporal C) Mayor tasa de aciertos siempre D) Mayor capacidad de almacenamiento para la CPU	A
10	Para realizar la operación $A \leftarrow A + B$, siendo A y B operandos almacenados en memoria: A) Es posible realizarla en un computador Von Neumann de una dirección B) El computador Von Neumann debe ser de la menos 2 direcciones C) No es posible realizarla en un computador Von Neumann de tres direcciones D) Ninguna de las afirmaciones anteriores es correcta	A
11	Según el esquema de computador Von Neumann estudiado en el Tema 3, si el registro RF es de 4 bits: A) El repertorio de instrucciones tendrá como máximo 16 instrucciones B) Esta información no es relevante C) El número máximo de microinstrucciones para cualquier instrucción será de 16 D) Se podrán activar como máximo 16 señales de control	C
12	Sean las dos operaciones $PC \leftarrow PC + 1$ y $R2 \leftarrow R1 + R2$: A) El registro de estado SR se actualiza en ambas B) En ambas el código de operación de la instrucción es ADD C) El registro de estado SR se actualiza en $R2 \leftarrow R1 + R2$ D) La ALU sólo interviene en $PC \leftarrow PC + 1$	C
13	En una unidad de control microprogramada con secuenciamiento implícito, si la etapa traductora ROM tiene una organización de 256×12 , podemos afirmar que: A) La memoria de control tiene 12 bits en cada posición B) El registro de instrucción de forman 8 bits C) La unidad microprogramada no tienen etapa ROM D) El código de operación es de 8 bits	D
14	Sean las instrucciones JMP A0002h, RET y BZ A0002h con el biestable z =1: A) Sólo JMP implica una bifurcación B) En todas se debe guardar el valor de PC en la pila C) En todas se debe recuperar el valor de PC de la pila D) Las tres implican una bifurcación	D

15	De las siguientes instrucciones, indica en cuál de ellas se recupera de la pila un valor para registro SR:		B
	A) DIV .1, .2 con trap por división por cero B) RETI	C) CALL A0002h y DIV .1, .2 con trap D) En ninguna de las instrucciones indicadas	
16	En el procesador DLX, si hay que almacenar un dato de 16 bits, ¿en qué posición de memoria se almacenará el byte de más peso?:		C
	A) En la dirección de memoria más alta B) Depende del tipo de datos que sea	C) En la dirección de memoria más baja D) En DLX, para almacenar un dato de 16 bits se necesita únicamente una posición de memoria	
17	En relación con el procesador DLX, decir cuál de las siguientes afirmaciones es falsa:		B
	A) Todas las instrucciones tienen un formato de 32 bits B) Todos los registros GPR (R0-R31) se pueden cargar con el valor que se desee	C) La capacidad de direccionamiento es de 4 Gposiciones D) Permite almacenar datos según el estándar IEEE 754 de simple y doble precisión	
18	¿Cuál es el tipo de riesgo por dependencia de datos que se presenta en el fragmento de código ensamblador siguiente si se ejecuta en un procesador DLX segmentado con bypass generalizado?: LD R3, 12(R4) ADD R1, R2, R3		B
	A) WAR B) RAW	C) WAW D) Ninguno	
19	¿Qué tipo de riesgo se elimina en un procesador DLX si se emplea una caché partida para datos e instrucciones en vez de una caché unificada?:		B
	A) Riesgos por dependencias de datos B) Riesgos estructurales	C) Riesgos de control D) Cualquier tipo de riesgo	
20	¿Qué tipo de riesgos se pueden producir en un DLX con operaciones multiciclo de n° de ciclos diferentes (según operación) y no se producen nunca en un DLX sin operaciones multiciclo?		A
	A) WAW B) WAR	C) Estructurales D) RAW	
21	Un computador que tiene instrucciones vectoriales en su repertorio:		D
	A) Obtiene todos los resultados de todas las componentes del vector en el mismo instante B) Es un computador vectorial	C) Segmenta las operaciones entre las componentes de los vectores D) Ninguna de las afirmaciones anteriores es correcta	
22	En un computador vectorial, la separación entre elementos diferente de 1 se resuelve:		B
	A) Con un Registro de Máscara de Vector B) Con instrucciones de Carga y Almacenamiento Vectorial con Separación	C) Con un Registro de Longitud de Vector D) Ninguna de las afirmaciones anteriores es correcta	
23	Sea una memoria organizada por n bancos de memoria, la carga de un vector en un registro vectorial:		C
	A) Permite siempre cargar un vector en un registro vectorial más rápidamente que si fuese entrelazada B) Es más económica que una entrelazada de n módulos	C) Permite algunas veces cargar un vector en un registro vectorial más rápidamente que si fuese entrelazada D) No permite cargar vectores de más de n componentes	
24	Un computador vectorial cuyas componentes de vector son de 64 bits tiene una memoria entrelazada con 4 módulos de memoria (palabra de memoria de 8 bits), ¿en qué módulo de memoria se encontrará la dirección 40?		C
	A) En el módulo 0 B) En el módulo 2	C) En el módulo 1 D) En el módulo 3	
25	Considerando el tiempo de ejecución de una operación vectorial, al tiempo por cada resultado una vez que una instrucción vectorial está en ejecución se le denomina:		B
	A) Tiempo de comienzo B) Tiempo de iniciación	C) Tiempo de terminación D) Tiempo de arranque	
26	Un ordenador de reducción		B
	A) Puede ser un computador serie B) Utiliza la necesidad que tiene un resultado de disparar la operación que generará el resultado requerido	C) Es un computador matricial D) Ninguna de las afirmaciones anteriores es correcta	
27	La arquitectura Harvard:		C
	A) Tiene una memoria caché partida B) Tiene una memoria caché unificada	C) Tiene memoria de datos y de instrucciones separada D) Ninguna de las afirmaciones anteriores es correcta	
28	Un computador SIMD Múltiple (MSIMD):		B
	A) Es un sistema multicomputador B) Pertenece a una subclase especial de los computadores MIMD	C) Son siempre de memoria distribuida D) Tiene una única unidad de control que define el valor de las señales de control de varios Elementos de Proceso	
29	En un array de frente de onda:		B
	A) Todos los procesadores se comunican con los periféricos directamente B) Existe una red de procesadores donde cada uno de ellos tienen comunicación directa con sus vecinos	C) Hay una única frecuencia de reloj para todos los procesadores D) Sus procesadores no pueden comunicarse con el exterior	
30	Un multiprocesador NUMA:		A
	A) Puede tener una caché para cada procesador B) Tiene más capacidad de memoria que uno UMA	C) Tiene menos capacidad de memoria que uno UMA D) No puede tener una caché para cada procesador	

PROBLEMA 1. (2,5 ptos.). Un sistema computador (sin memoria virtual) tiene una memoria principal de 1 Mpalabras de 8 bits cada una de ellas y una memoria caché de 1 Kpalabras, dividida en 4 bloques/conjunto, con 128 palabras/bloque. Se supone que, después de haber estado la memoria caché “vacía”, en el *instante 1* se encuentran en la memoria caché los bloques de memoria principal 12 a 18, ambos inclusivos, leídas todas las direcciones de cada uno de ellos una vez y en el mismo orden que les corresponde en la memoria principal. Suponer que el algoritmo de reemplazamiento de bloques es el LRU (Least Recently Used).

- Mostrar el formato de la dirección que define la unidad central de proceso, definiendo cada uno de los campos en los que se divide.
- Mostrar el contenido de la memoria caché en el *instante 1*.
- ¿Qué frecuencia de uso, en relación con la frecuencia de uso global de la caché, tiene en ese *instante 1* cada uno de los bloques que se encuentran en dicha memoria caché?

A continuación, la CPU lee la secuencia de direcciones de memoria: 2433, 2434, 2435, 1536, 1537, 1538, 1539, 5, 6, 7, 8, 9, 130, 131, 132, 133, 134 y 135 (*instante 2*), según el orden marcado en la misma.

- Mostrar el contenido de la memoria caché en el *instante 2*.
- ¿Qué frecuencias de uso (referida al conjunto 0 nada más) tendrían los bloques que se encuentran en el conjunto 0? Si se tuviera que aplicar el algoritmo LFU, ¿qué bloque de los que están en ese conjunto se sustituiría?

Siguiendo con las lecturas de la CPU, se vuelven a leer todas las direcciones de memoria de los bloques 12 a 18 una vez (*instante 3*).

- Mostrar el contenido de la memoria caché en el *instante 3*.
- Hasta ese *instante 3*, ¿cuántos fallos de cada uno de los tipos posibles se han producido?
- Cada vez que se compara la etiqueta de la dirección para saber si el bloque que la contiene está o no está en la memoria caché, ¿cuántas comparaciones se hacen a la vez?

PROBLEMA 2. (2 ptos.). Definir la secuencia de operaciones elementales y el solapamiento posible de las mismas, para el sistema computador representado en la figura, y para la ejecución de las instrucciones abajo indicadas, **mostrando previamente los formatos de las instrucciones.**

Dirección de Memoria (en hexadecimal)	Instrucción (en ensamblador)
A0000h	DIV .1, .2
A0001h	MOVE .1, 00100h
A0002h	SUB .2, #10
A0003h	RETI

Teniendo en cuenta:

- PRIMERA INSTRUCCIÓN: La instrucción aritmética DIV, con direccionamiento directo a registro. El contenido del registro R2 es cero. La operación de división entre cero produce un trap al finalizar, bifurcando a la dirección A0002h. El resultado erróneo no es necesario almacenarlo en su destino.

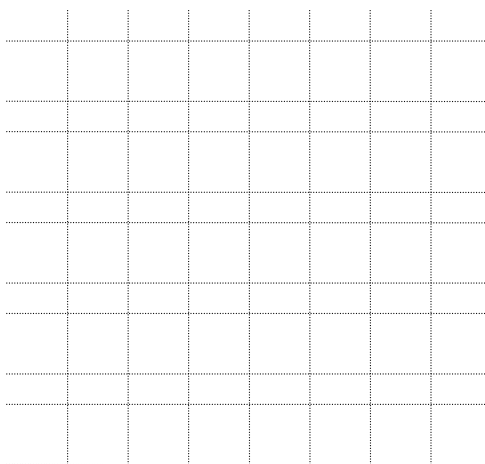
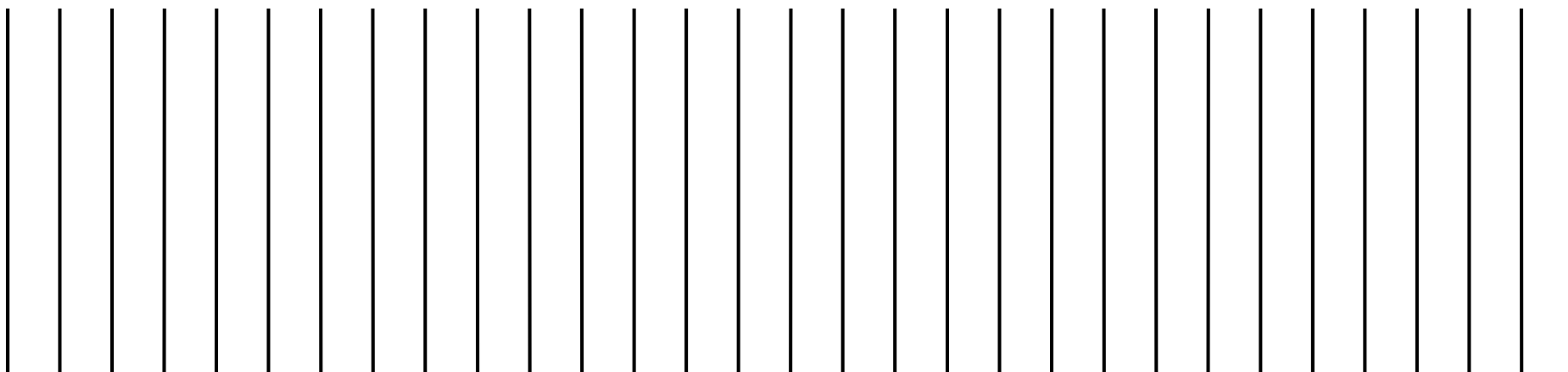
- b) SEGUNDA INSTRUCCIÓN: La instrucción de transferencia MOVE, con modo de direccionamiento directo absoluto a memoria.
- c) TERCERA INSTRUCCIÓN: La instrucción de resta SUB, con modo de direccionamiento inmediato.
- d) CUARTA INSTRUCCIÓN: La instrucción de retorno de interrupción RETI.
- e) Se debe especificar el cronograma según el flujo marcado por el programa propuesto, y considerando como última instrucción la de retorno de interrupción, RETI.
- f) Las operaciones con la unidad aritmético-lógica se realizan en un periodo.
- g) Los cálculos de las direcciones de los operandos en memoria especificados con direccionamiento relativo, se realizarán después del periodo de decodificación.
- h) El resultado de una operación o el operando destino va a ser siempre el especificado en primer lugar en la instrucción.
- i) Las operaciones de L/E en memoria se realizan durante dos periodos.
- j) La pila, que se implementa en el sistema con el registro SP (puntero de pila), funciona de la siguiente forma: 1) La pila crece hacia direcciones decrecientes. 2) El registro puntero de pila indica la dirección de memoria principal en la que se introdujo el último dato en la pila.
- k) Para cuando hay que salvar el contenido de SR y el de PC, siempre se almacenará primero el de SR.
- l) Definir el valor de las señales de control correspondiente a la operación: $M(D) \leftarrow SR$. Mostrar únicamente el valor de las señales que intervienen directamente en dicha operación.

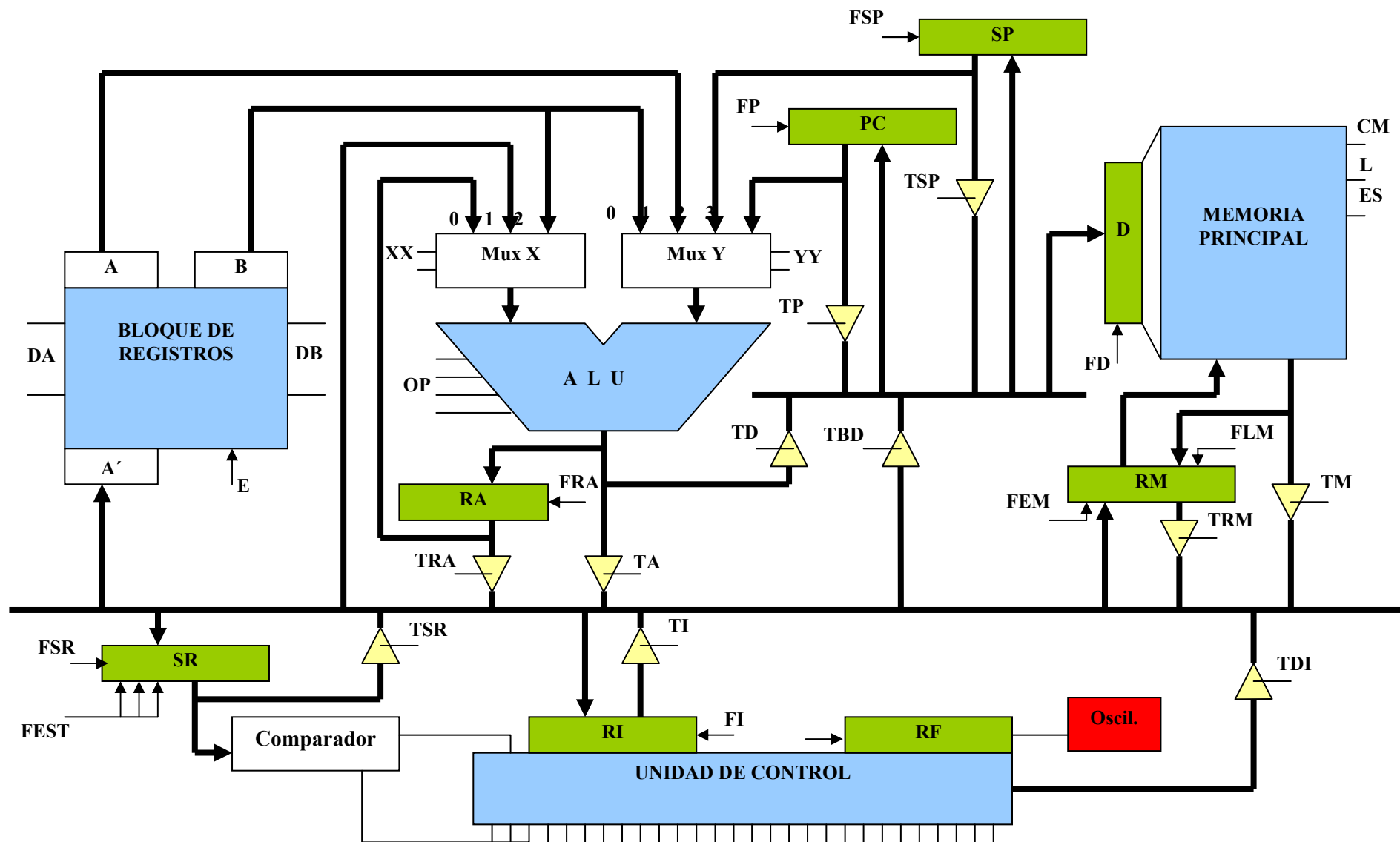
PROBLEMA 3. (2,5 ptos.). El siguiente fragmento de código se ejecuta en un procesador DLX. Las latencias (en ciclos de reloj) de las unidades funcionales son las siguientes: Sumador/restador entero: 1; Sumador/restador flotante: 2; Multiplicador: 3; y Divisor: 4 (las tres últimas **segmentadas**).

```
LW R2, 2(R1)
LW R5, 8(R1)
ADD R3, R1, R5
LF F0, 10(R2)
LF F2, 20(R3)
FMUL F4, F0, F3
SF 10(R2), F4
FDIV F5, F0, F2
SF 20(R5), F5
FADD F8, F4, F5
```

- a) Suponiendo que la **memoria** tiene **un único puerto de acceso** y que no existe adelantamiento alguno: Indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; e indicar si existen bloqueos en la cadena y a qué se deben.
- b) Repetir el apartado a) para una versión del DLX que incluya **adelantamiento** (bypass) generalizado. Indicar claramente los datos que se adelantan y entre qué etapas actúa el bypass.
- c) Suponiendo que la **memoria** tiene **dos puertos de acceso** (uno para instrucciones y otro para datos) y que incluye adelantamiento (bypass) generalizado: Indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; e indicar si existen bloqueos en la cadena y a qué se deben. Indicar claramente los datos que se adelantan y entre qué etapas actúa el bypass.

Apellidos: Nombre:





Apellidos:

Nombre:

Apartado a)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
LW R2,2 (R1)																														
LW R5,8 (R1)																														
ADD R3,R1,R5																														
LF F0,10 (R2)																														
LF F2,20 (R3)																														
FMUL F4,F0,F3																														
SF 10 (R2) ,F4																														
FDIV F5,F0,F2																														
SF 20 (R5) ,F5																														
FADD F8,F4,F5																														

Apartado b)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
LW R2,2 (R1)																														
LW R5,8 (R1)																														
ADD R3,R1,R5																														
LF F0,10 (R2)																														
LF F2,20 (R3)																														
FMUL F4,F0,F3																														
SF 10 (R2) ,F4																														
FDIV F5,F0,F2																														
SF 20 (R5) ,F5																														
FADD F8,F4,F5																														

Apartado c)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
LW R2,2(R1)																														
LW R5,8(R1)																														
ADD R3,R1,R5																														
LF F0,10(R2)																														
LF F2,20(R3)																														
FMUL F4,F0,F3																														
SF 10(R2),F4																														
FDIV F5,F0,F2																														
SF 20(R5),F5																														
FADD F8,F4,F5																														