



**GRADO EN INGENIERÍA INFORMÁTICA**  
**FUNDAMENTOS DE COMPUTADORES**

Examen de Febrero (02/02/2017)

APELLIDOS: \_\_\_\_\_

NOMBRE: \_\_\_\_\_ DNI N°: \_\_\_\_\_ GRUPO: \_\_\_\_\_

**1.- (4 puntos)** Una máquina expendedora de chocolatinas proporciona productos cuyos precios son de 50 cts, 1 € y 2 €. Para adquirir una chocolatina se debe introducir una única moneda de alguno de los valores indicados (la máquina no admite monedas distintas a éstas). La máquina dispone de un detector de monedas con dos salidas ( $M_1$  y  $M_0$ ) que indican el valor de la moneda introducida según la siguiente tabla:

Moneda introducida	$M_1$	$M_0$
Ninguna	0	0
50 cts	0	1
1 €	1	0
2 €	1	1

También dispone de un circuito que codifica el tipo de producto seleccionado como sigue:

Producto seleccionado	$P_1$	$P_0$
Ninguno	0	0
Chocolatina de 50 cts	0	1
Chocolatina de 1 €	1	0
Chocolatina de 2 €	1	1

Una vez seleccionado el producto e introducida la moneda, la máquina suministrará el producto deseado y el cambio (si procede), que consistirá en una moneda como máximo. En aquellos casos en que con una moneda no pueda proporcionar el cambio correcto, la máquina devolverá la moneda introducida y no proporcionará el producto.

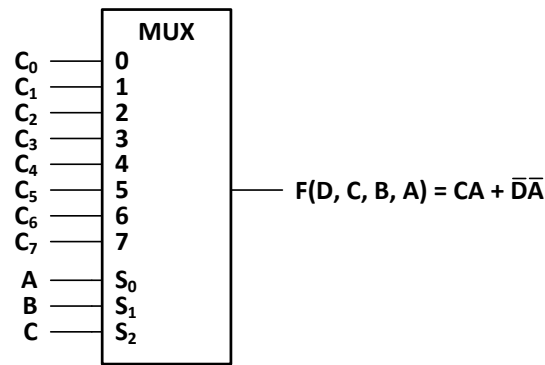
Se desea diseñar un circuito que ponga a nivel alto una señal **C** en aquellos casos en que se deba proporcionar el producto deseado al cliente, e indique el valor de la moneda a devolver codificado según la siguiente tabla:

Valor de la moneda a devolver	$D_1$	$D_0$
Ninguna	0	0
50 cts	0	1
1 €	1	0
2 €	1	1

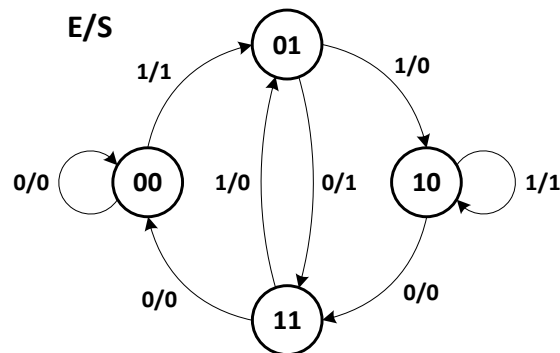
Se pide:

- Tabla de verdad del circuito. (2 puntos)
- Implementación del circuito completo mediante el empleo de decodificadores con un máximo de ocho salidas negadas y puertas lógicas. (1 punto)
- Escribir un módulo VHDL en el que se modele la función **C**. (1 punto)

**2.- (1 punto)** Determinar los valores que deben aplicarse a los diferentes canales del multiplexor de la figura para obtener en su salida la función **F**.



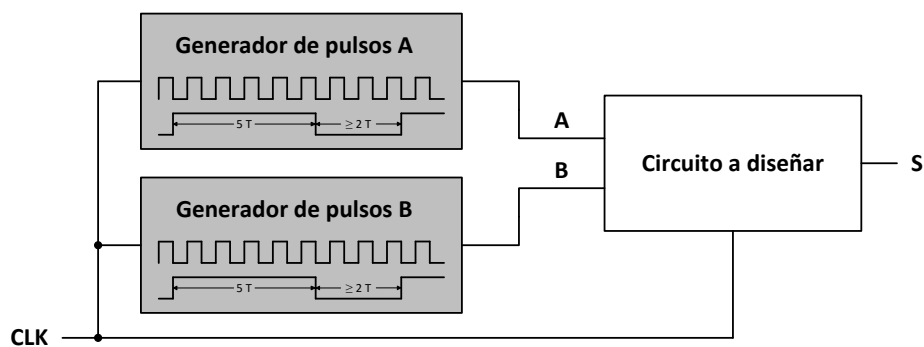
3.- (1.5 puntos) Dado el diagrama de estados de la figura:



Implementar un circuito cuyo comportamiento se corresponda con dicho diagrama mediante el empleo de flip-flops tipo T y puertas lógicas.

4.- (3.5 puntos) Un circuito digital proporciona a su salida una secuencia de pulsos a nivel alto de duración constante e igual a 5 periodos de la señal CLK. El tiempo de separación entre los pulsos de salida generados por este circuito es variable, si bien entre dos pulsos consecutivos la salida siempre pasará a cero durante al menos 2 periodos de reloj.

Las salidas **A** y **B** de dos circuitos generadores de pulsos como el descrito anteriormente se han conectado a las entradas de un tercer circuito, tal como se muestra en la siguiente figura:



La función de este último circuito es detectar cuando los pulsos de salida de ambos generadores coinciden en el tiempo, o bien si el desfase entre éstos es de un solo periodo de la señal CLK. Cada vez que esto ocurra, la salida **S** del circuito debe pasar a nivel alto durante el mismo tiempo que ambas entradas permanezcan a 1 simultáneamente.

- Representar el diagrama de estados del circuito a diseñar. (3 puntos)
- Indicar el tamaño de la PROM necesaria para implementar el circuito si se utiliza un registro como elemento de memoria. (0.5 puntos)

## Ejercicio 1

a) Tabla de verdad del circuito.

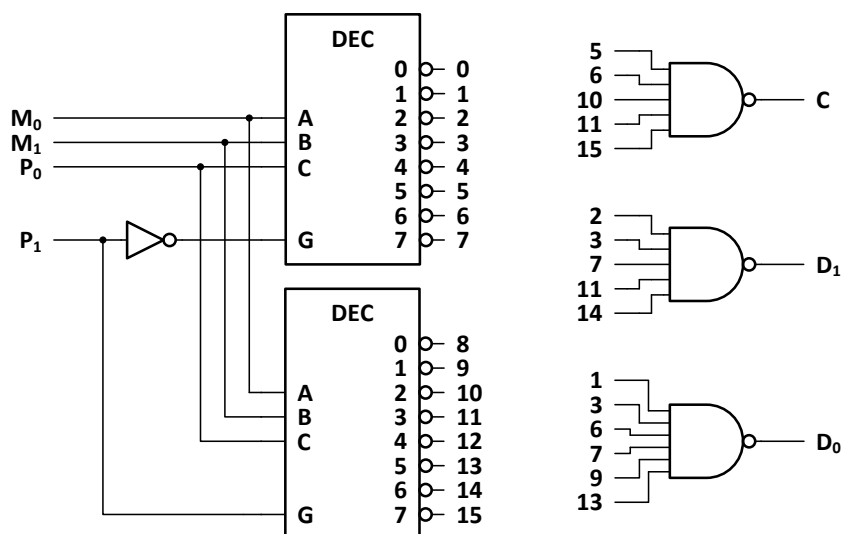
P <sub>1</sub>	P <sub>0</sub>	M <sub>1</sub>	M <sub>0</sub>	C	D <sub>1</sub>	D <sub>0</sub>
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	0	0	1	0
0	0	1	1	0	1	1
0	1	0	0	0	0	0
0	1	0	1	1	0	0
0	1	1	0	1	0	1
0	1	1	1	0	1	1
1	0	0	0	0	0	0
1	0	0	1	0	0	1
1	0	1	0	1	0	0
1	0	1	1	1	1	0
1	1	0	0	0	0	0
1	1	0	1	0	0	1
1	1	1	0	0	1	0
1	1	1	1	1	0	0

$$C = \sum_4(5, 6, 10, 11, 15)$$

$$D_1 = \sum_4(2, 3, 7, 11, 14)$$

$$D_0 = \sum_4(1, 3, 6, 7, 9, 13)$$

b) Implementación del circuito completo mediante decodificadores y puertas lógicas.



c) Módulo VHDL de la función C.

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;

ENTITY EFC_17_F IS
    PORT ( P1 : IN STD_LOGIC;
          P0 : IN STD_LOGIC;
          M1 : IN STD_LOGIC;
          M0 : IN STD_LOGIC;
          C : OUT STD_LOGIC);
END EFC_17_F;

ARCHITECTURE A_EFC_17_F OF EFC_17_F IS
    SIGNAL ENTRADA: STD_LOGIC_VECTOR (3 DOWNTO 0);
BEGIN

    ENTRADA <= P1 & P0 & M1 & M0;

    WITH ENTRADA SELECT
    C <= '1' WHEN "0101" | "0110" | "1010" | "1011" | "1111",
        '0' WHEN OTHERS;

END A_EFC_17_F;
```

## Ejercicio 2

Tabla de verdad de la función a implementar:  $F(D, C, B, A) = CA + \overline{D}\overline{A}$ .

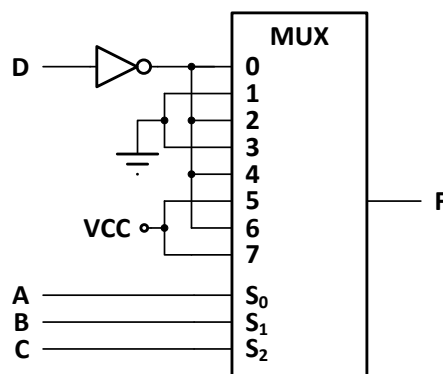
D	C	B	A	F
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

$$F = \sum_4(0, 2, 4, 5, 6, 7, 13, 15)$$

La tabla necesaria para implementar la función F mediante un multiplexor es la siguiente.

CBA		000	001	010	011	100	101	110	111
D	0	1	0	1	0	1	1	1	1
	1	0	0	0	0	0	1	0	1
		$\overline{D}$	0	$\overline{D}$	0	$\overline{D}$	1	$\overline{D}$	1

Por tanto, los canales de entrada del multiplexor deben conectarse como se muestra en la siguiente figura.



## Ejercicio 3

Tabla de estados y de excitación del sistema

$q_1$	$q_0$	$E$	$Q_1$	$Q_0$	$S$	$T_1$	$T_0$
0	0	0	0	0	0	0	0
0	0	1	0	1	1	0	1
0	1	0	1	1	1	1	0
0	1	1	1	0	0	1	1
1	0	0	1	1	0	0	1
1	0	1	1	0	1	0	0
1	1	0	0	0	0	1	1
1	1	1	0	1	0	1	0

$E \backslash q_1 \backslash q_0$	00	01	11	10
0	0	1	1	0
1	0	1	1	0

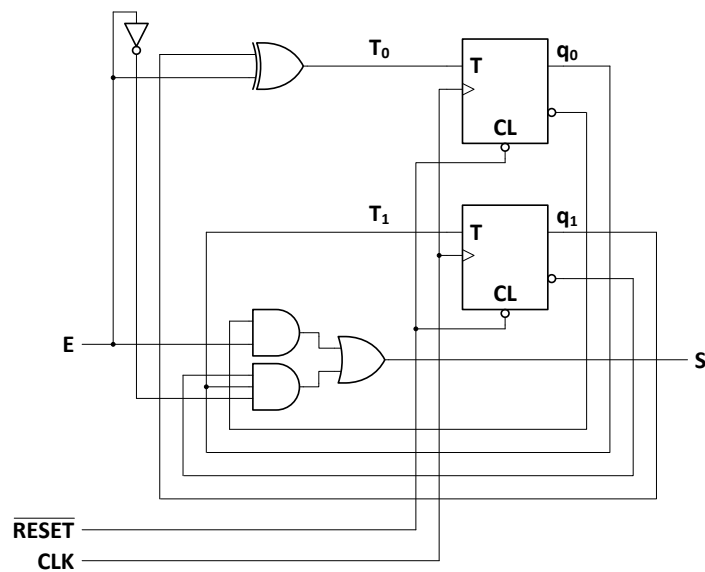
$$T_1 = \sum_3(2, 3, 6, 7) = q_0$$

$E \backslash q_1 \backslash q_0$	00	01	11	10
0	0	0	1	1
1	1	1	0	0

$$T_0 = \sum_3(1, 3, 4, 6) = \bar{q}_1 E + q_1 \bar{E} = q_1 \oplus E$$

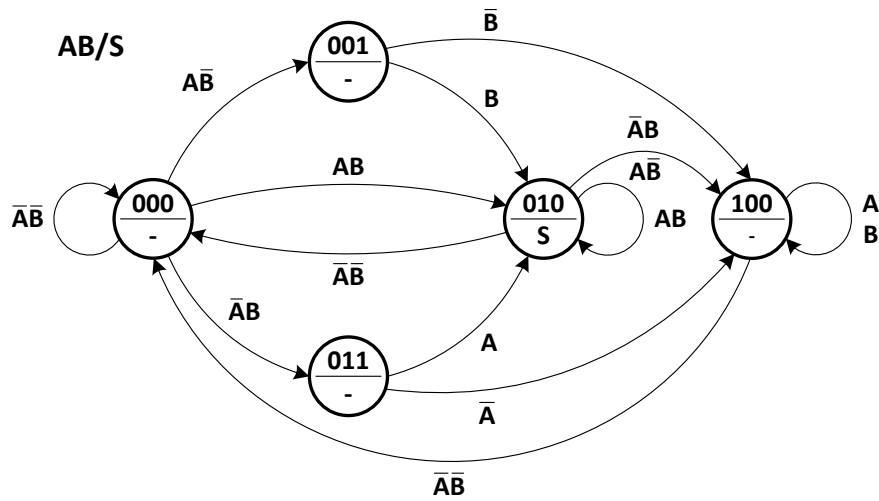
$E \backslash q_1 \backslash q_0$	00	01	11	10
0	0	1	0	1
1	0	0	0	1

$$S = \sum_3(1, 2, 5) = \bar{q}_0 E + \bar{q}_1 q_0 \bar{E}$$



**Ejercicio 4**

a) Diagrama de estados del sistema.



b) Para implementar el sistema mediante un registro y una memoria PROM, el tamaño necesario de esta última será de 32 posiciones de 4 bits cada una, ya que debe tener 5 líneas de dirección a las que se aplicarán las señales ( $q_2$ ,  $q_1$ ,  $q_0$ , A y B) y cuatro líneas de salida (que proporcionarán las señales  $D_2$ ,  $D_1$ ,  $D_0$  y S).