

Apellidos **Nombre**

Espacio para respuestas

1	En un sistema computador, y referida a la tarea de cálculo completa, la <i>cantidad de trabajo realizado por unidad de tiempo</i> se denomina:	B
	A) Tiempo de respuesta B) Productividad C) Tiempo de ejecución D) Ninguna de las afirmaciones anteriores es correcta	
2	Atendiendo a los conceptos de <i>productividad y tiempo de respuesta</i> de un procesador, la segmentación mejora:	B
	A) El tiempo de respuesta B) La productividad C) El tiempo de respuesta y la productividad D) Depende de qué se segmente en la Unidad de Control	
3	El Principio de Localidad de Referencia, se aplica:	A
	A) Tanto a los accesos de datos como de instrucciones B) Únicamente a los accesos de datos C) Únicamente a los accesos de instrucciones D) Ninguna de las afirmaciones anteriores es correcta	
4	El rendimiento de la CPU depende del:	A
	A) CPI (Ciclos Por Instrucción) y del Recuento de Instrucciones B) CPI (Ciclos Por Instrucción) únicamente C) Recuento de instrucciones únicamente D) Ninguna de las afirmaciones anteriores es correcta	
5	Considérese una mejora en una máquina de 10 veces que es utilizable tan sólo el 40% del tiempo. ¿Cuál es la aceleración global lograda al incorporar dicha mejora?	B
	A) 0,64 B) 1/0,64 C) 2,0 D) 1,4	
6	Los MIPS (Millones de Instrucciones Por Segundo):	C
	A) Nos permiten calcular exactamente el tiempo de ejecución de un programa real B) No varían entre programas en el mismo computador C) Son dependientes del repertorio de instrucciones de la máquina D) Ninguna de las afirmaciones anteriores es correcta	
7	Los MFLOPS (Millones de Operaciones en Punto Flotante por Segundo) dependen:	C
	A) Únicamente del programa que se ejecute B) Únicamente de la máquina C) Tanto de la máquina como del programa que se ejecute D) Del tipo de instrucciones lógicas que tenga la máquina	
8	La frecuencia o tasa de aciertos en memoria se define como:	D
	A) La fracción de accesos a memoria encontrados en cualquier nivel de la jerarquía de memoria B) La fracción de accesos a memoria encontrados en el nivel inferior C) La fracción de accesos a memoria no encontrados en el nivel inferior D) La fracción de accesos a memoria encontrados en el nivel superior	
9	Atendiendo a los tipos de fallos de caché: <i>forzosos, de conflicto y de capacidad</i> :	D
	A) Los fallos de conflicto no pueden existir en una caché de correspondencia asociativa por conjuntos B) Los fallos de capacidad no pueden existir nunca en una memoria caché de correspondencia totalmente asociativa C) Los fallos forzosos pueden darse o no en una memoria caché de correspondencia totalmente asociativa D) Los fallos de conflicto no pueden existir nunca en una memoria caché de correspondencia totalmente asociativa	
10	Para un mismo sistema de memoria y distintas correspondencias, el menor tamaño del campo etiqueta es el de la correspondencia:	A
	A) Directa B) Asociativa por conjuntos C) Totalmente asociativa D) Ninguna de las afirmaciones anteriores es correcta	
11	El número de comparaciones de las etiquetas de los bloques existentes en la memoria caché, crece:	B
	A) Con la menor asociatividad B) Con la mayor asociatividad C) Con el número de conjuntos D) Con el tamaño de bloque	
12	Los mecanismos de búsqueda o políticas de búsqueda determinan la causa que desencadena la llevada de un bloque a la memoria caché; ¿Cuál es el más común?	A
	A) Por demanda B) Selectivo C) Anticipativo D) Ninguno de los mecanismos nombrados se corresponden con políticas de búsqueda	
13	¿Cuál de las siguientes afirmaciones es cierta?	D
	A) Cuando existen varios niveles de caché, si hay una caché partida siempre se aplica al nivel inferior B) En una memoria caché se puede aplicar siempre algún algoritmo de reemplazo C) El rendimiento de una configuración concreta de caché nunca depende del programa que se ejecute D) En una memoria caché no siempre es necesario aplicar algoritmo de reemplazo alguno	
14	¿Qué estrategia de escritura resuelve más fácilmente los problemas de coherencia?	C
	A) Depende del tipo de correspondencia que se utilice B) La de post-escritura C) La de escritura inmediata D) Depende del programa que se ejecute	

15	A mayor tamaño de bloque corresponde:		B
	A) Mayor tasa de acierto por localidad temporal	C) Mayor tasa de aciertos por localidad temporal y menor tasa de aciertos por localidad espacial	
	B) Mayor tasa de acierto por localidad espacial	D) Ninguna de las afirmaciones anteriores es correcta	
16	Atendiendo a las posibles combinaciones de operandos en memoria y operandos totales por instrucción que implica operación diádica en un sistema computador, indica cuál de las siguientes afirmaciones NO es cierta:		B
	A) Una máquina puede tener dos operandos por instrucción y ninguno referenciado a memoria	C) Una máquina puede tener tres operandos por instrucción y los tres referenciados a memoria	
	B) Una máquina puede tener un operando por instrucción y dos referenciados a memoria	D) Una máquina puede tener dos operandos por instrucción y uno referenciado a memoria	
17	En base al esquema de la arquitectura Von Neumann estudiado en clase, la operación $R2 \leftarrow R1$ se considera:		B
	A) Una operación elemental de transferencia	C) No es posible realizar esta operación	
	B) Una operación elemental de proceso	D) Una operación elemental de carga	
18	La definición de Micro-Programa corresponde a:		C
	A) El valor de las señales de control durante un periodo de ejecución de una instrucción	C) El valor de las señales de control durante todos los periodos de ejecución de una instrucción	
	B) El valor de las señales de control durante un mismo periodo de ejecución de todas las instrucciones	D) El valor de las señales de control durante el ciclo de Decodificación de todas las instrucciones	
19	Indica el posible solapamiento entre las fases de ejecución de una instrucción en un computador Von Neumann:		D
	A) Decodificación y Búsqueda de Instrucción	C) Búsqueda de Operando y Búsqueda de Instrucción	
	B) Decodificación y Búsqueda de Operando	D) Ninguna de las afirmaciones anteriores es correcta	
20	En una unidad de control microprograma, indica cuántos microprogramas tiene asociados una instrucción del tipo BZ A0000h:		A
	A) Dos, uno para cada posible valor del biestable	C) Los mismos que tiene la instrucción JMP A0000h	
	B) Cada instrucción tiene un único microprograma	D) Esta unidad de control no almacena microprogramas	
21	Sea una unidad de control microprogramada con secuenciamiento explícito, 8 bits en el campo código de operación del registro de instrucción y 20 señales de control, la organización de la memoria de control es de:		D
	A) 256 palabras x 20 bits cada palabra	C) 256 palabras x n bits por palabra, $n \geq 1$	
	B) 1 Mpalabras x 256 bits cada palabra	D) Faltan datos para conocer la organización	
22	Indica las situaciones en las que se guarda el valor del registro SR en la pila:		C
	A) Cuando se ejecuta una instrucción del tipo CALL	C) Cuando se provoca una interrupción vectorizada	
	B) Cuando se ejecuta una instrucción del tipo RETI	D) Ninguna de las afirmaciones anteriores es correcta	
23	Sea la arquitectura DLX con unidades funcionales para operaciones en formato de coma flotante donde la unidad sumador/restador requiere 2 ciclos y la de división requiere 5 ciclos, dada la secuencia DIVF F0, F1, F2 y SUBF F1, F3, F4, existe riesgo de tipo:		D
	A) Estructural	C) De control	
	B) Por dependencia de datos tipo WAR	D) Ninguna de las afirmaciones anteriores es correcta	
24	En la arquitectura DLX, el Adelantamiento Generalizado permite:		A
	A) Reducir el número de detenciones derivadas de riesgos por dependencia de datos	C) Eliminar totalmente el número de detenciones derivadas de riesgos por dependencia de datos	
	B) Reducir los riesgos de control	D) Ninguna de las afirmaciones anteriores es correcta	
25	Sea la arquitectura DLX, la instrucción BNEQZ R4, A000h:		A
	A) Atiende al formato de instrucción tipo I	C) Atiende al formato de instrucción tipo J	
	B) Atiende al formato de instrucción tipo R	D) Esta instrucción no se puede ejecutar en el DLX	
26	Los riegos por dependencia de datos del tipo WAR pueden existir en:		C
	A) Una arquitectura DLX que sólo tenga unidades funcionales para operaciones con enteros	C) Una arquitectura DLX con unidades funcionales en FP y distinto tiempo de ejecución	
	B) Una arquitectura DLX con unidades funcionales en FP y todas con el mismo tiempo de ejecución	D) Las respuestas B) y C) son correctas	
27	Las propuestas de arquitecturas Supersegmentadas y Superescalares son:		B
	A) Técnicas software para mejorar el paralelismo a nivel de instrucción	C) Técnicas hardware-software para mejorar el paralelismo a nivel de instrucción	
	B) Técnicas hardware para mejorar el paralelismo a nivel de instrucción	D) Ninguna de las afirmaciones anteriores es correcta	
28	El tamaño de palabra que se considera en la arquitectura DLX estudiada es de:		C
	A) 8 bits	C) 32 bits	
	B) 16 bits	D) 64 bits	
29	Comparando las arquitecturas Von Neumann y DLX estudiadas:		C
	A) Ambas permiten ejecutar varias instrucciones simultáneamente	C) Ambas ejecutan instrucciones ALU con modelo Reg-Reg	
	B) Ninguna de las dos son arquitecturas segmentadas	D) Ambas consideran la duplicidad de los PC e IR	
30	Sea una máquina no segmentada con cinco pasos de ejecución de 50 ns cada uno y otra máquina segmentada también con cinco etapas de 60 ns cada una, a partir del tiempo empleado en la ejecución de 4 instrucciones consecutivas, el tiempo medio por instrucción resulta (considerar que no existe ningún ciclo de detención):		D
	A) 250 ns en ambas	C) 50 ns en ambas	
	B) 250 ns en la primera y 300 ns en la segunda	D) 250 ns en la primera y 120 ns en la segunda	

EXAMEN DE ARQUITECTURA DE COMPUTADORES

La Rábida, 9 de Junio de 2014

PROBLEMA 1. (2,5 ptos.). Un sistema computador (sin memoria virtual) tiene una memoria principal con capacidad de 8 M Bytes y ancho de palabra de 16 bits cada una de ellas y una memoria caché de 4 Kpalabras, dividida en 4 conjuntos y 1 Kpalabras/bloque.

- Justificar e indicar con un esquema la organización de la Memoria Principal y de la Memoria Caché (capacidad total en Bytes, número de palabras, número de conjuntos, número de bloques, número de bloques por conjunto y número de palabras por bloque).
- Mostrar el formato de la dirección que define la unidad central de proceso en base a la función de correspondencia empleada, definiendo cada uno de los campos en los que se divide.

Inicialmente (*instante 0*), la memoria caché contiene los bloques correspondientes a las direcciones de memoria: 1023, 1024, 1025, 1026 y desde la 7168 hasta la 8191 (ambas inclusive), habiéndose referenciado cada palabra una sólo vez.

- Mostrar el contenido de la memoria caché en el *instante 0*.

A continuación, la CPU requiere el acceso a los bloques de memoria principal 4, 8, 11 y 7 leídas todas las direcciones de cada uno de ellos una vez y en el orden que se indica (*instante 1*).

- Dar el formato de dirección expresado en binario de cuatro posibles palabras que pertenezcan cada una de ellas a los bloques 4, 8, 11 y 7.
- Mostrar el contenido de la memoria caché en el *instante 1*.
- Identificar cuántos fallos de caché se han producido y de qué tipo en este *instante 1*.
- Calcular la frecuencia de uso de cada bloque presente en la memoria caché respecto del total de referencias que la memoria caché ha recibido desde el instante 0.

Si la función de correspondencia hubiese sido Totalmente Asociativa y el algoritmo de reemplazo LFU:

- Mostrar el contenido de la memoria caché en el *instante 1*.

SOLUCIÓN:

- (0,2 puntos) Organización de la memoria

Memoria Principal de 8 Mbytes con 16 bits/palabra:

- $8 \text{ Mbytes} / (2 \text{ bytes/posición}) = 4 \text{ Mpalabras}$
- Dirección de 22 bits.
- $2^{22} \text{ palabras} / (2^{10} \text{ palabras/bloque}) = 2^{12} \text{ bloques}$

Memoria Caché de 4 Kpalabras:

- 2^{12} palabras / (2^{10} palabras/bloque) = 2^2 bloques = 4 bloques
- 2^2 bloques / 4 conjuntos = 1 bloque/conjunto - Función de correspondencia Directa

b) (0,2 puntos) Formato de la dirección:

10bits	2 bits	10 bits
Etiqueta	Bloque	Palabra

c) (0,4 puntos) *Instante 0*: En Memoria Caché se encuentran los bloques siguientes:

Direcciones: 1023 – B0 de Memoria Principal

Direcciones 1024, 1025, 1026 – B1 de Memoria Principal

Direcciones: 7168- 8191 – B7 de Memoria Principal

C0	
B0	B0
B1	B1
	B2
B7	B3

d) (0,4 puntos) Formato de la dirección de palabras de los bloques 4, 8, 11 y 7:

10bits	2 bits	10 bits
Campo Etiqueta + Campo Bloque = Bloque MP		Palabra

	10bits	2 bits	10 bits
B4	000 000 000 100		00....00

	10bits	2 bits	10 bits
B8	000 000 001 000		00....00

	10bits	2 bits	10 bits
B11	000 000 001 011		00....00

	10bits	2 bits	10 bits
B7	000 000 000 111		00....00

e) (0,5 puntos) Mostrar el contenido de la memoria caché en el *instante 1*.

Bloques de memoria principal 4, 8, 11 y 7.

C0		C0	
B0 B4	B0	B0 B4 B8	B0
B1	B1	B1	B1
	B2		B2
B7	B3	B7	B3

C0		C0	
B0 B4 B8	B0	B0 B4 B8	B0
B1	B1	B1	B1
	B2		B2
B7 B11	B3	B7 B11 B7	B3

f) (0,2 puntos) Fallos que se han producido de cada uno de los tipos posibles en el *instante 1*:

- En el *instante 1* se produjeron:
 - 3 Fallos Forzosos, uno por cada bloque B4, B8 y B11.
 - 1 Fallo de Conflicto al leer por segunda vez el bloque B7.

g) (0,4 puntos) Frecuencia de uso de cada bloque teniendo en cuenta las referencias totales desde el *instante 0*:

B8: $1024 / (1 + 3 + 1024 + 1024 + 1024 + 1024 + 1024) \times 100$

B1: $3 / (1 + 3 + 1024 + 1024 + 1024 + 1024 + 1024) \times 100$

B7: $(1024 + 1024) / (1 + 3 + 1024 + 1024 + 1024 + 1024 + 1024) \times 100$

Si la función de correspondencia hubiese sido Totalmente Asociativa y el algoritmo de reemplazo LFU:

h) (0,2 puntos) Mostrar el contenido de la memoria caché en el *instante 1*.

Bloques de memoria principal 4, 8, 11 y 7

C0		C0	
B0	B0	B0 B8	B0
B1	B1	B1	B1
B4	B2	B4	B2
B7	B3	B7	B3

C0	
B0 B8	B0
B4 B11	B1
B4	B2
B7	B3

C0	
B0 B8	B0
B4 B11	B1
B4	B2
B7	B3

PROBLEMA 3. (2,25 pts.). El siguiente fragmento de código se ejecuta en un procesador DLX. En dicho procesador la etapa MEM requiere 2 ciclos de reloj y no permite la segmentación de varias operaciones de memoria. Las latencias (en ciclos de reloj) de las unidades funcionales son las siguientes: Sumador/restador entero: 1; Sumador/restador flotante: 2; Multiplicador: 3; y Divisor: 4 (las tres últimas unidades funcionales para operaciones están segmentadas).

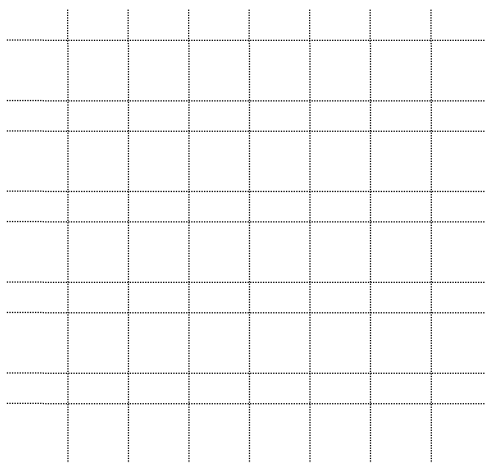
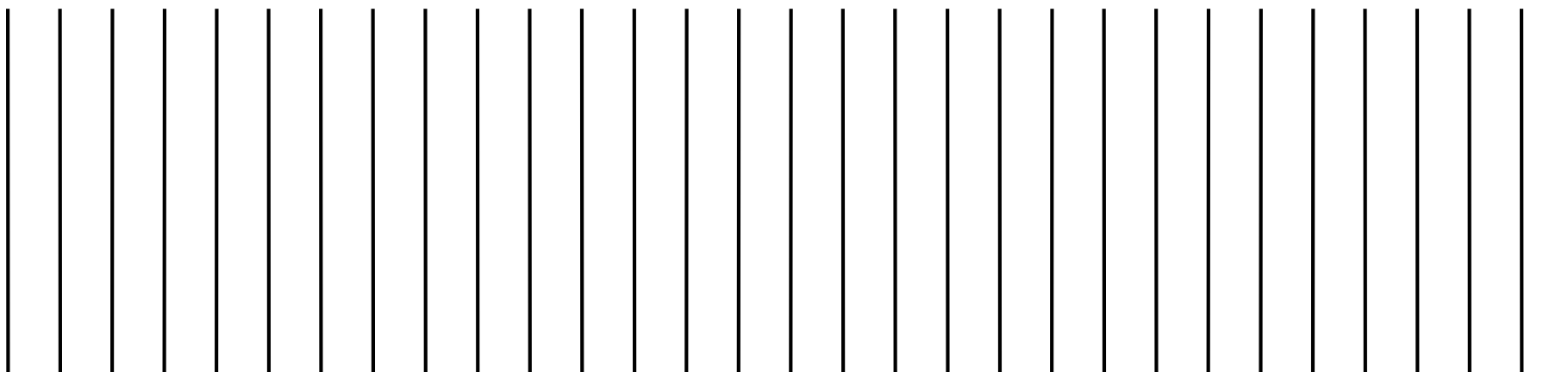
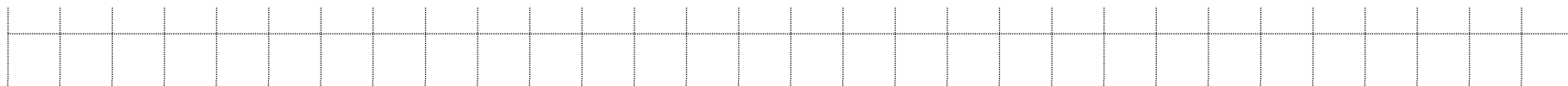
```
ADDI R1, R0, #40
SW 0(R1), R2
ADD R5, R4, R3
SW -4(R1), R5
LF F0, 0(R1)
LF F2, -4(R1)
FADD F4, F0, F2
FMULT F8, F4, F6
SF -8(R1), F8
```

- a) Suponiendo que la **memoria** tiene **dos puertos de acceso** (uno para instrucciones y otro para datos). y que **existe adelantamiento del tipo ALU-MEM y MEM-ALU**, Indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; e indicar si existen bloqueos en la cadena y a qué se deben.
- b) Repetir el apartado a) para una versión del DLX que incluya **adelantamiento** (bypass) **generalizado** y suponiendo que la **memoria** tiene **un único puerto de acceso** Indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; e indicar si existen bloqueos en la cadena y a qué se deben. Indicar claramente los datos que se adelantan y entre qué etapas actúa el bypass.

Etap	Instrucción ALU	Carga/Almacenamiento	Salto/Bifurcación
IF	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$
ID	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$
EX	$ALU_{output} \leftarrow A \text{ op } (B \text{ or } (IR1_{16})^{16} \text{###} IR1_{16..31})$	$MAR \leftarrow A + (IR1_{16})^{16} \text{###} IR1_{16..31}$ $SMDR \leftarrow B$	Salto $ALU_{output} \leftarrow PC1 + IR1_{16})^{16} \text{###} IR1_{16..31})$ $Cond \leftarrow (Rs1 \text{ op } 0);$ Bifurcación $ALU_{output} \leftarrow PC1 + IR1_{26})^6 \text{###} IR1_{6..31})$
MEM	$ALU_{output1} \leftarrow ALU_{output}$	$LMDR \leftarrow M[MAR]$ o $M[MAR] \leftarrow SMDR$	If (cond): $PC \leftarrow ALU_{output}$
WB	$Rd \leftarrow ALU_{output1}$	$Rd \leftarrow LMDR$	

Tabla. Eventos en cada etapa de la segmentación de DLX diferenciados según el tipo de instrucción.

Apellidos: Nombre:



Apellidos:

Nombre:

Memoria 2 puertos y Adelantamiento ALU-MEM y MEM-ALU

Apartado a)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
ADDI R1, R0, #40	IF	ID	EX	MEM	MEM	WB																								
SW 0(R1), R2		IF	Det1	Det1	Det1	ID	EX	MEM	MEM	WB																				
ADD R5, R4, R3						IF	ID	EX	Det2	MEM	MEM	WB																		
SW -4(R1), R5							IF	ID	Det2	EX	Det3	MEM	MEM	WB																
LF F0, 0(R1)								IF	Det2	ID	Det3	EX	Det4	MEM	MEM	WB														
LF F2, -4(R1)										IF	Det3	ID	Det4	EX	Det5	MEM	MEM	WB												
FADD F4, F0, F2												IF	Det4	ID	Det5	Det6	Det6	EX1	EX2	MEM	MEM	WB								
FMULT F8, F4, F6														IF	Det5	Det6	Det6	Det7	Det7	Det7	Det7	ID	EX1	EX2	EX3	MEM	MEM	WB		
SF -8(R1), F8																						IF	ID	EX	Det8	Det8	Det8	MEM	MEM	WB

Det1. Riesgo RAW debido al registro R1. No existe adelantamiento ALU-ALU.
Det2. Riesgo Estructural, la unidad de memoria no está segmentada. No pueden coexistir dos fases MEM.
Adelantamiento 1. De ALU-MEM debido al registro R5.
Det3. Riesgo Estructural, la unidad de memoria no está segmentada. No pueden coexistir dos fases MEM.
Det4. Riesgo Estructural, la unidad de memoria no está segmentada. No pueden coexistir dos fases MEM.
Det5. Riesgo Estructural, la unidad de memoria no está segmentada. No pueden coexistir dos fases MEM.
Det6. Riesgo RAW debido al registro F2.
Adelantamiento 2. De MEM- ALU debido al registro F2.
Det7. Riesgo RAW debido al registro F8. No existe adelantamiento ALU-ALU.
Det8. Riesgo Estructural, la unidad de memoria no está segmentada. No pueden coexistir dos fases MEM.
Adelantamiento 3. De ALU- MEM debido al registro F8.

Memoria 1 puerto y Adelantamiento Generalizado																														
Apartado b)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
ADDI R1, R0, #40	IF	ID	EX	MEM	MEM	WB																								
SW 0(R1), R2		IF	ID	EX	Det1	MEM	MEM	WB																						
ADD R5, R4, R3			IF	ID	Det1	EX	Det2	MEM	MEM	WB																				
SW -4(R1), R5				IF	Det1	ID	Det2	EX	Det3	MEM	MEM	WB																		
LF F0, 0(R1)					Det1	Det4	Det2	IF	Det3	ID	EX	MEM	MEM	WB																
LF F2, -4(R1)										Det5	Det5	Det5	Det5	IF	ID	EX	MEM	MEM	WB											
FADD F4, F0, F2															IF	ID	Det6	Det6	EX1	EX2	MEM	MEM	WB							
FMULT F8, F4, F6																IF	Det6	Det6	ID	Det7	EX1	EX2	EX3	MEM	MEM	WB				
SF -8(R1), F8																			IF	Det7	ID	EX	Det8	Det8	Det8	MEM	MEM	WB		

- Adelantamiento 1. De ALU- ALU debido al registro R1.
- Det1. Riesgo Estructural, la unidad de memoria no está segmentada. No pueden coexistir dos fases MEM.
- Det2. Riesgo Estructural, la unidad de memoria no está segmentada. No pueden coexistir dos fases MEM.
- Det3. Riesgo Estructural, la unidad de memoria no está segmentada. No pueden coexistir dos fases MEM.
- Adelantamiento 2. De ALU-MEM debido al registro R5.
- Det4. Riesgo Estructural, la unidad de memoria tiene un solo puerto de acceso.
- Det5. Riesgo Estructural, la unidad de memoria tiene un solo puerto de acceso.
- Det6. Riesgo RAW debido al registro F2.
- Adelantamiento 3. De MEM- ALU debido al registro F2.
- Det7. Riesgo RAW debido al registro F4.
- Adelantamiento 4. De ALU- ALU debido al registro F4.
- Det8. Riesgo RAW debido al registro F8.
- Adelantamiento 4. De ALU- MEM debido al registro F8.