

Fundamentos de Computadores

1º curso de Grado en Ingeniería Informática



Universidad
de Huelva

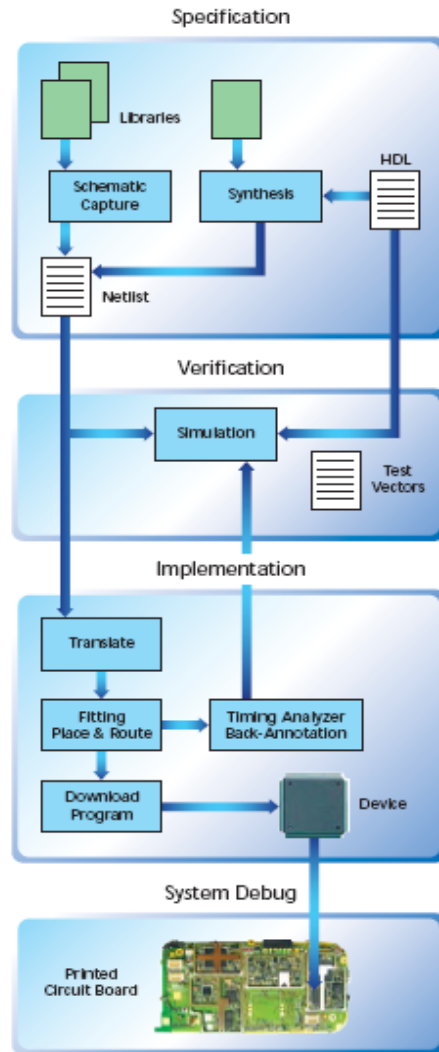
Seminario

Introducción al diseño con FPGAs

Contenido

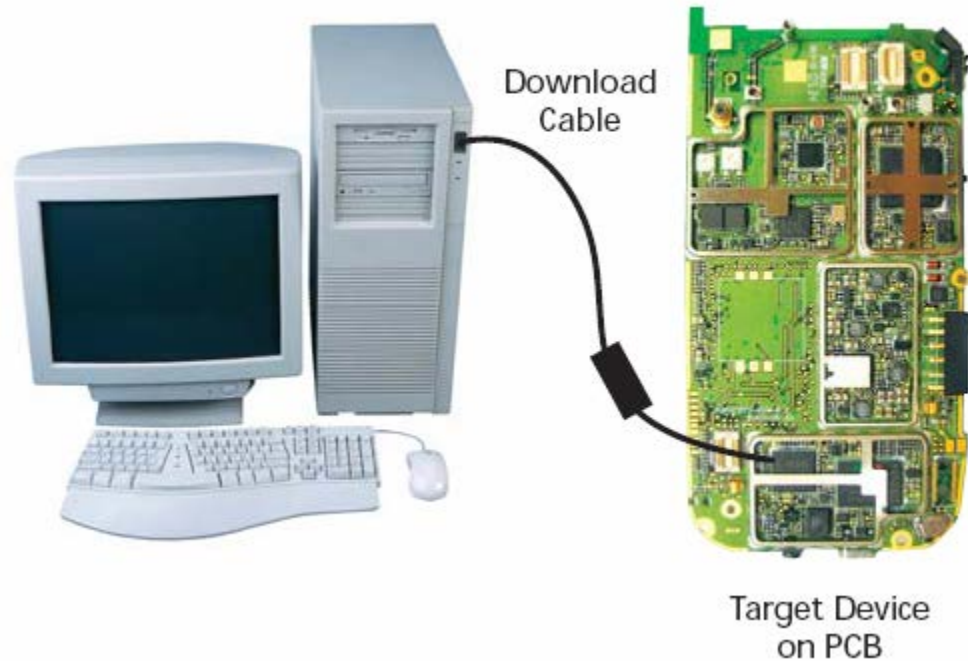
- Introducción al diseño con PLDs.
- La tarjeta de desarrollo XILINX Spartan-3E.
- Breve descripción de las FPGAs.
- El entorno de trabajo XILINX ISE WebPACK 12.4.
- Creación de un proyecto.
- Creación de un fichero fuente VHDL.
- Creación de un fichero de test.
- Simulación funcional.
- Síntesis del diseño.
- Restricciones de usuario.
- Implementación del diseño.
- Simulación temporal.
- Generación del fichero de programación.
- Configuración del proceso de programación.
- Programación del dispositivo.

Introducción al diseño con PLDs



Flujo de diseño con PLDs

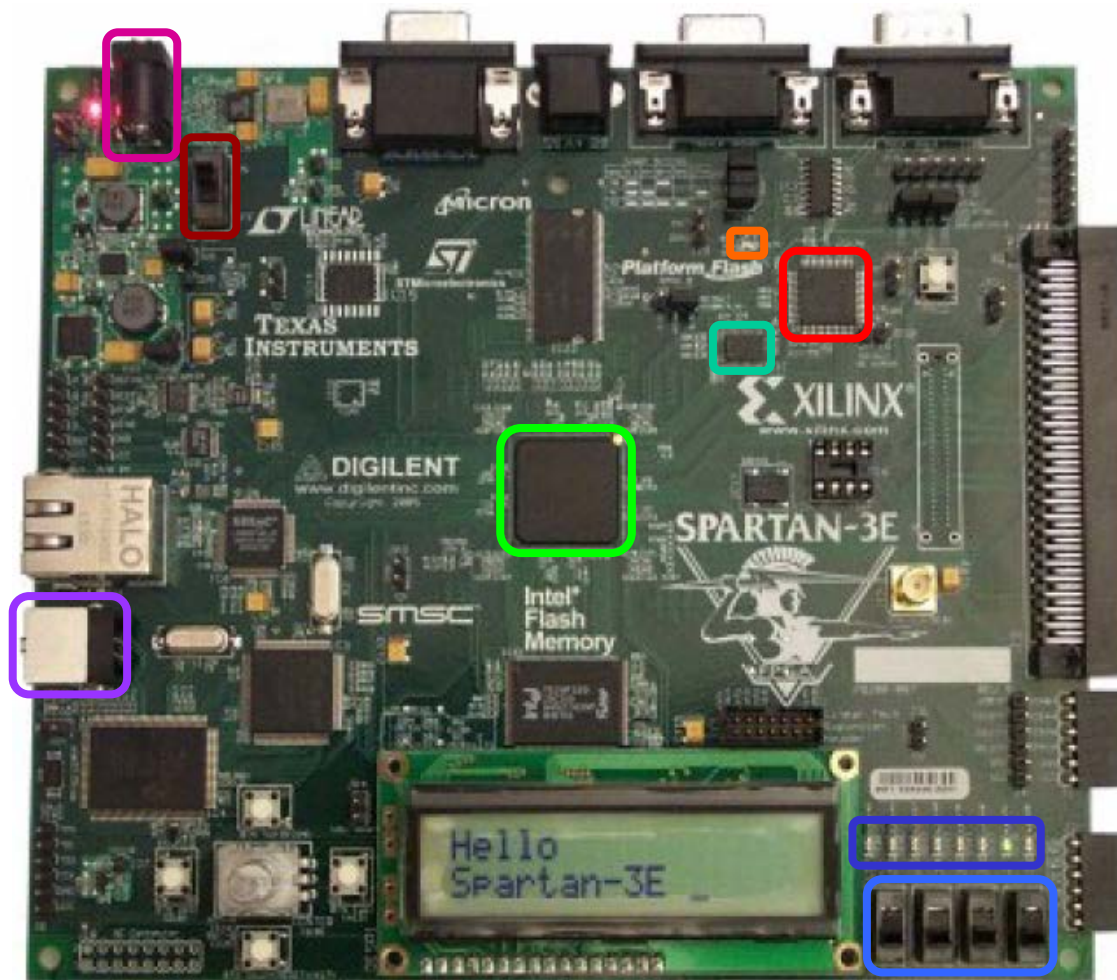
ISP – In System Programming and Downloading



Programación en sistema (ISP)

La tarjeta de desarrollo XILINX Spartan-3E

- En el presente seminario vamos a mostrar el modo de implementar sistemas digitales mediante la tarjeta de desarrollo **Spartan-3E** de **Xilinx**, cuya vista superior se muestra en la figura.



Interruptor de encendido

Conector de alimentación

Conector USB

CPLD (xc2c64a)

Flash PROM (xcf04s)

FPGA (xc3s500e)

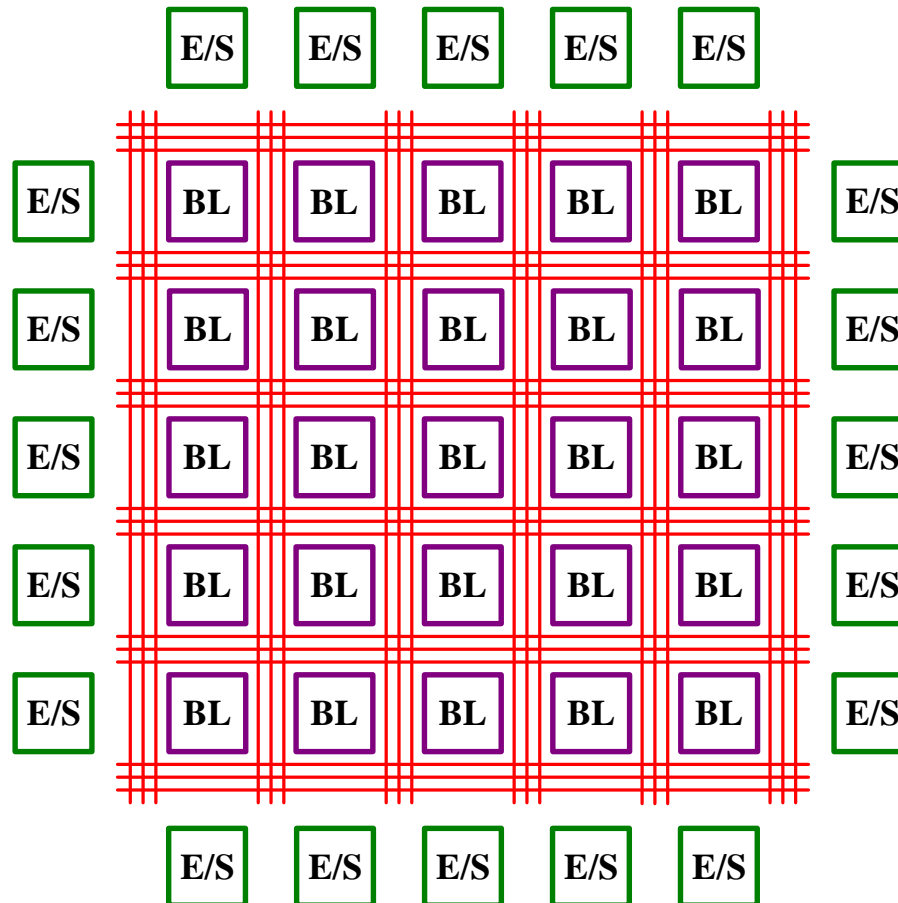
Led "DONE"

Conmutadores de entrada

LEDs

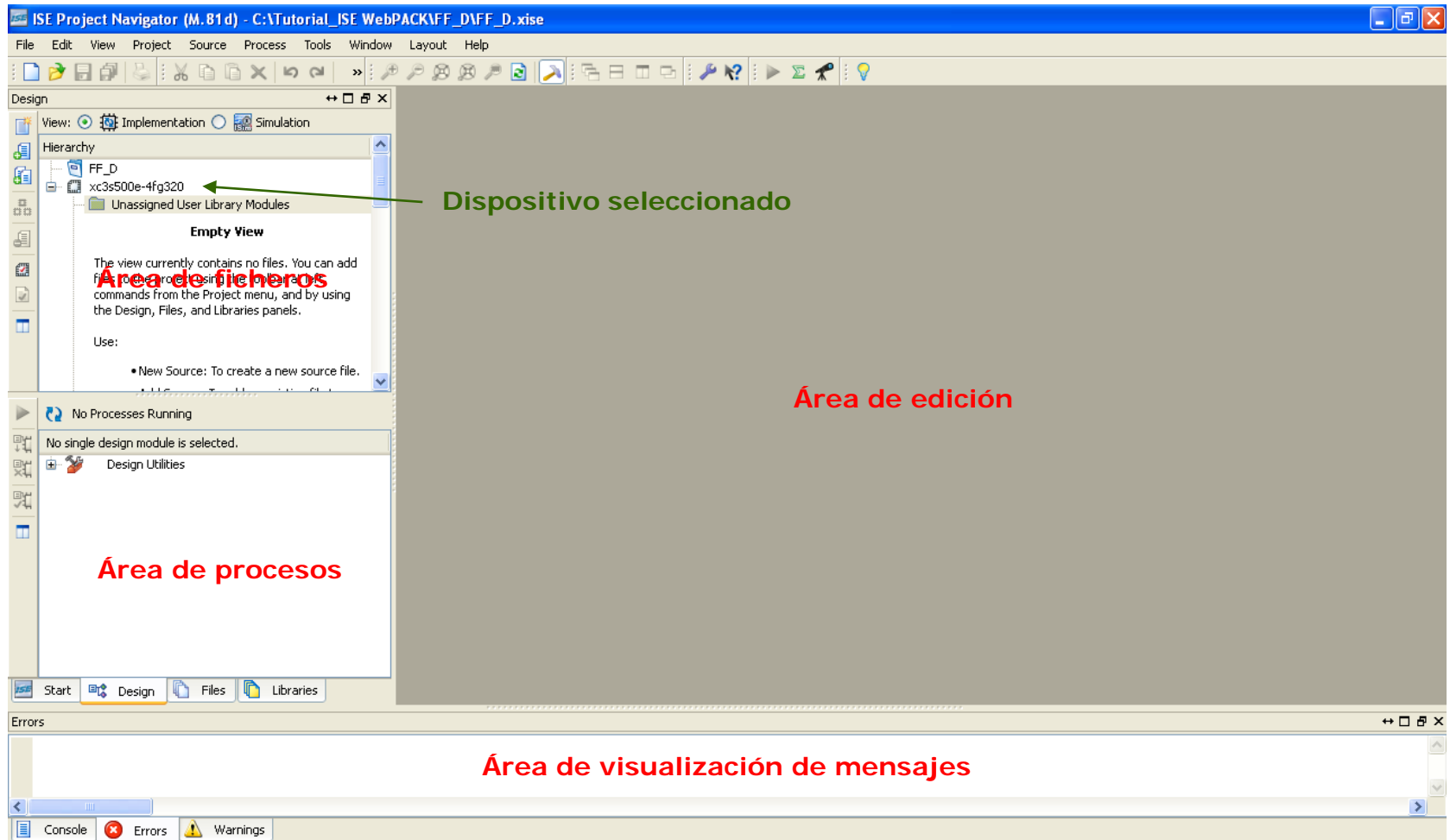
Breve descripción de las FPGAs

- Las FPGAs (*Field Programmable Gate Arrays*) son estructuras programables formadas por tres elementos básicos: bloques lógicos internos (BL), bloques lógicos de entrada/salida (E/S) y recursos de interconexión.



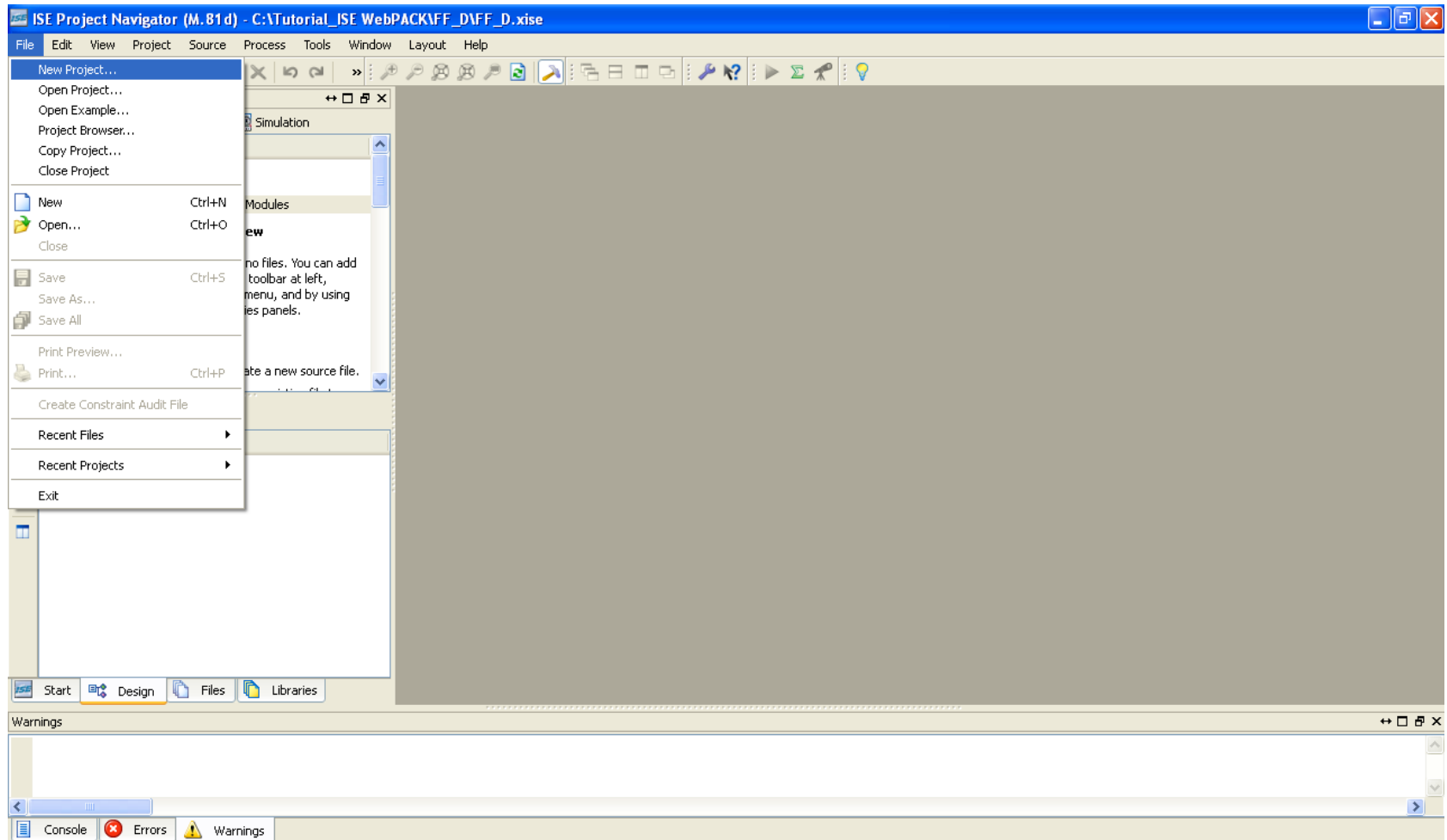
El entorno de trabajo XILINX ISE WebPACK 12.4

- En el presente tutorial vamos a explicar el modo de llevar a cabo las diferentes tareas que implica el proceso de diseño con FPGAs mediante el entorno de trabajo **XILINX ISE WebPACK 12.4**. En la figura se representa el aspecto de la pantalla principal de dicha aplicación y se resaltan sus principales elementos.



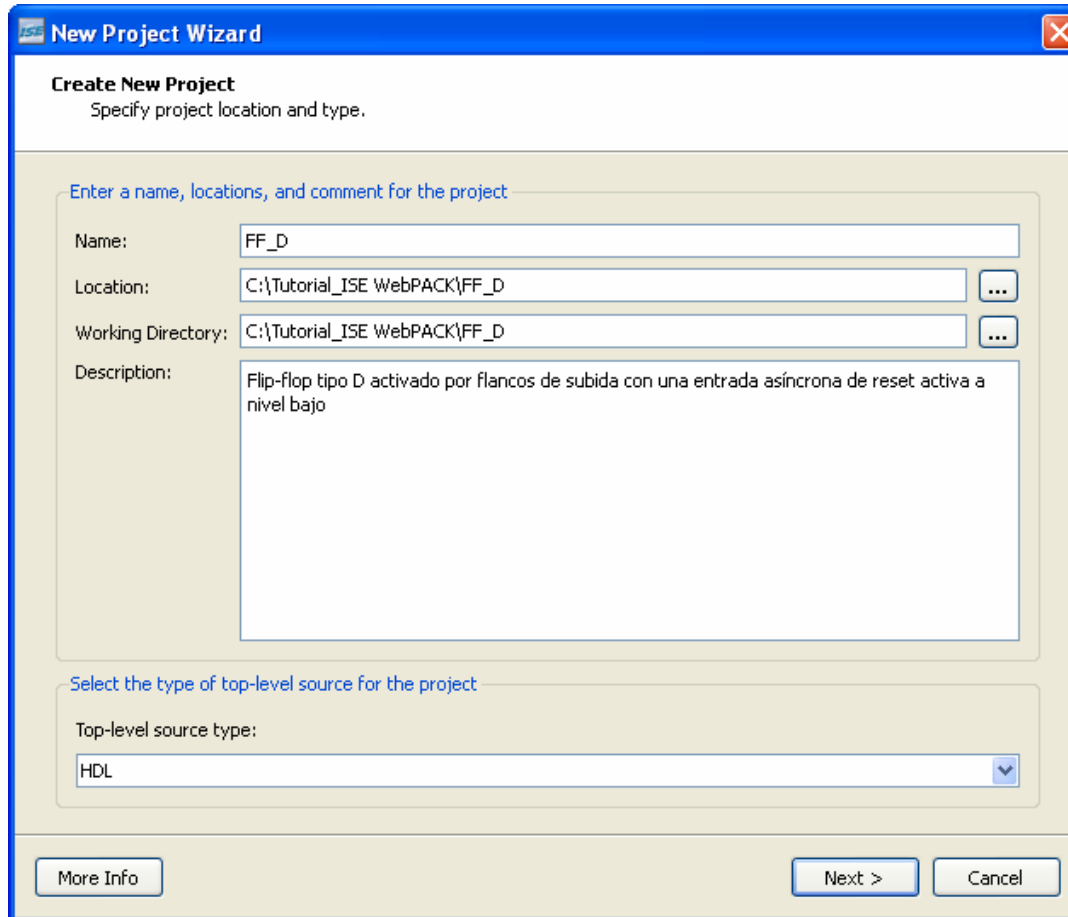
Creación de un proyecto (I)

- El primer paso del proceso de diseño con el entorno *Xilinx ISE WebPACK 12.4* consiste en la creación de un nuevo proyecto, fase que se inicia como se muestra en la figura.



Creación de un proyecto (II)

- Ejecutada la acción anterior aparece la ventana **New Project Wizard** (*Create New Project*), donde podemos especificar el nombre a asignar al proyecto y la ubicación donde éste se almacenará, realizar una descripción del mismo, etc.



The screenshot shows the 'New Project Wizard' dialog box with the title bar 'New Project Wizard' and a close button. The main heading is 'Create New Project' with the instruction 'Specify project location and type.' Below this, a section titled 'Enter a name, locations, and comment for the project' contains four fields: 'Name' with the value 'FF_D', 'Location' with 'C:\Tutorial_ISE WebPACK\FF_D' and a browse button, 'Working Directory' with the same path and a browse button, and a 'Description' text area containing the text 'Flip-flop tipo D activado por flancos de subida con una entrada asíncrona de reset activa a nivel bajo'. A second section titled 'Select the type of top-level source for the project' contains a 'Top-level source type' dropdown menu set to 'HDL'. At the bottom are three buttons: 'More Info', 'Next >', and 'Cancel'.

New Project Wizard

Create New Project
Specify project location and type.

Enter a name, locations, and comment for the project

Name:

Location: ...

Working Directory: ...

Description:

Select the type of top-level source for the project

Top-level source type:

Creación de un proyecto (III)

- Una vez hecho esto, en la ventana **New Project Wizard (Projects Settings)** especificamos las características de la tarjeta FPGA a emplear (Familia, dispositivo, encapsulado, etc.), así como otros datos tales como el simulador a usar (Isim (VHDL/Verilog)) o el lenguaje de alto nivel preferido (VHDL).

New Project Wizard

Project Settings
Specify device and project properties.

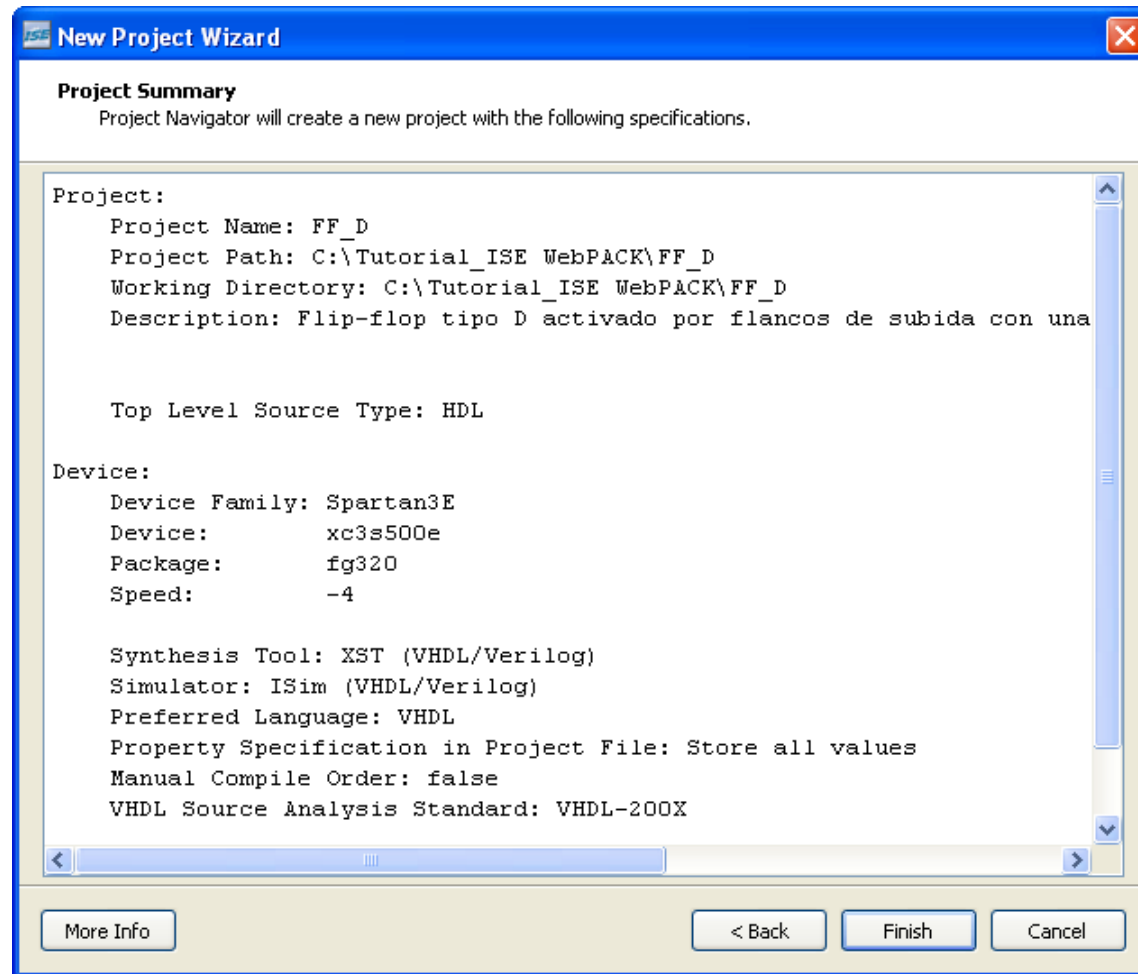
Select the device and design flow for the project

Property Name	Value
Product Category	All
Family	Spartan3E
Device	XC35500E
Package	FG320
Speed	-4
Top-Level Source Type	HDL
Synthesis Tool	XST (VHDL/Verilog)
Simulator	ISim (VHDL/Verilog)
Preferred Language	VHDL
Property Specification in Project File	Store all values
Manual Compile Order	<input type="checkbox"/>
VHDL Source Analysis Standard	VHDL-200X
Enable Message Filtering	<input type="checkbox"/>

More Info < Back Next > Cancel

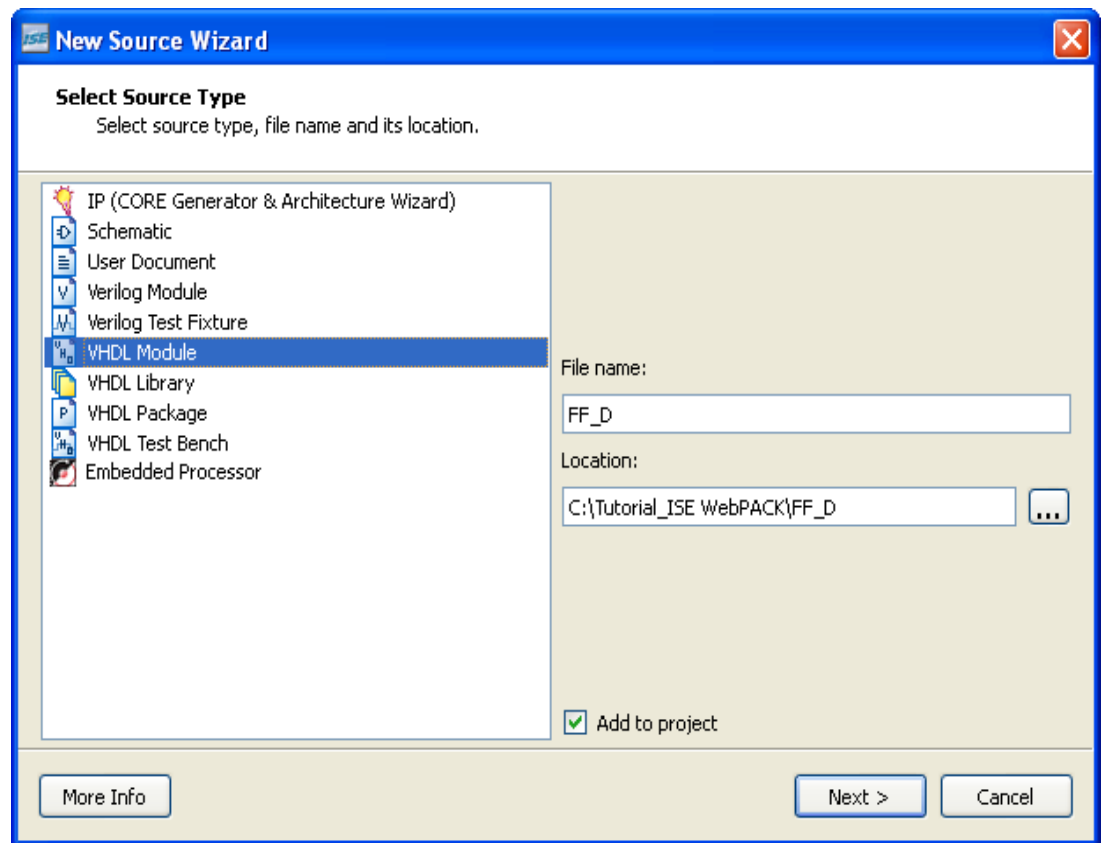
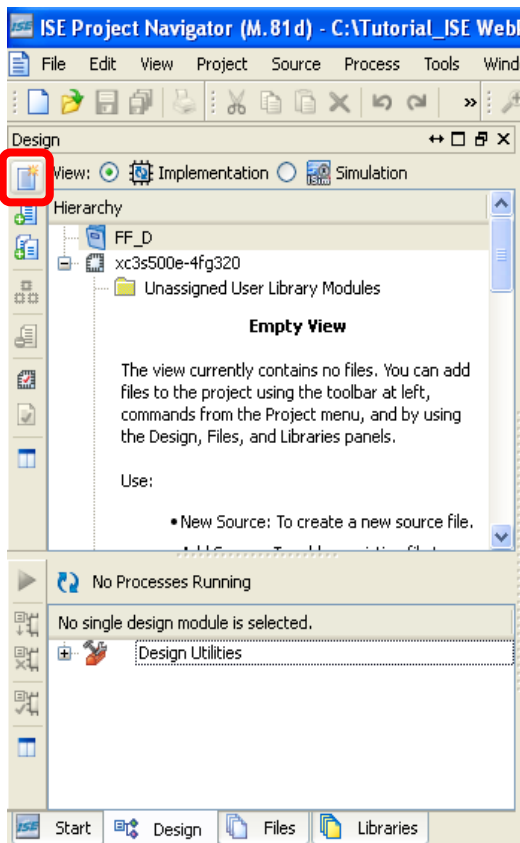
Creación de un proyecto (IV)

- Por último, aparece la ventana **New Project Wizard (Project Summary)** donde se resumen las especificaciones del proyecto creado (FF_D en este caso).



Creación de un fichero fuente VHDL (I)

- Para crear un fichero fuente VHDL se activa el botón **New Source** de la barra situada a la izquierda del área de ficheros. Una vez hecho esto aparece la ventana **New Source Wizard (Select Source Type)** donde se selecciona el tipo de fichero (**VHDL Module**), así como el nombre que se desea asignar al mismo y la ubicación donde éste se almacenará.



Creación de un fichero fuente VHDL (II)

- Seguidamente, en la ventana **New Source Wizard (Define Module)** se asignan nombres a la entidad y a la arquitectura del circuito, y se definen los terminales de éste. En nuestro caso, esta ventana quedaría como se muestra en la figura.

New Source Wizard

Define Module
Specify ports for module.

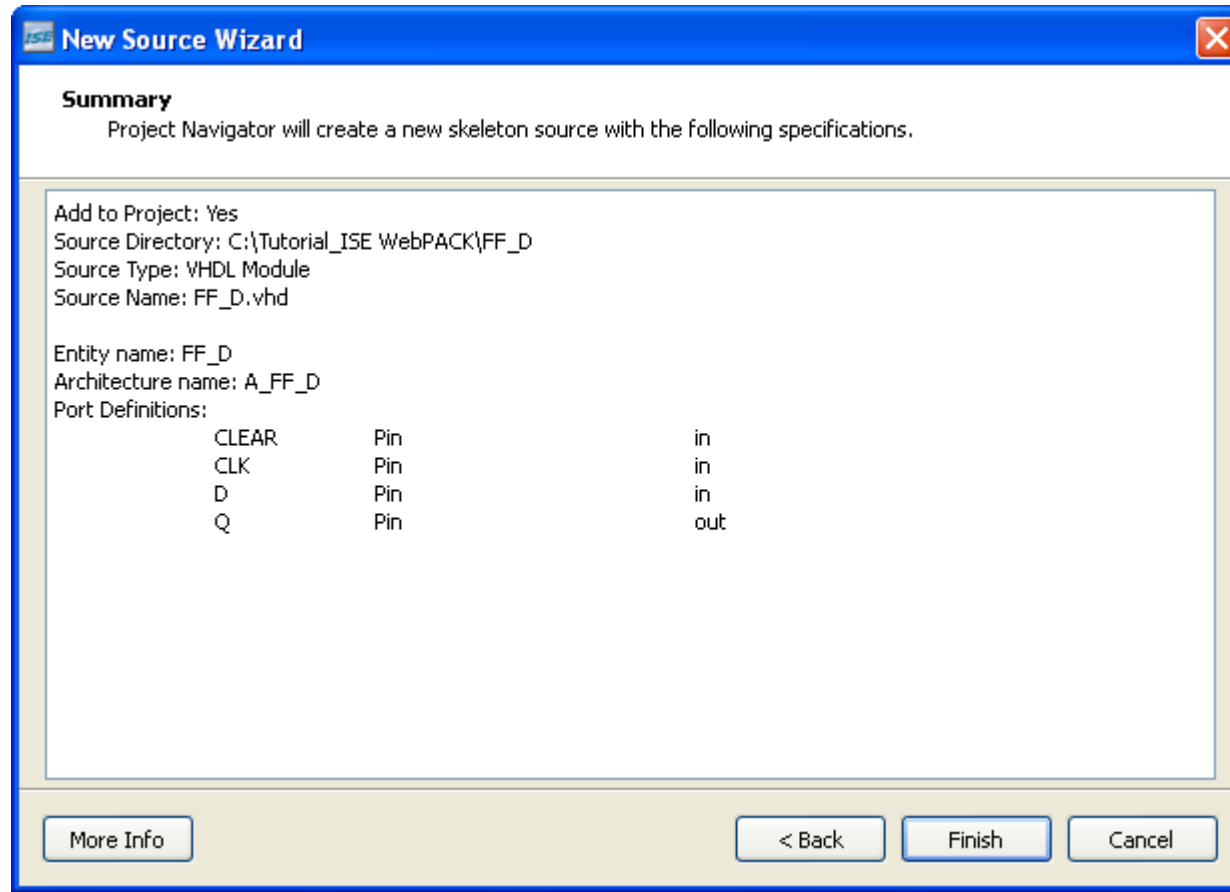
Entity name:

Architecture name:

Port Name	Direction	Bus	MSB	LSB
CLEAR	in	<input type="checkbox"/>		
CLK	in	<input type="checkbox"/>		
D	in	<input type="checkbox"/>		
Q	out	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		

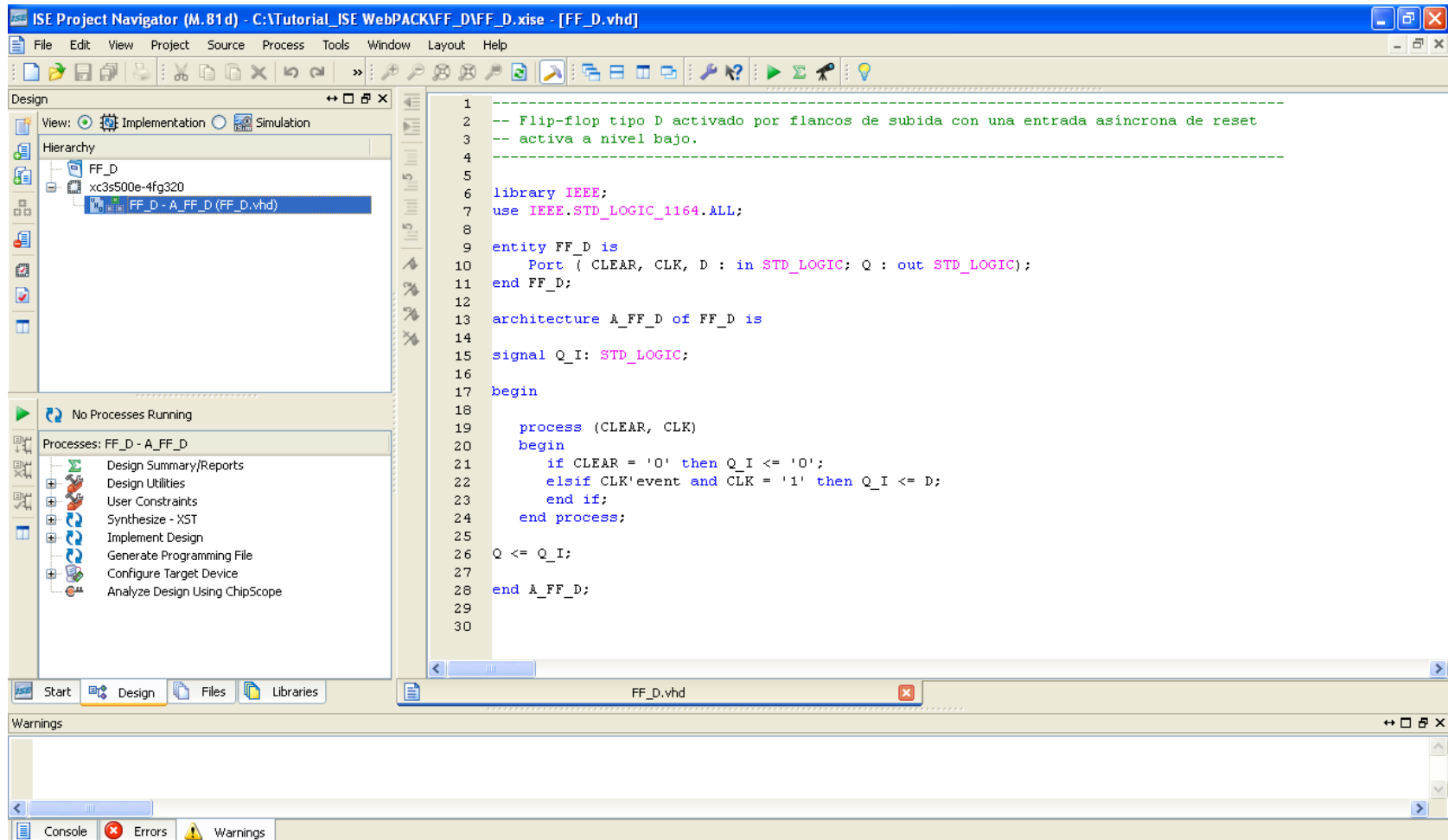
Creación de un fichero fuente VHDL (III)

- Por último, aparece la ventana **New Source Wizard (Summary)** donde se resumen las especificaciones del fichero creado (FF_D.vhd en este caso).



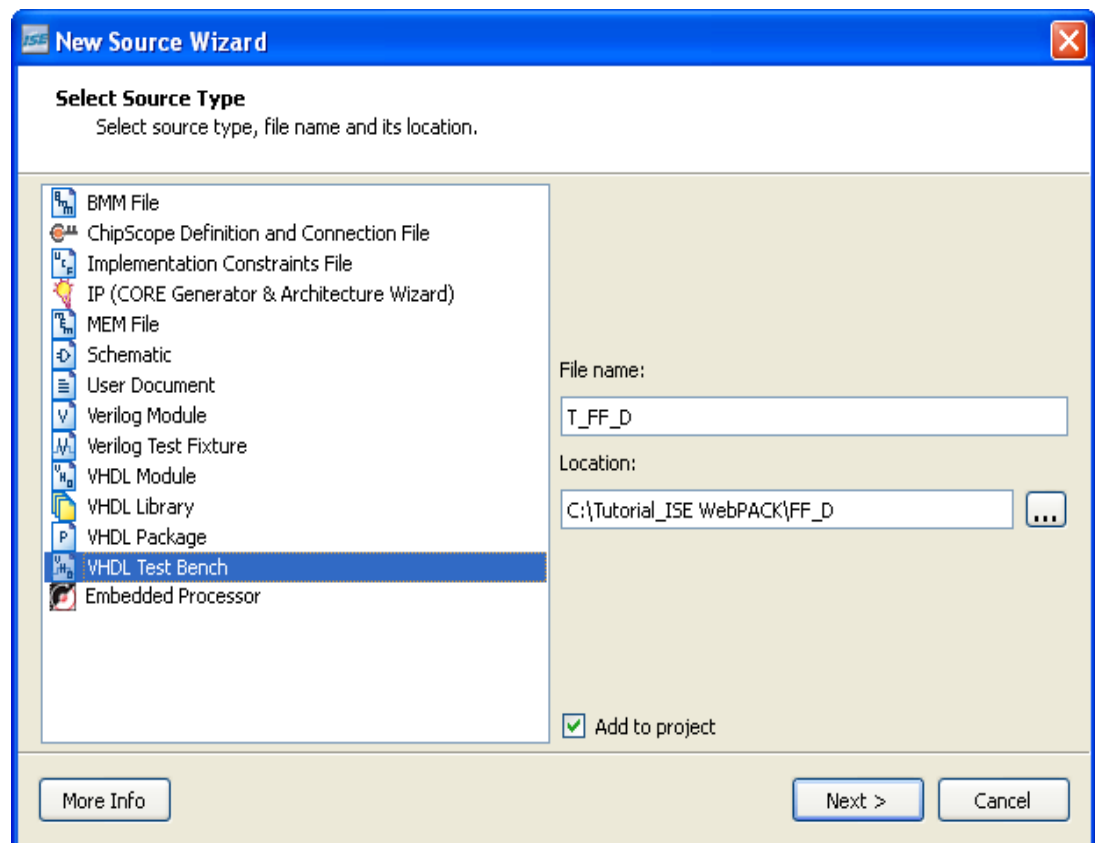
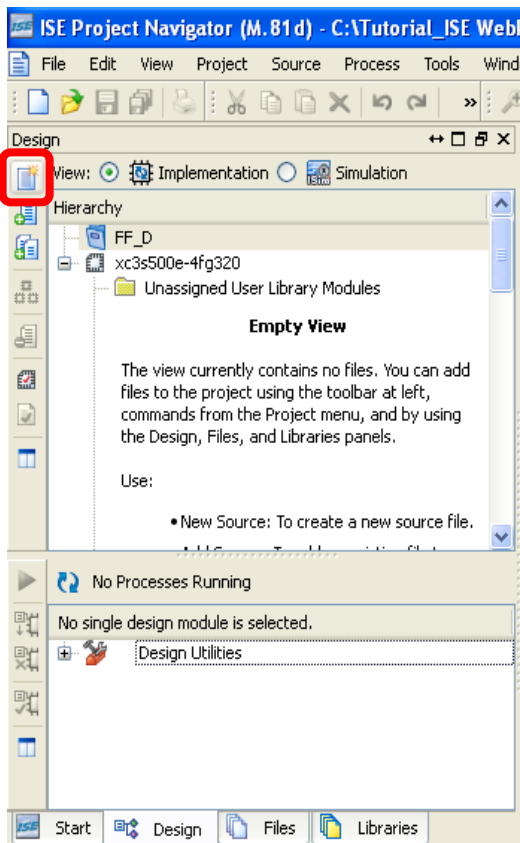
Creación de un fichero fuente VHDL (IV)

- Una vez hecho esto, editamos el fichero fuente creado (FF_D.vhd) y lo dejamos con el contenido que se muestra en la figura.



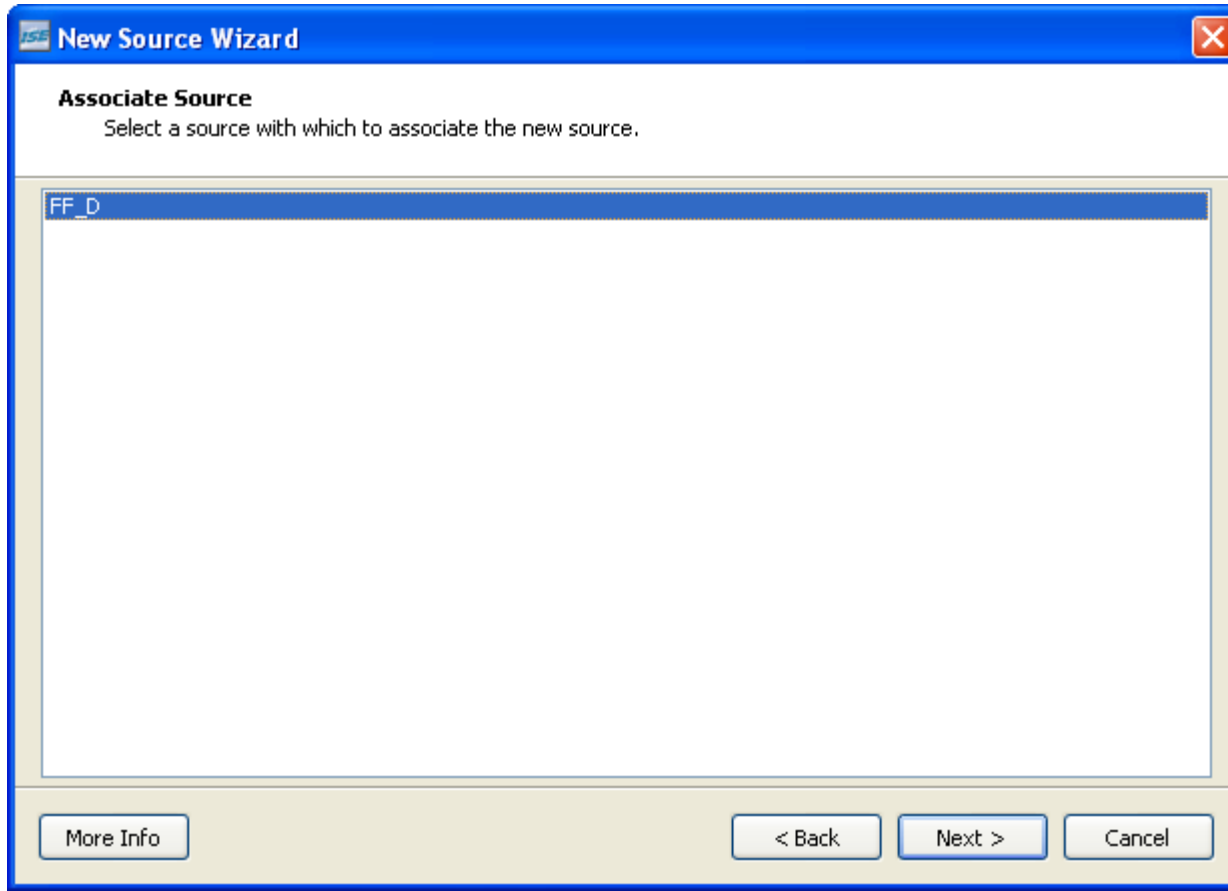
Creación de un fichero de test (I)

- Para crear un fichero de test se activa de nuevo el botón **New Source** de la barra situada a la izquierda del área de ficheros. Una vez hecho esto aparece la ventana **New Source Wizard (Select Source Type)** donde se selecciona el tipo de fichero (**VHDL Test Bench**), así como el nombre que se desea asignar al mismo y la ubicación donde éste se almacenará.



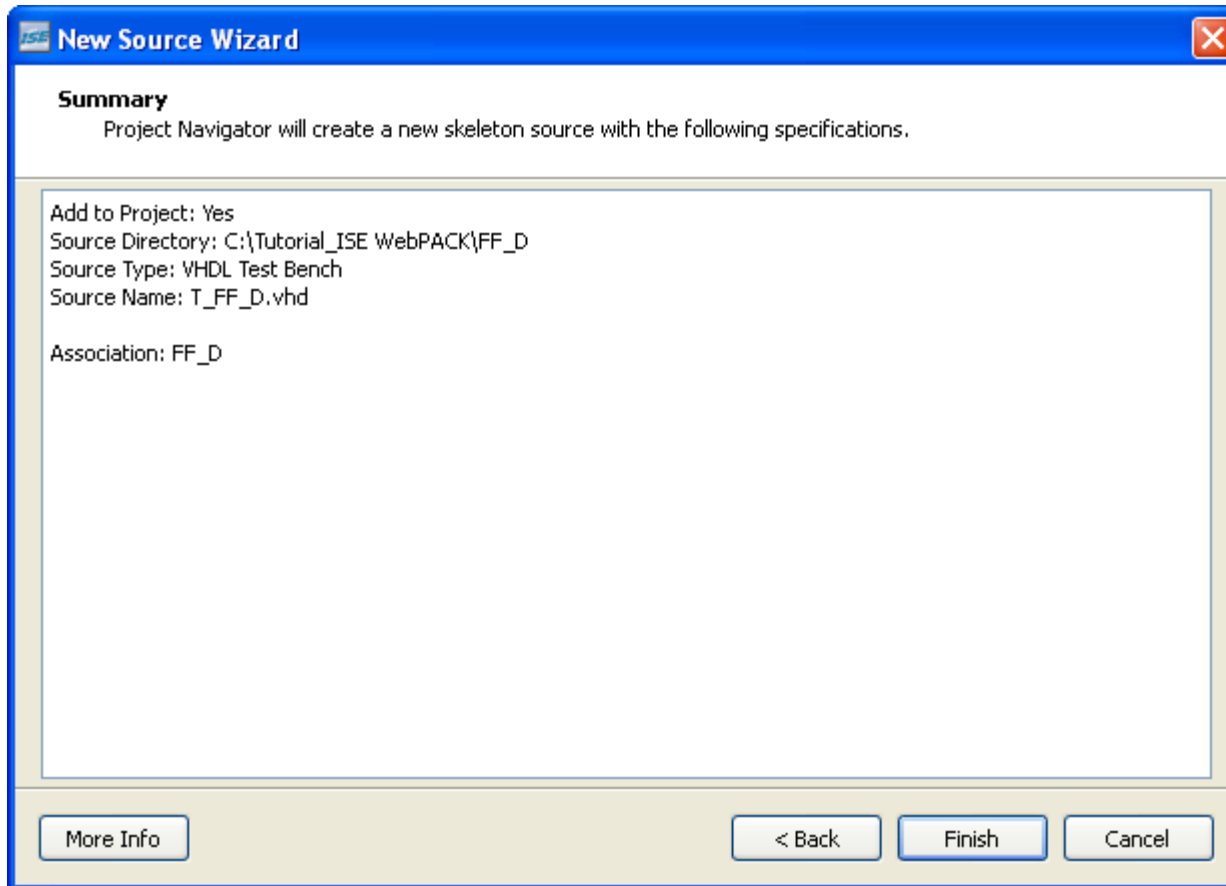
Creación de un fichero de test (II)

- Seguidamente, en la ventana **New Source Wizard (Associate Source)** se selecciona el fichero fuente al que se asociará el fichero de test.



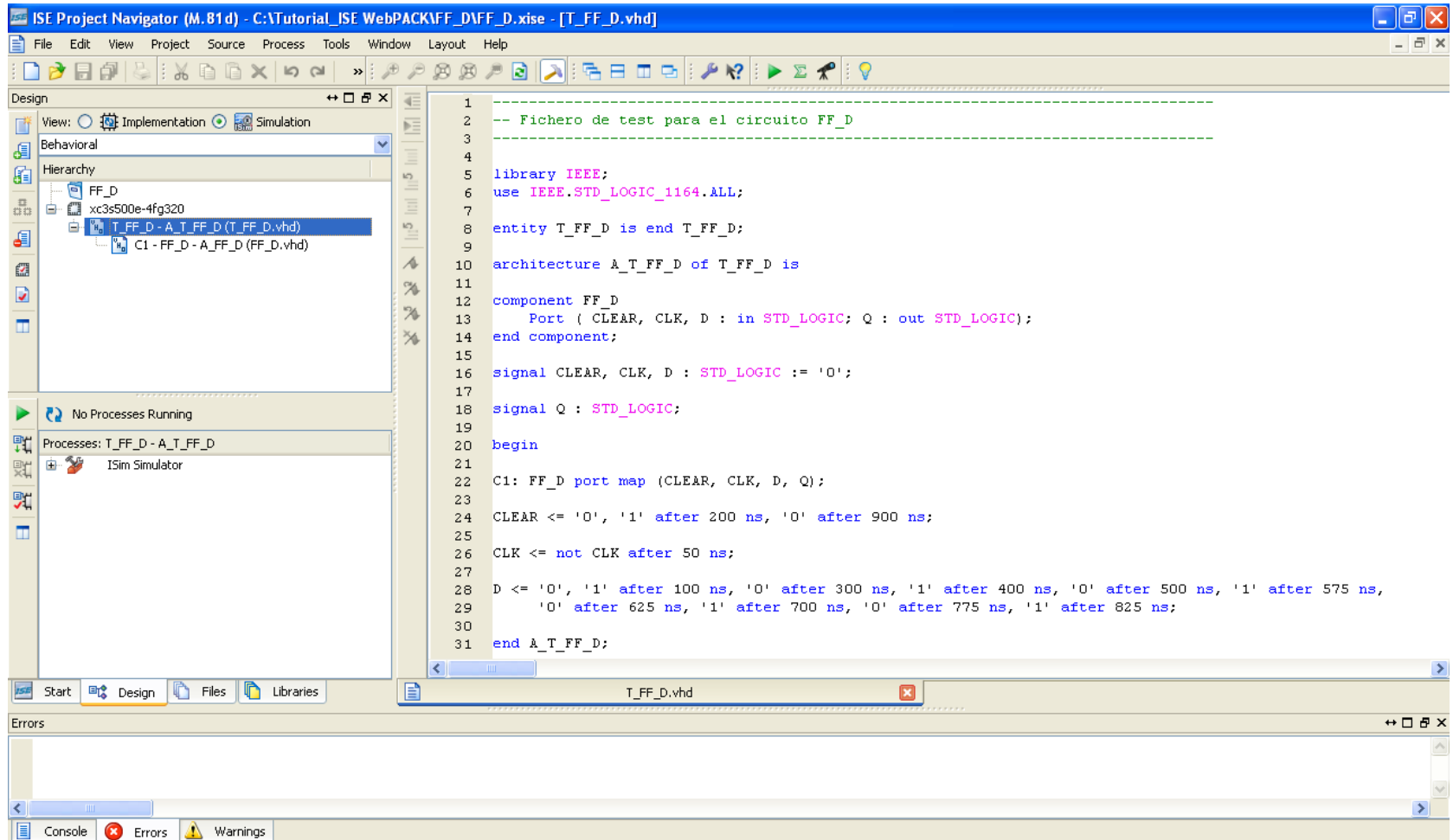
Creación de un fichero de test (III)

- Por último, aparece la ventana **New Source Wizard (Summary)** donde se resumen las especificaciones del fichero de test creado (T_FF_D.vhd en este caso).



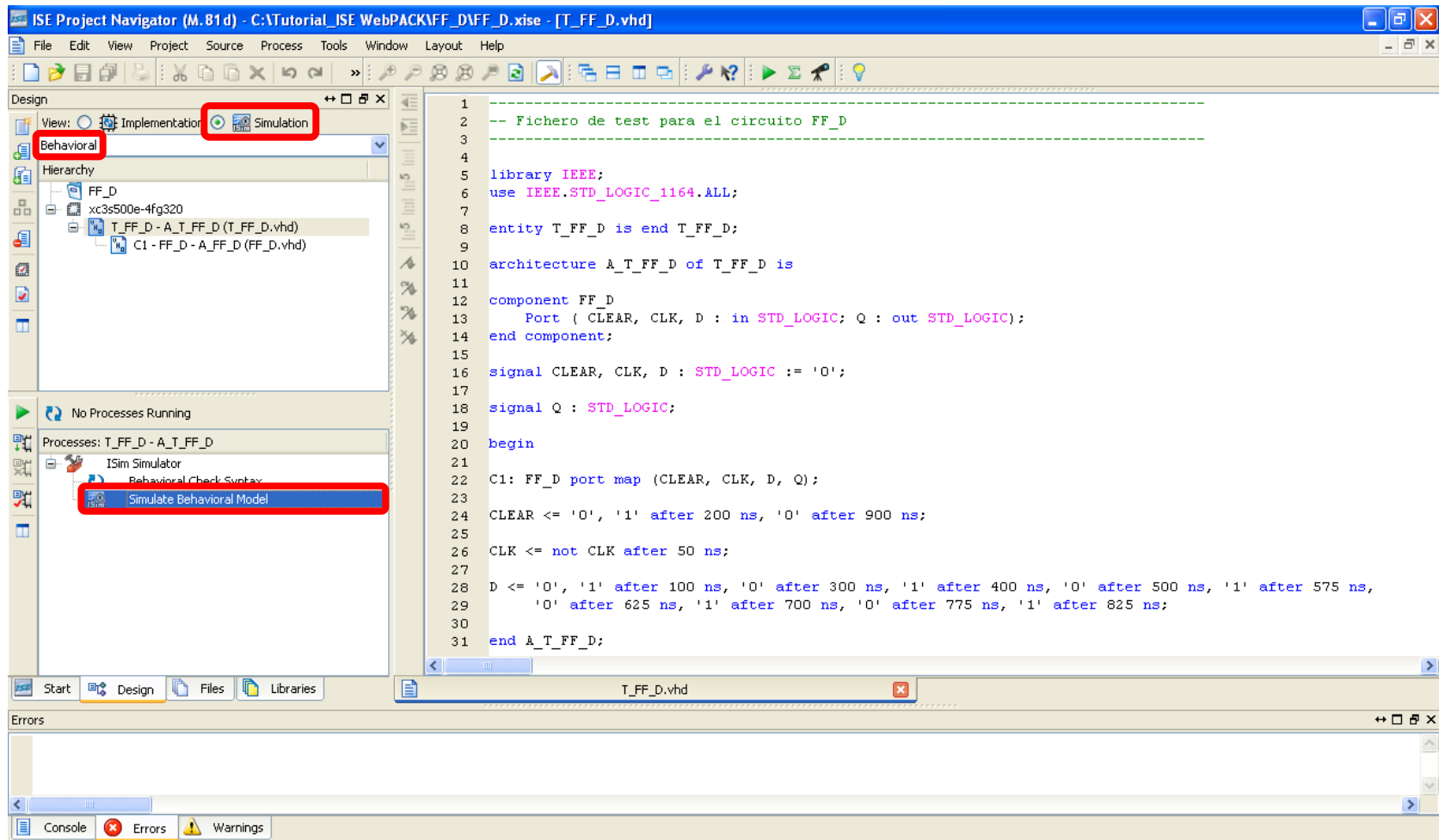
Creación de un fichero de test (IV)

- Una vez hecho esto, editamos el fichero fuente creado (T_FF_D.vhd) y lo dejamos con el contenido que se muestra en la figura.



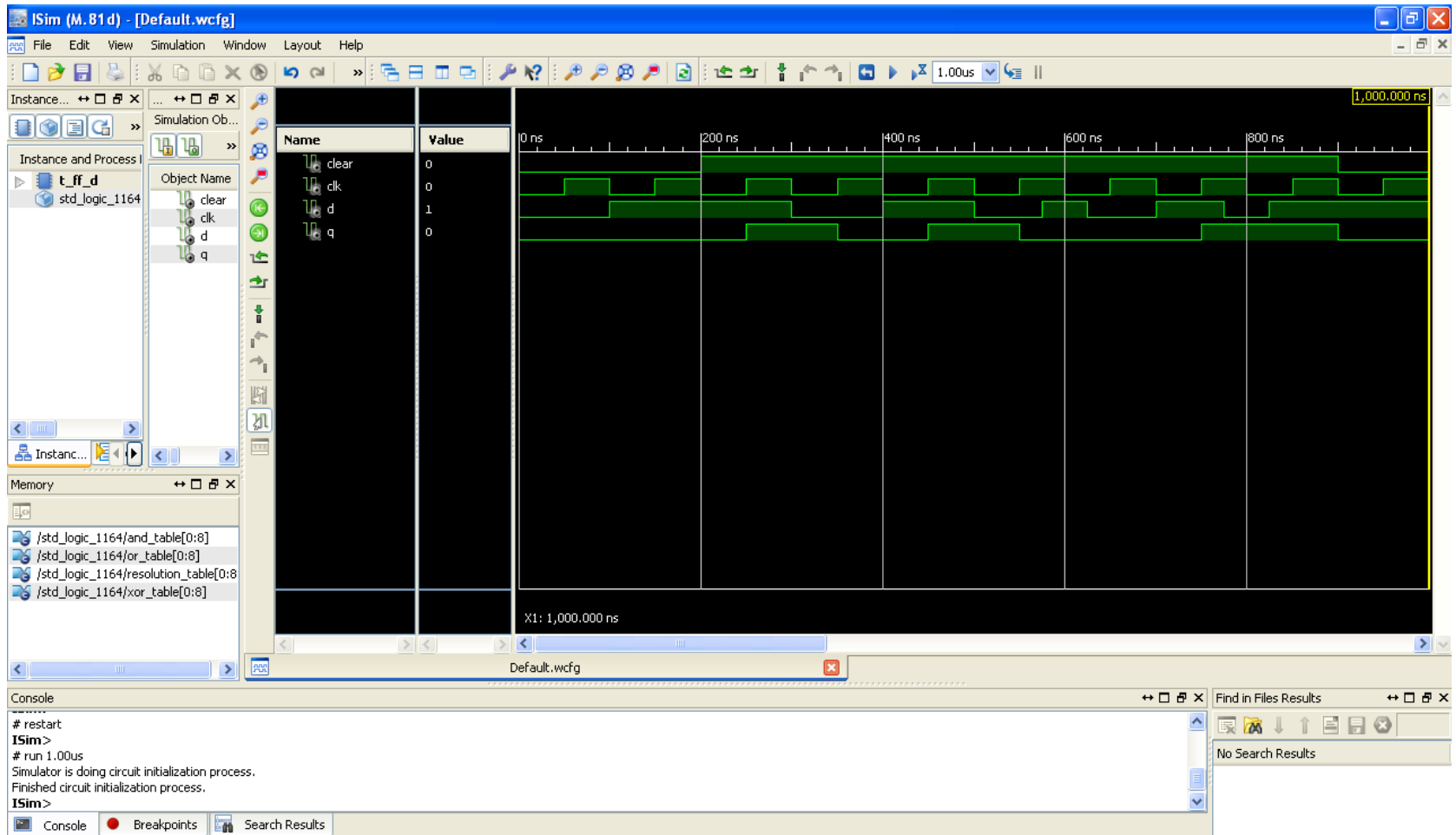
Simulación funcional (I)

- Para llevar a cabo la simulación funcional debemos activar **Simulation** en el área **"View"**, seleccionar la opción **Behavioral** y por último picar en el área de procesos sobre **Simulate Behavioral Model**.



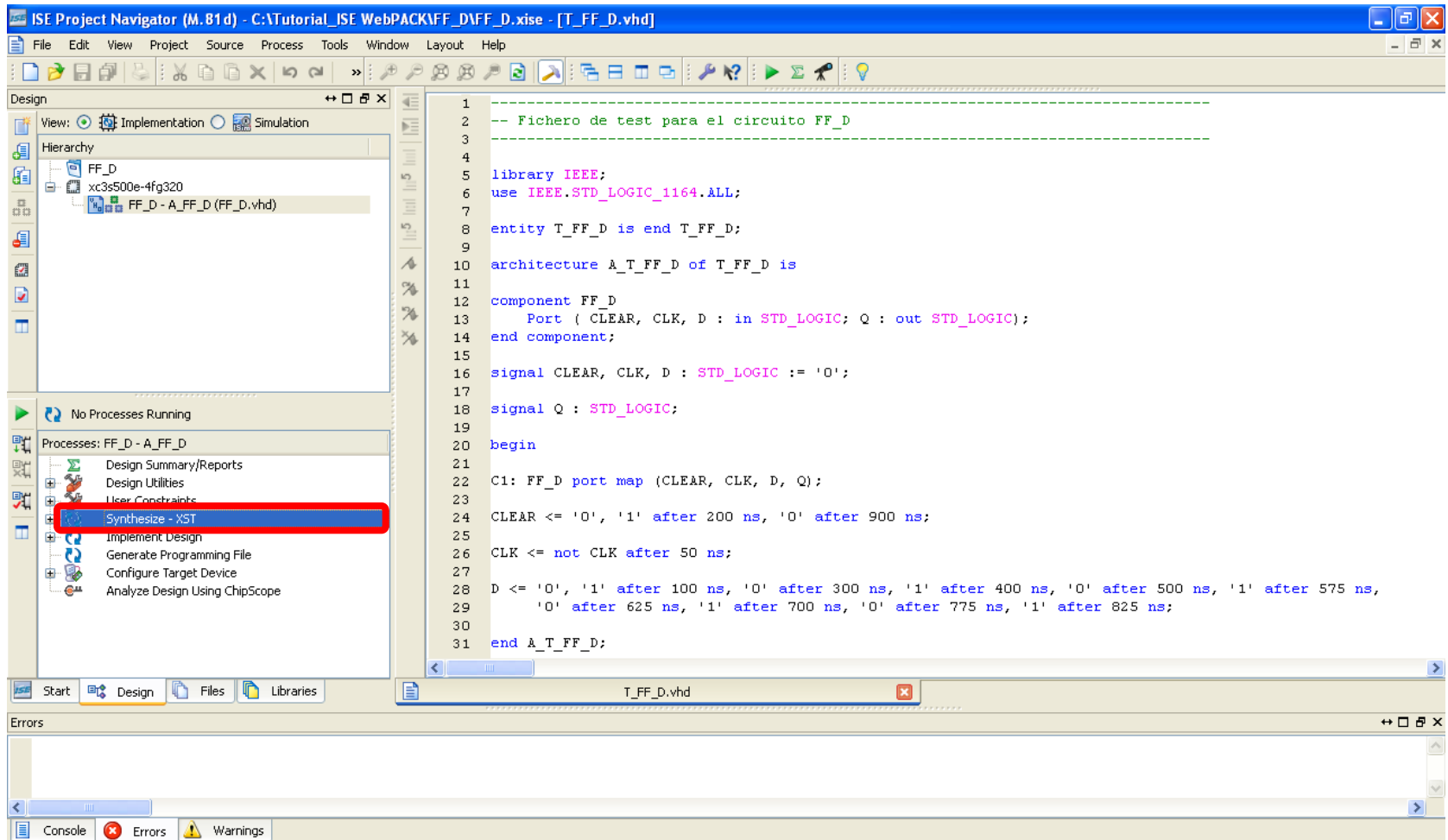
Simulación funcional (II)

- Hecho esto, se abre la aplicación **ISim** donde podemos comprobar el resultado de la simulación, como se aprecia en la figura.



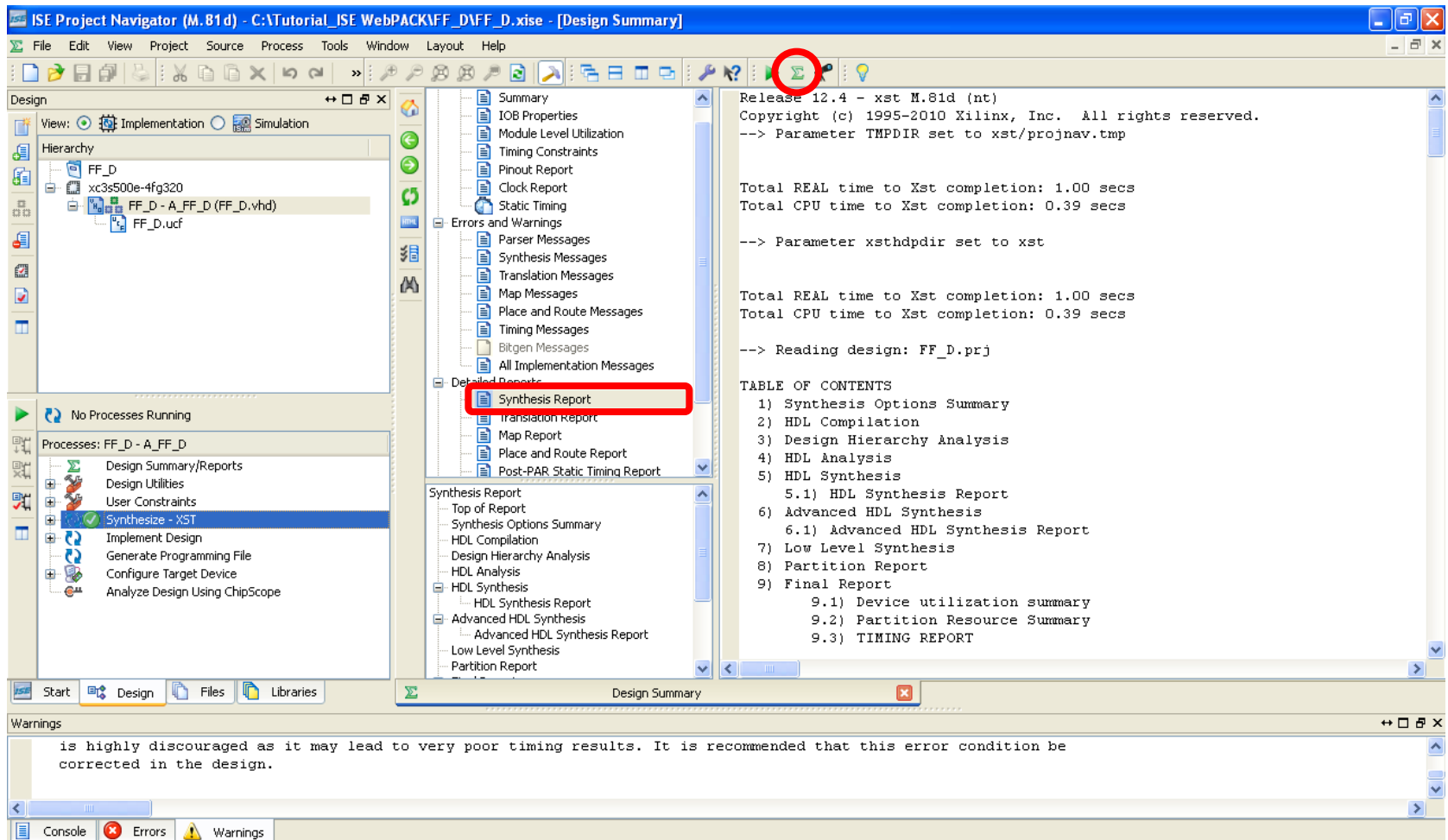
Síntesis del diseño (I)

- Llegados a este punto del proceso es conveniente realizar la síntesis del diseño, que generará las ecuaciones lógicas y el netlist del circuito. Para ello, basta con clicar en el área de procesos sobre la opción **Synthesize - XST**.



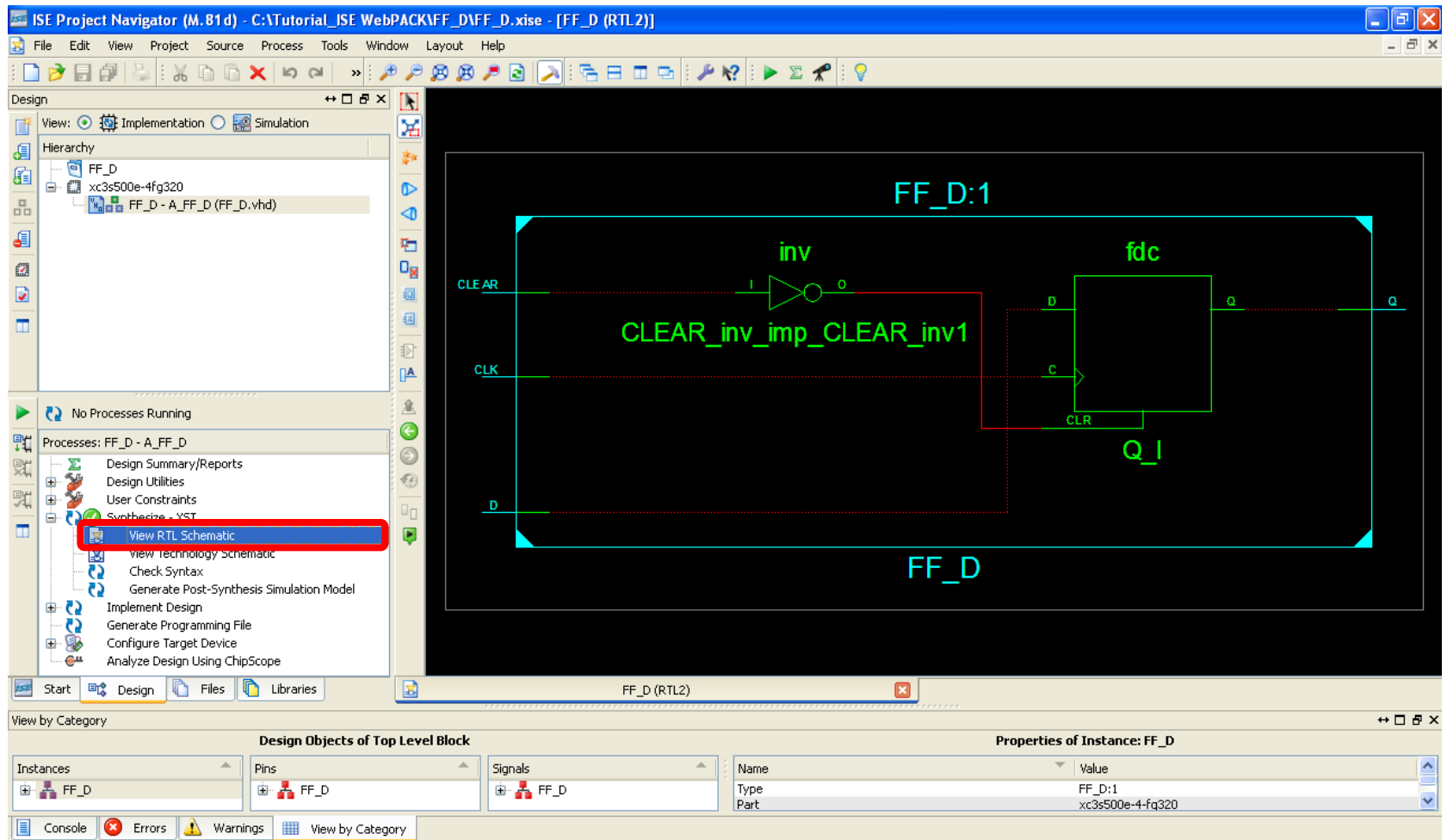
Síntesis del diseño (II)

- Tras la síntesis del diseño podemos visualizar un resumen de dicho proceso abriendo en primer lugar la ventana **Design Summary** mediante el botón **Design Summary/Reports** y picando a continuación sobre la opción **Synthesis Report**.



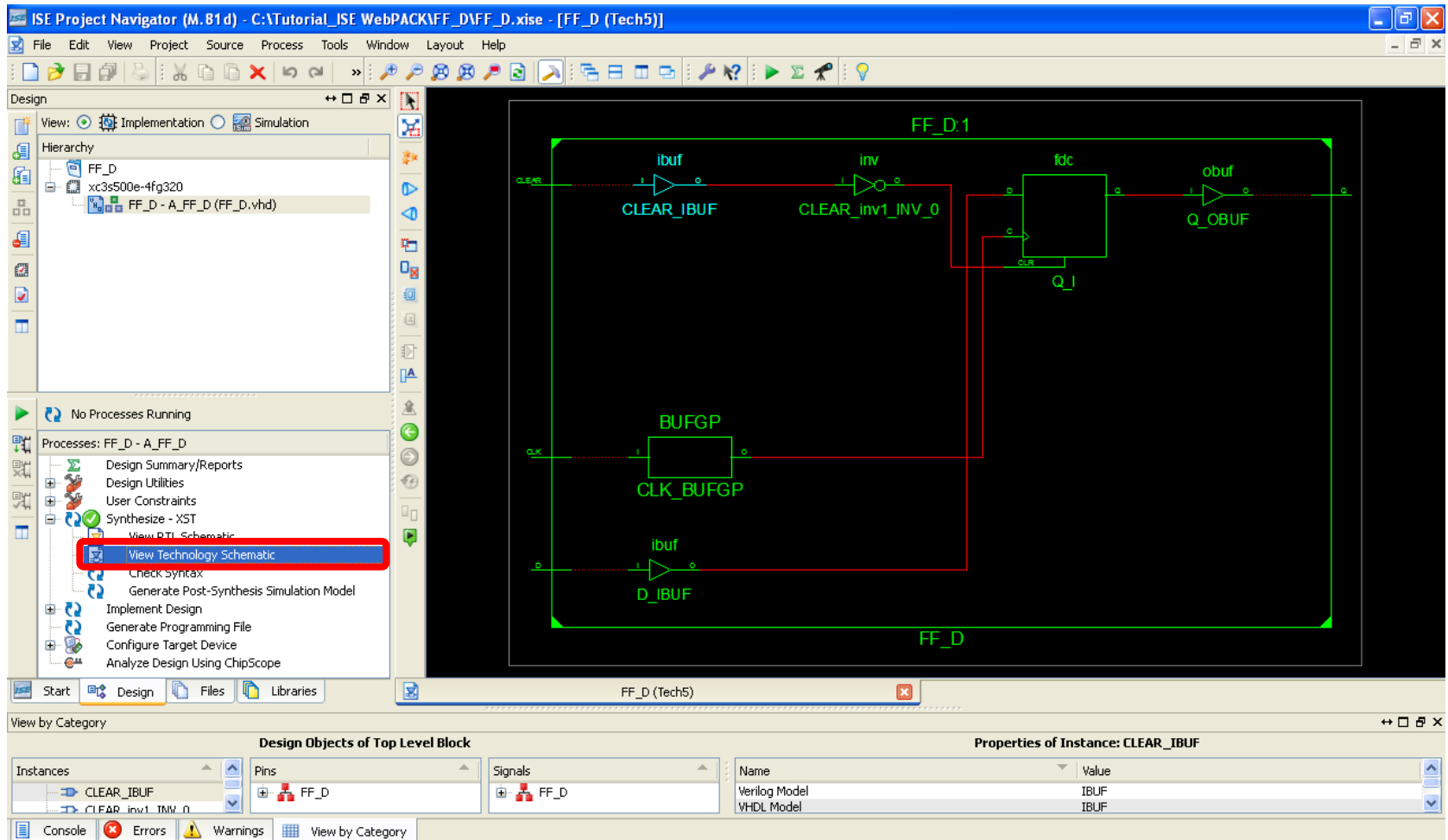
Síntesis del diseño (III)

- Desplegando la opción **Synthesis Report** podemos activar **View RTL Schematic** para visualizar el diagrama lógico generado a partir del fichero fuente.



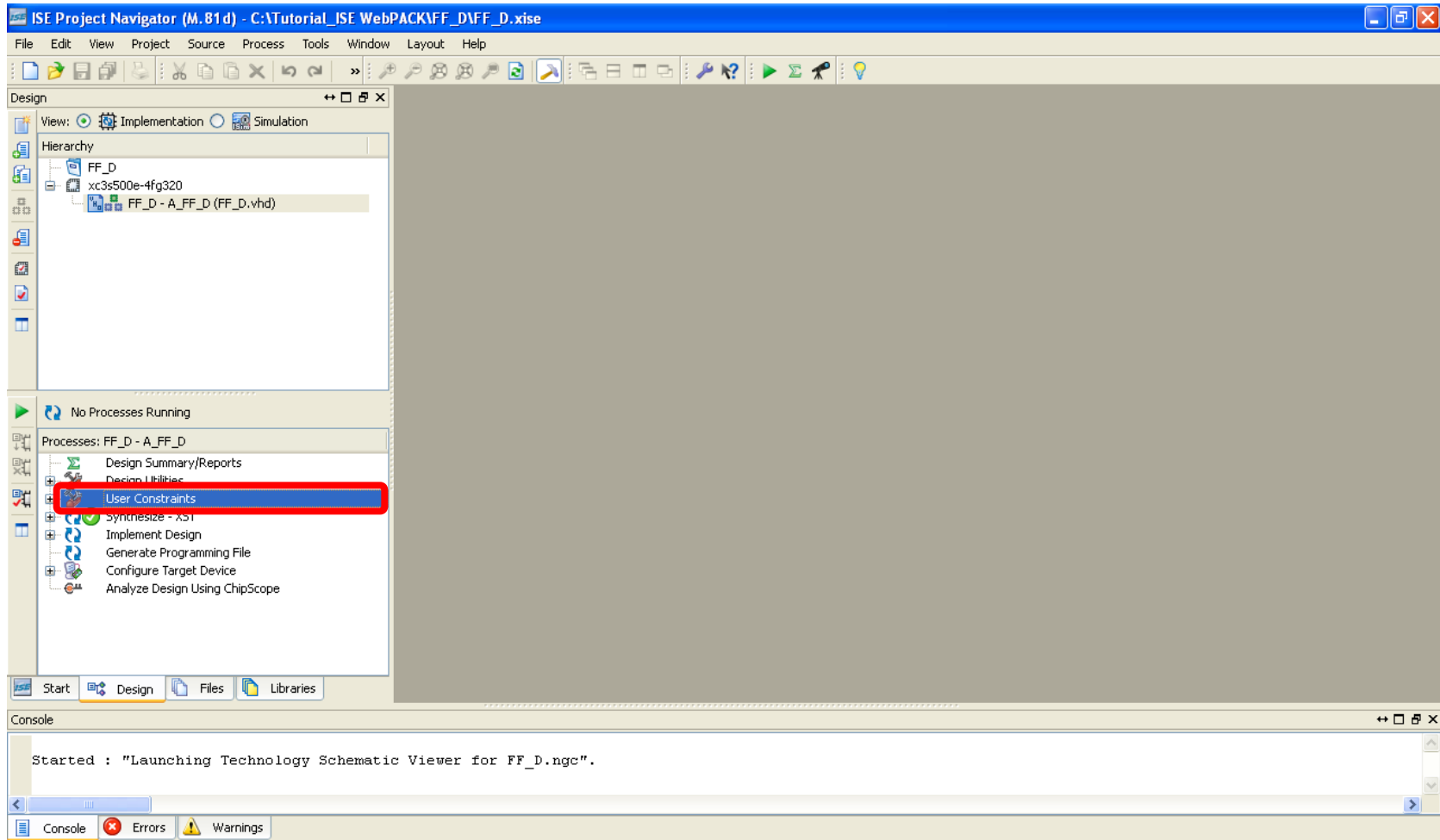
Síntesis del diseño (IV)

- Activando la opción **View Technology Schematic** podemos visualizar el modo en que se implementará el circuito generado en la FPGA.



Restricciones de usuario (I)

- Antes de implementar el circuito en la placa de desarrollo, es preciso especificar las restricciones de usuario. Estas restricciones permiten establecer las asignaciones de terminales en el chip o los retardos máximos de ciertas señales. Se generan mediante la opción **User Constraints**.

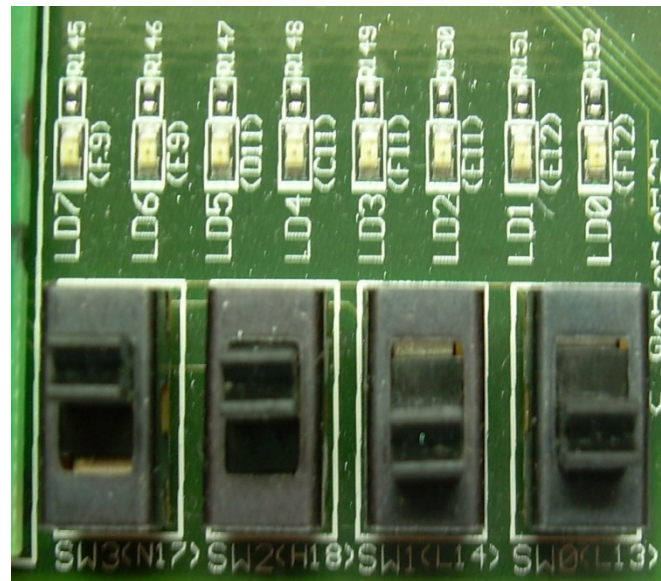


Restricciones de usuario (II)

- En el ejemplo que nos ocupa, las restricciones que impondremos consistirán únicamente en asignar los puertos del circuito a unos terminales específicos de la FPGA, para poder introducir las entradas mediante interruptores y visualizar el valor de la salida mediante un LED. La asignación concreta a realizar será la siguiente.

(F9)

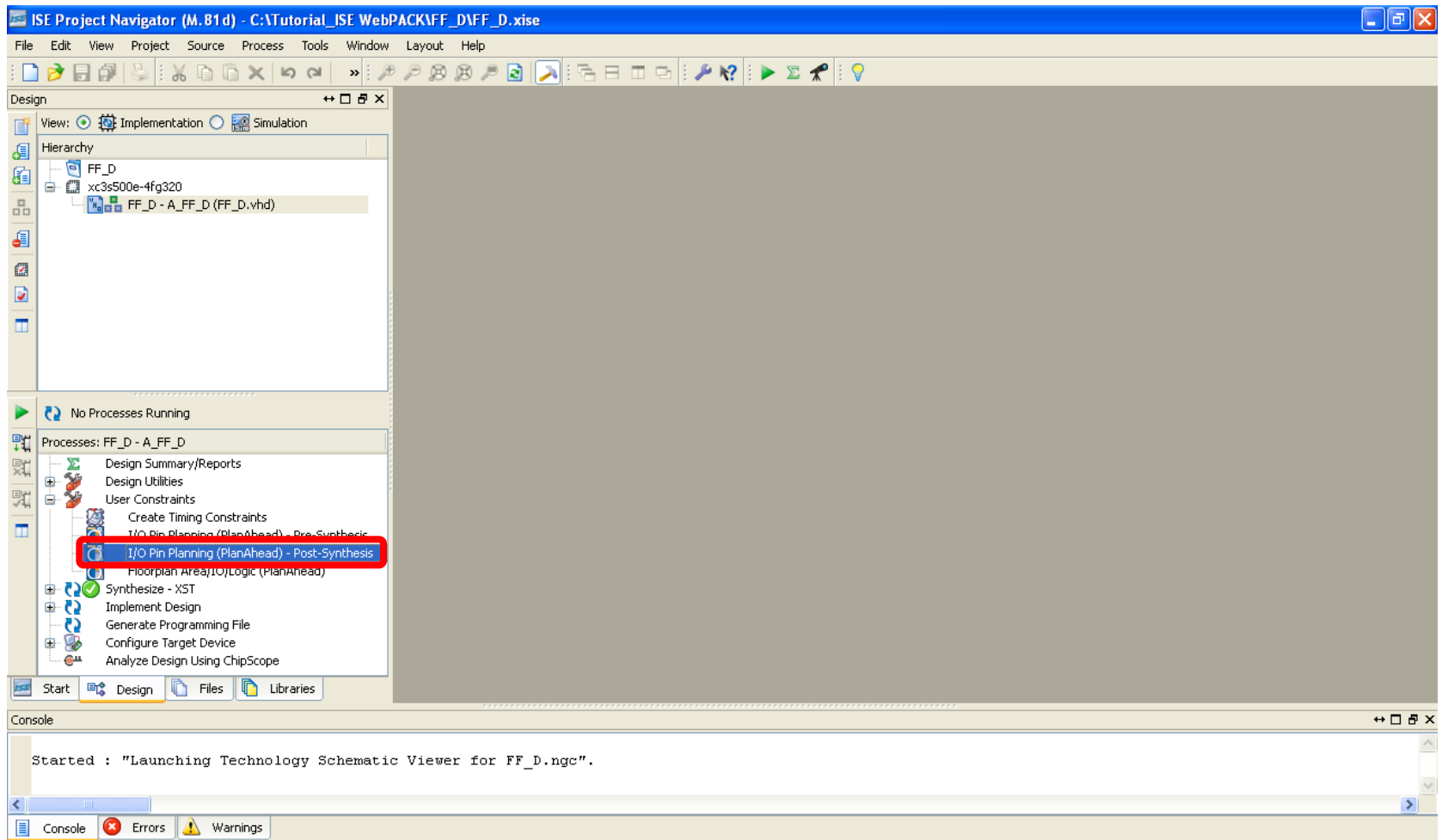
Q



CLEAR	CLK	D
(N17)	(H18)	(L14)

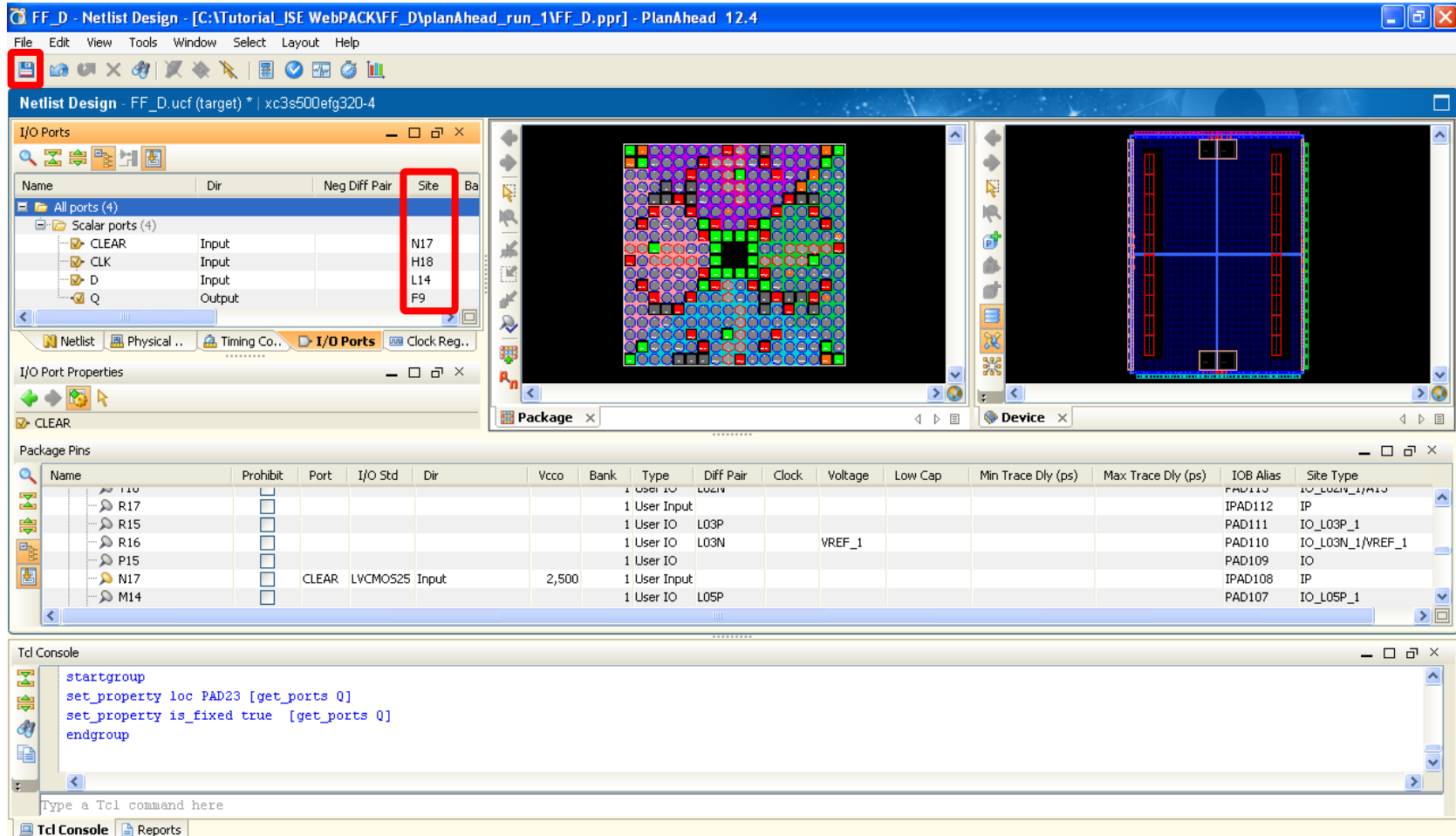
Restricciones de usuario (III)

- Para establecer las restricciones indicadas desplegaremos la opción **User Constraints** y a continuación activaremos **I/O Pin Planning (PlanAhead) - Post-Synthesis**.



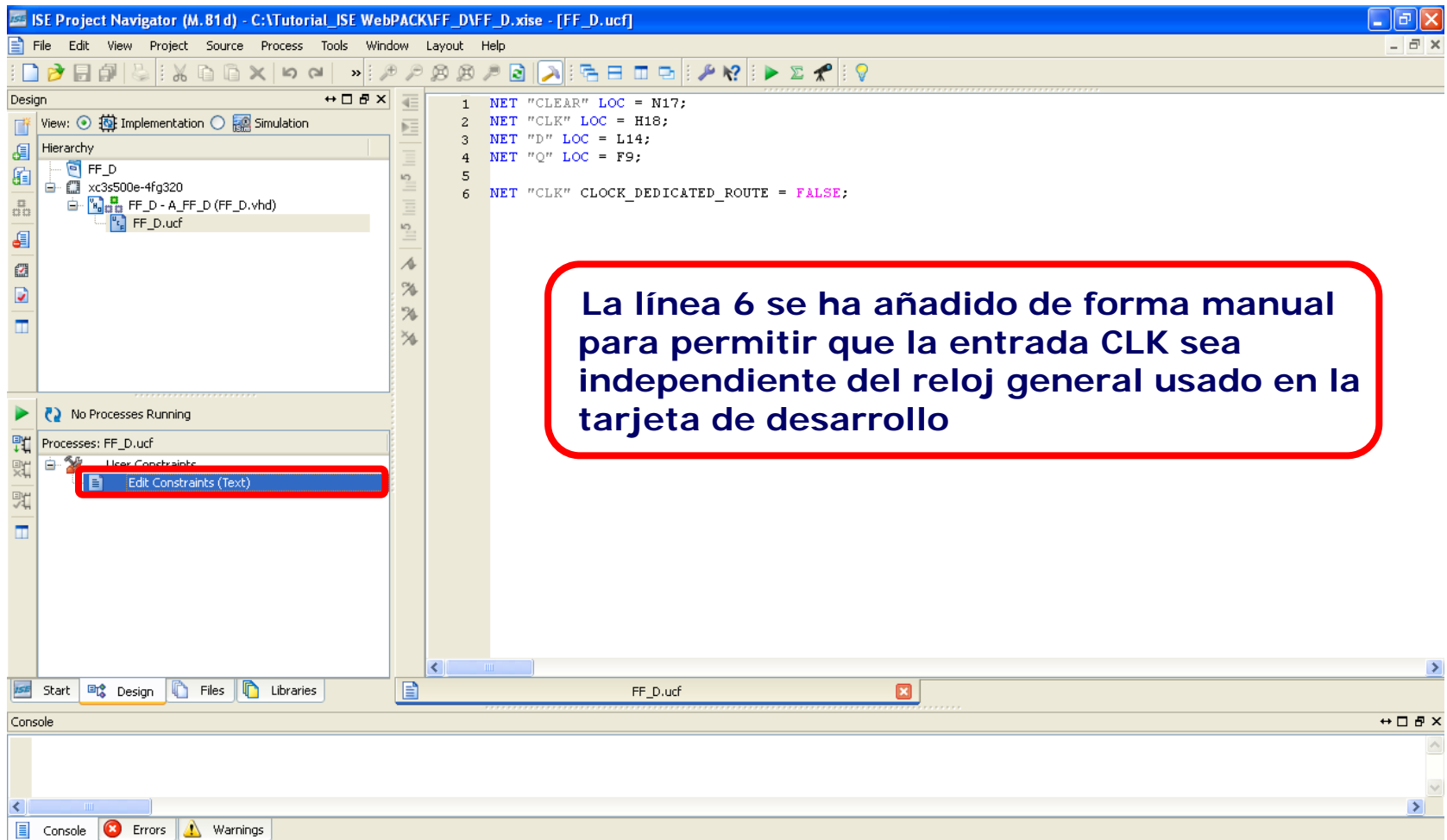
Restricciones de usuario (IV)

- Como consecuencia, se abre la aplicación **PlanAhead 12.4** en la que deberemos realizar la asignación de los terminales en la columna **"Site"**, como se muestra en la figura. Al picar sobre el botón **Save Design** se creará un fichero de restricciones de usuario que poseerá la extensión **".ucf" (user constraints file)**.



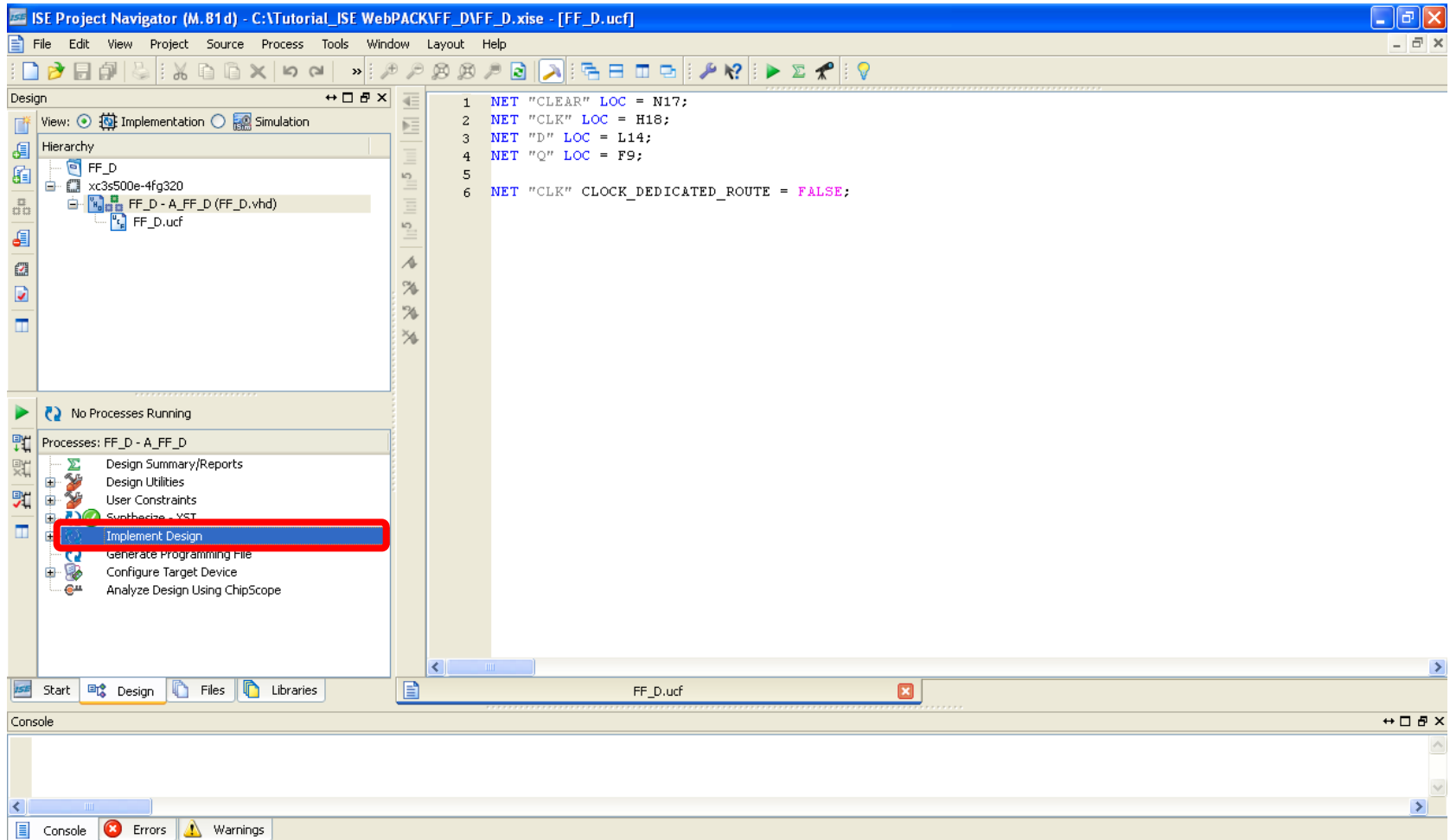
Restricciones de usuario (V)

- Para poder visualizar y editar el fichero ".ucf" se selecciona éste y a continuación se activa la opción **Edit Constraints (Text)**. El resultado es el que se muestra en la ventana de edición.



Implementación del diseño (I)

- Tras seleccionar el fichero fuente del circuito en el área de ficheros, para llevar a cabo la implementación del diseño activamos la opción **Implement Design** en el área de procesos. El proceso de implementación consta de tres pasos: **Translate**, **Map** y **Place & Route**, que pueden ejecutarse uno a uno desplegando el menú.



Implementación del diseño (II)

- El informe generado por la fase de asignación de recursos (**Map**) es especialmente importante, ya que muestra los errores cometidos y los elementos de la FPGA empleados para implementar el sistema.

ISE Project Navigator (M.81d) - C:\Tutorial_ISE WebPACK\FF_D\FF_D.xise - [Design Summary]

File Edit View Project Source Process Tools Window Layout Help

Design Overview

- Summary
- IOB Properties
- Module Level Utilization
- Timing Constraints
- Pinout Report
- Clock Report
- Static Timing
- Errors and Warnings
 - Parser Messages
 - Synthesis Messages
 - Translation Messages
 - Map Messages
 - Place and Route Messages
 - Timing Messages
 - Bitgen Messages
 - All Implementation Messages
- Detailed Reports
 - Synthesis Report
 - Translation Report
 - Map Report**
 - Place and Route Report

Map Report

- Top of Report
- Section 1: Errors
- Section 2: Warnings
- Section 3: Infos
- Section 4: Removed Logic Summary
- Section 5: Removed Logic
- Section 6: IOB Properties
- Section 7: RPMs
- Section 8: Guide Report
- Section 9: Area Group and Partition Summ...
- Section 10: Timing Report

Release 12.4 Map M.81d (nt)
Xilinx Mapping Report File for Design 'FF_D'

Design Information

Command Line : map -intstyle ise -p xc3s500e-fg320-4 -cm area -ir off -pr
-c 100 -o FF_D_map.ncd FF_D.ngd FF_D.pcf
Target Device : xc3s500e
Target Package : fg320
Target Speed : -4
Mapper Version : spartan3e -- \$Revision: 1.52.76.2 \$
Mapped Date : Sat Apr 09 17:31:11 2011

Design Summary

Number of errors: 0
Number of warnings: 0

Logic Utilization:

Logic Distribution:

Number of Slices containing only related logic:	0 out of	0
Number of Slices containing unrelated logic:	0 out of	0
*See NOTES below for an explanation of the effects of unrelated logic.		
Number of bonded IOBs:	4 out of	232 1%
IOB Flip Flops:	1	
Number of BUFMUXs:	1 out of	24 4%

Average Fanout of Non-Clock Nets: 0.50

Peak Memory Usage: 146 MB
Total REAL time to MAP completion: 6 secs
Total CPU time to MAP completion: 2 secs

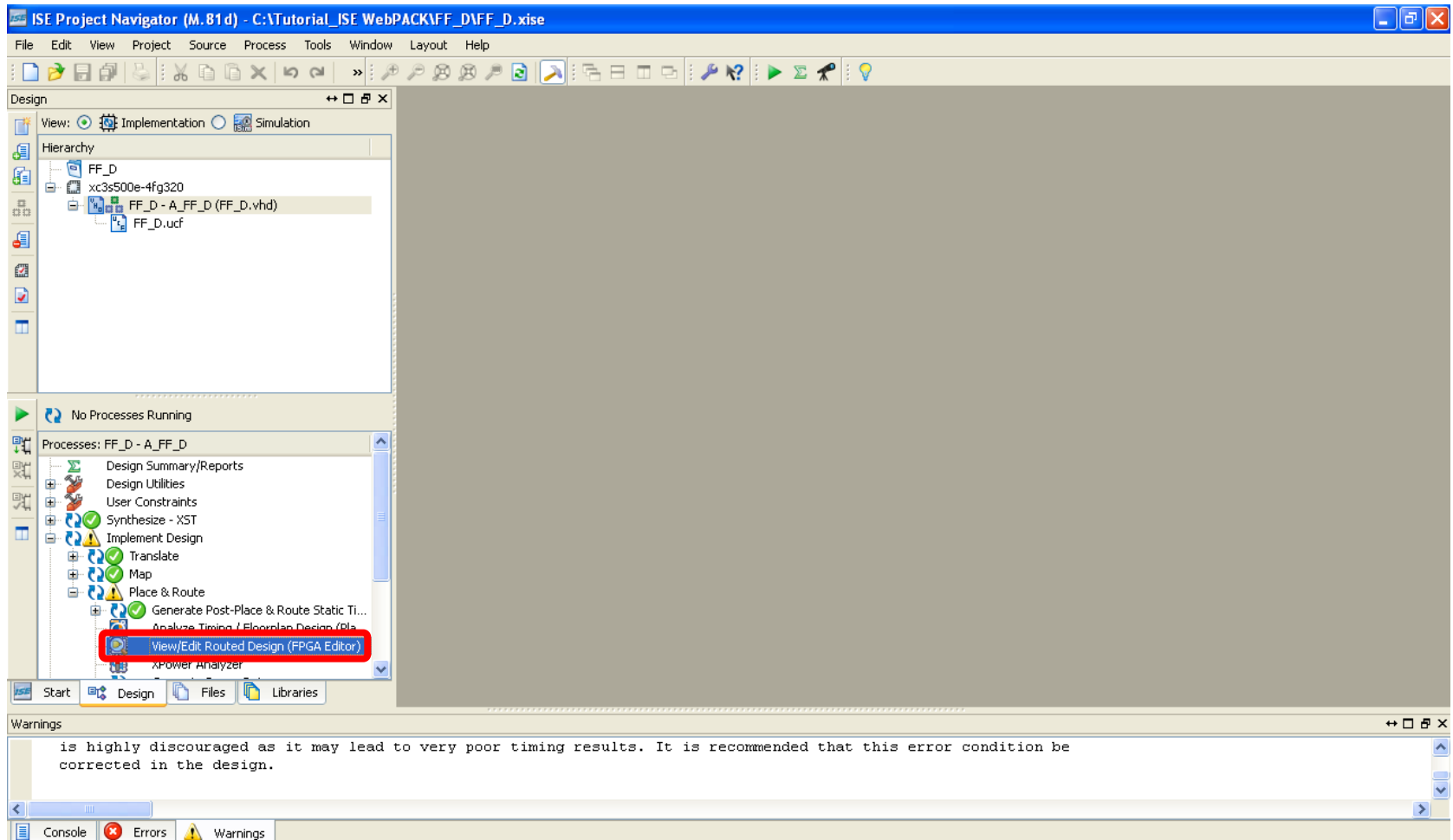
Warnings

is highly discouraged as it may lead to very poor timing results. It is recommended that this error condition be corrected in the design.

Console Errors Warnings

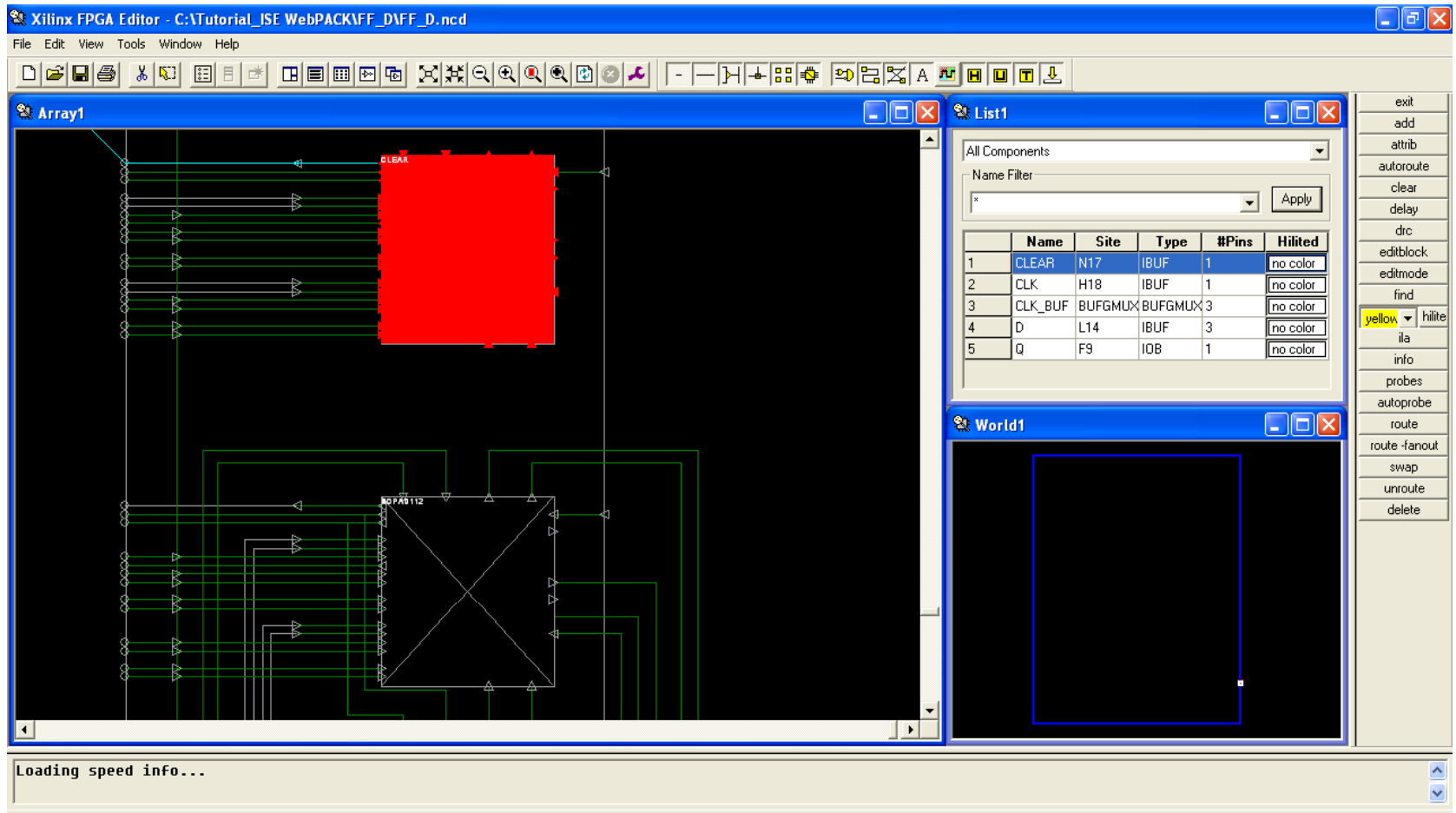
Implementación del diseño (III)

- Una vez ejecutado el paso de implementación **Place & Route** podemos visualizar y editar el trazado del diseño realizado en el interior de la FPGA activando la opción **View/Edit Routed Design (FPGA Editor)**.



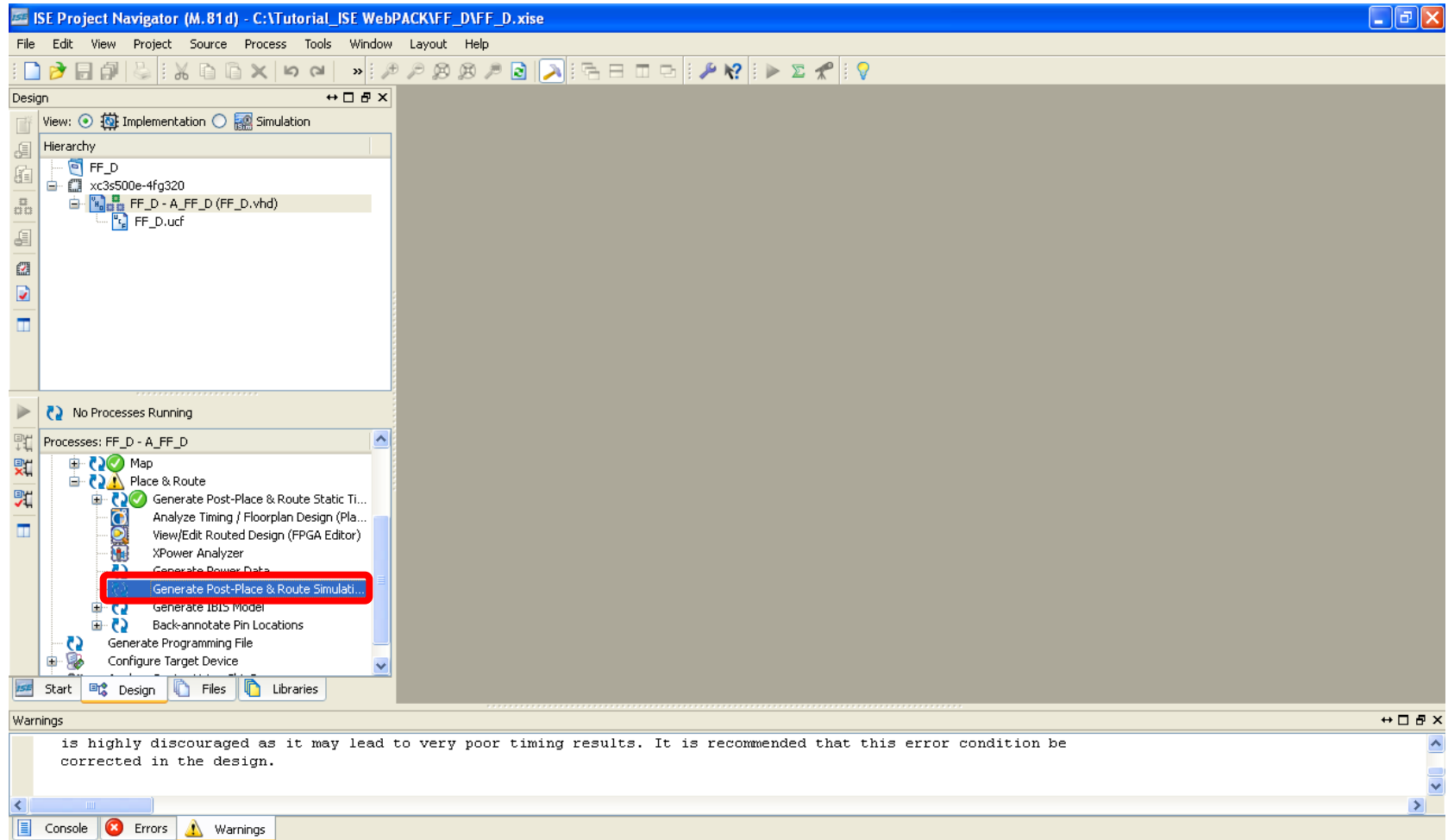
Implementación del diseño (IV)

- Al ejecutar **View/Edit Routed Design (FPGA Editor)** se abre la aplicación **Xilinx FPGA Editor**, cuyo entorno se muestra en la figura.



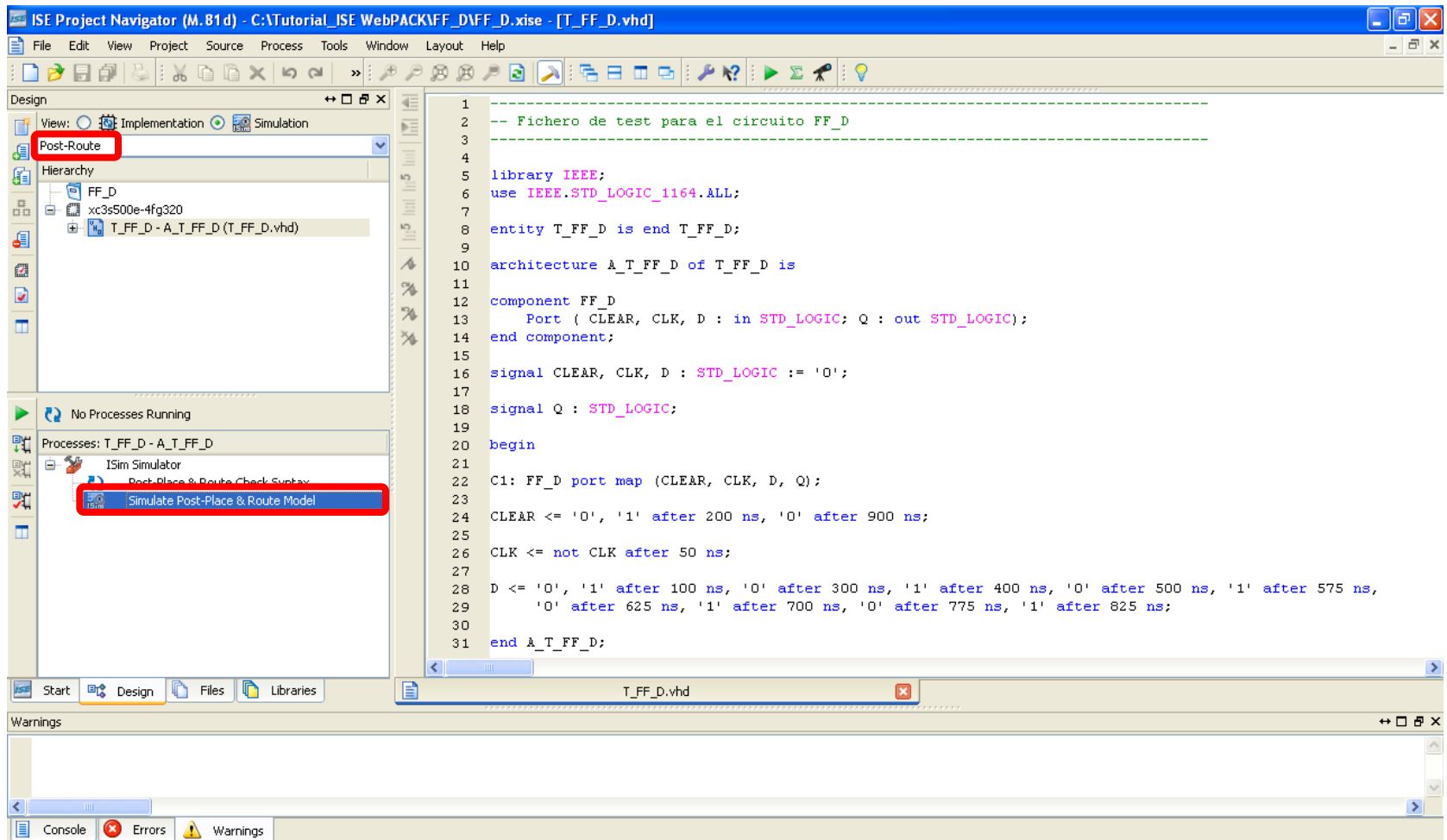
Simulación temporal (I)

- Una vez implementado el diseño podemos llevar a cabo su simulación temporal, en la que observaremos los retardos y los transitorios que se producirán cuando el circuito funcione en la tarjeta de desarrollo FPGA. Para ello debemos generar un modelo mediante la opción **Generate Post-Place & Route Simulation Model**.



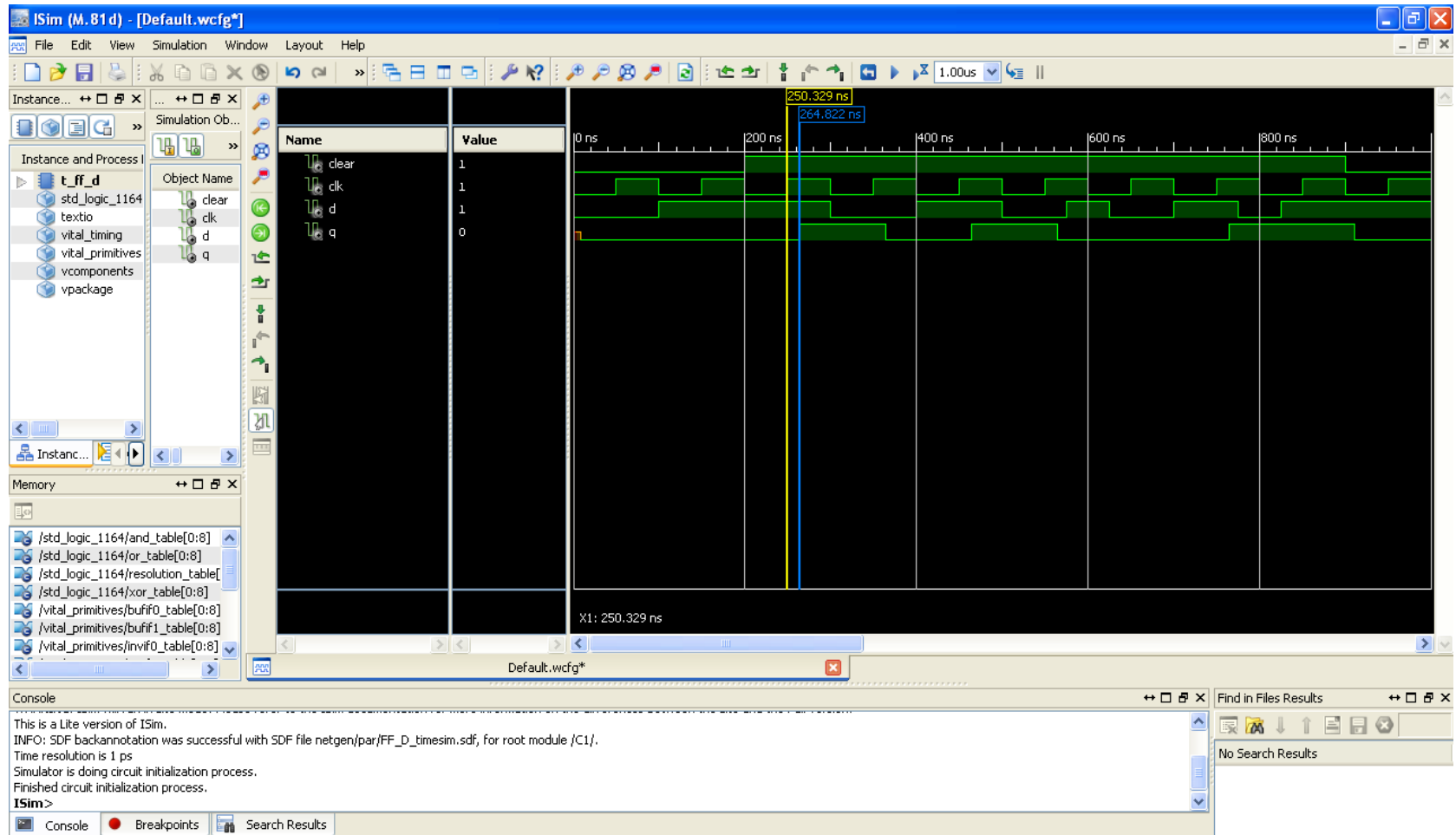
Simulación temporal (II)

- A continuación se debe seleccionar la opción **Post Route** y seguidamente en el área de procesos se debe picar sobre **Simulate Post-Place & Route Model**.



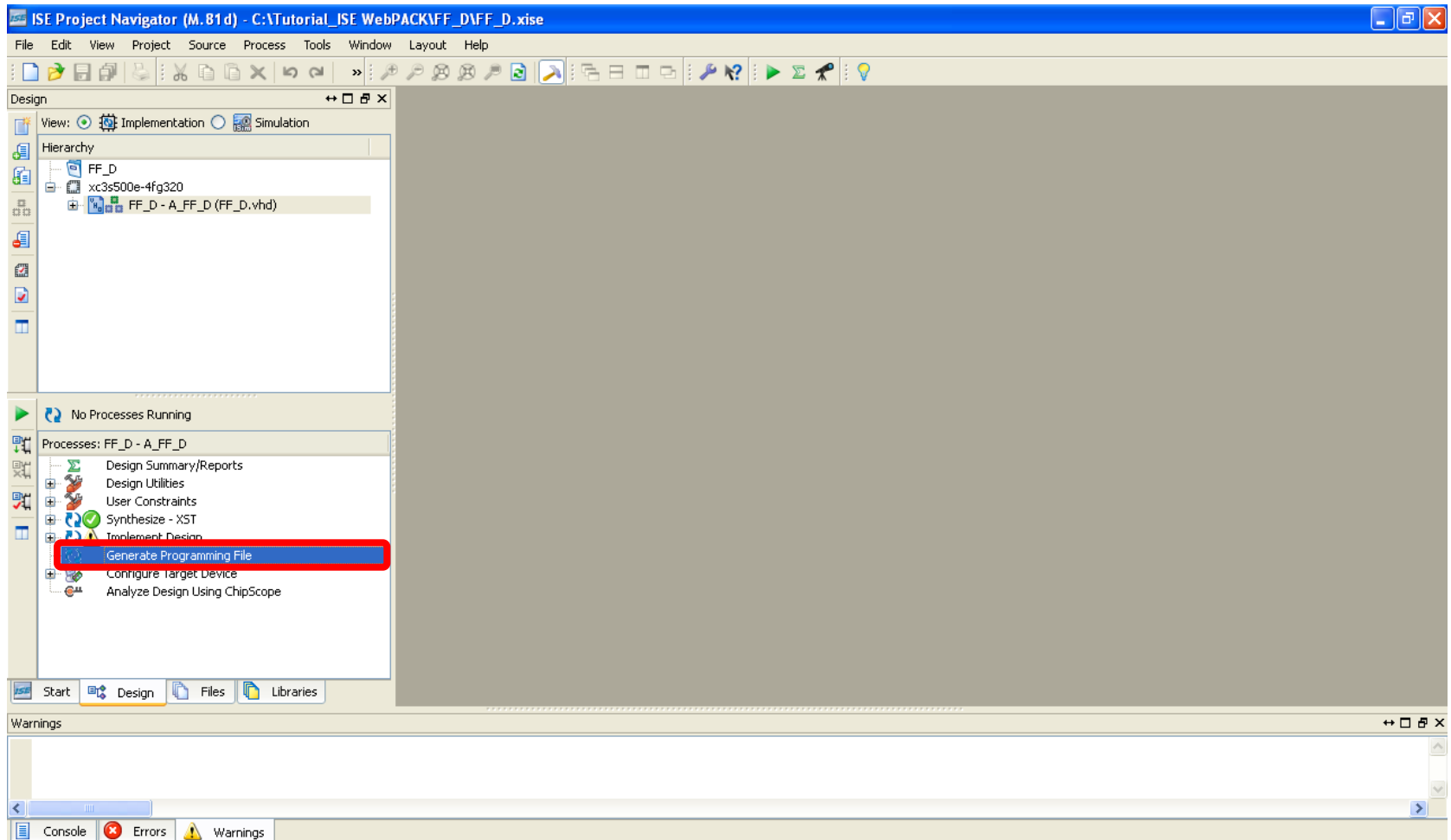
Simulación temporal (III)

- Hecho esto, se abre la aplicación **ISim** donde podemos comprobar el resultado de la simulación (con retardos), como se aprecia en la figura.



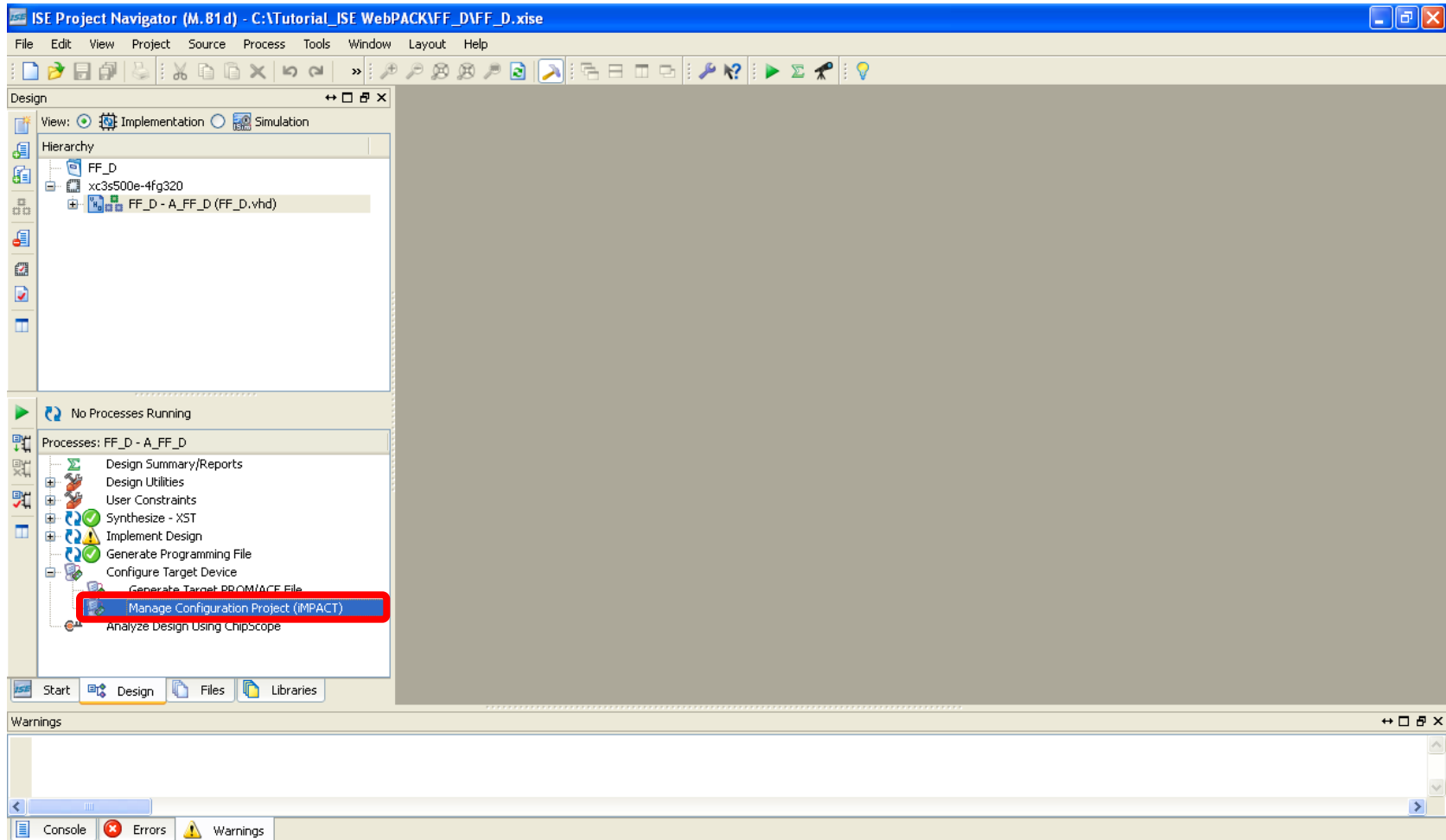
Generación del fichero de programación

- Una vez finalizado con éxito el proceso de implementación del diseño procederemos a generar el fichero de programación activando la opción **Generate Programming File** en el área de procesos.



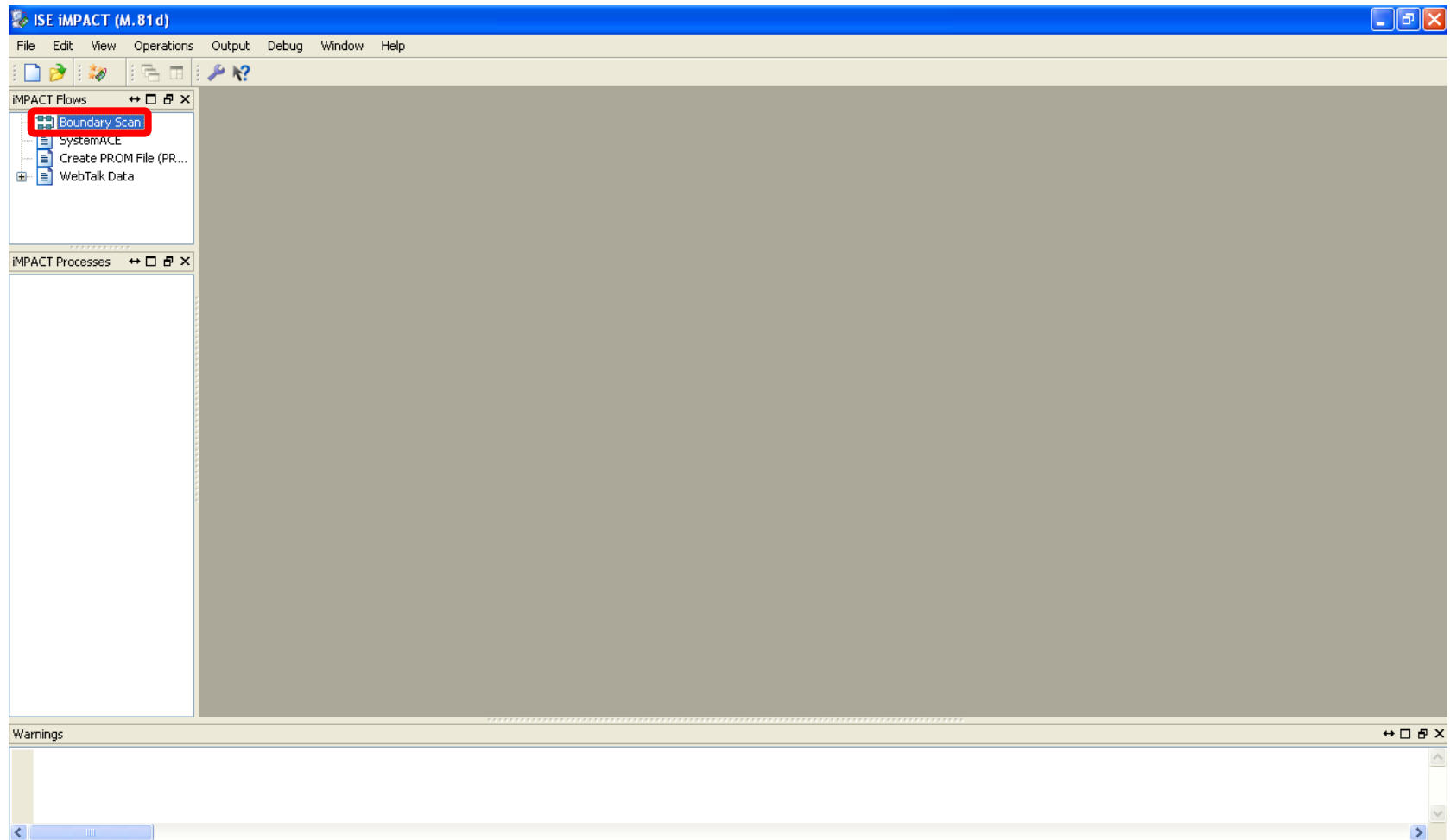
Configuración del proceso de programación (I)

- Tras generar el fichero de programación debemos especificar cuáles de los dispositivos programables incluidos en la tarjeta de desarrollo vamos a programar y seleccionar los ficheros que usaremos a tal efecto. Para ello en **Configure Target Device** activamos la opción **Manage Configuration Project (iMPACT)**.



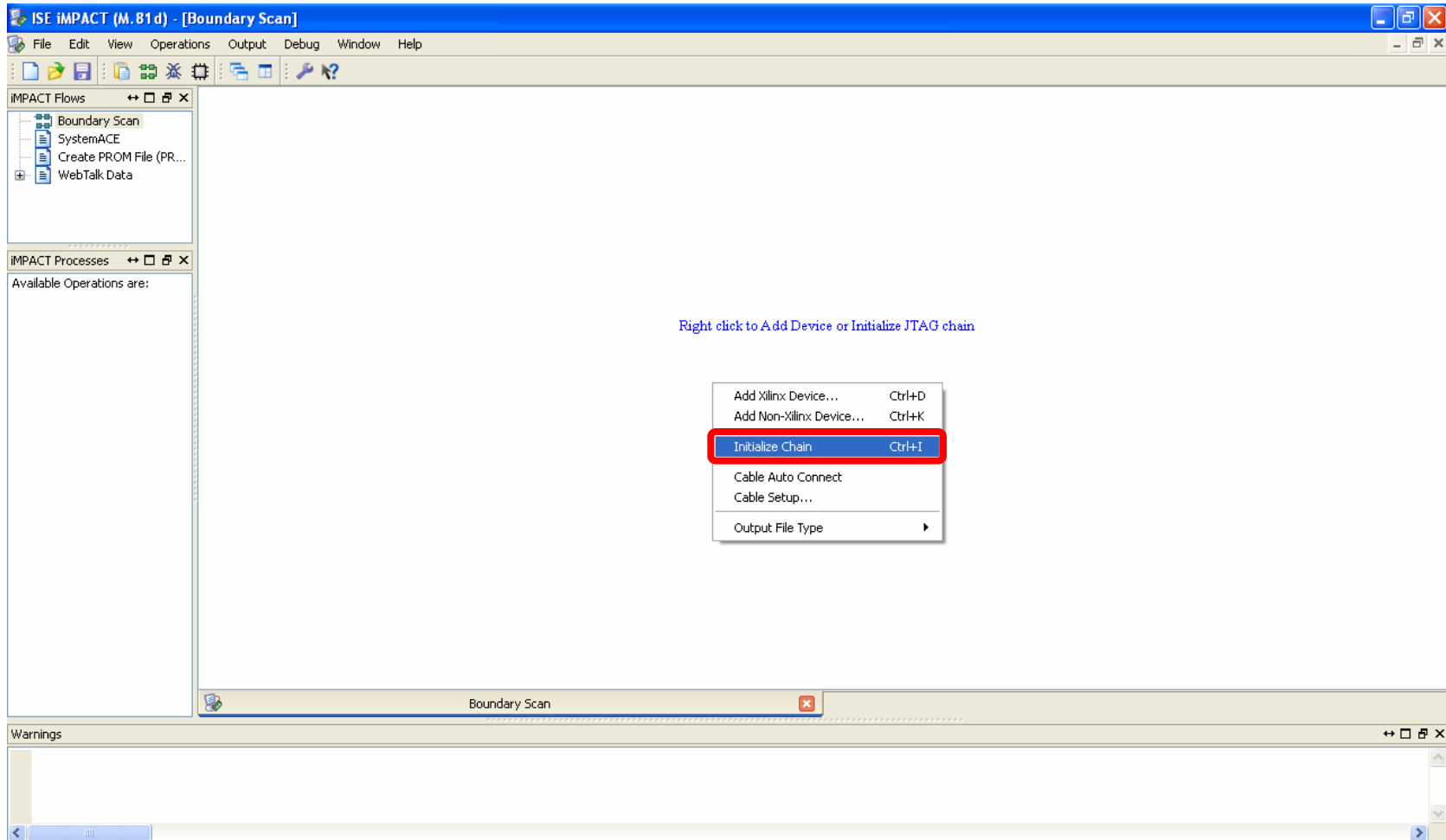
Configuración del proceso de programación (II)

- Al activar la opción **Manage Configuration Project (iMPACT)** se abre la aplicación **ISE Impact**, donde haremos doble "click" sobre la opción **Boundary Scan**.



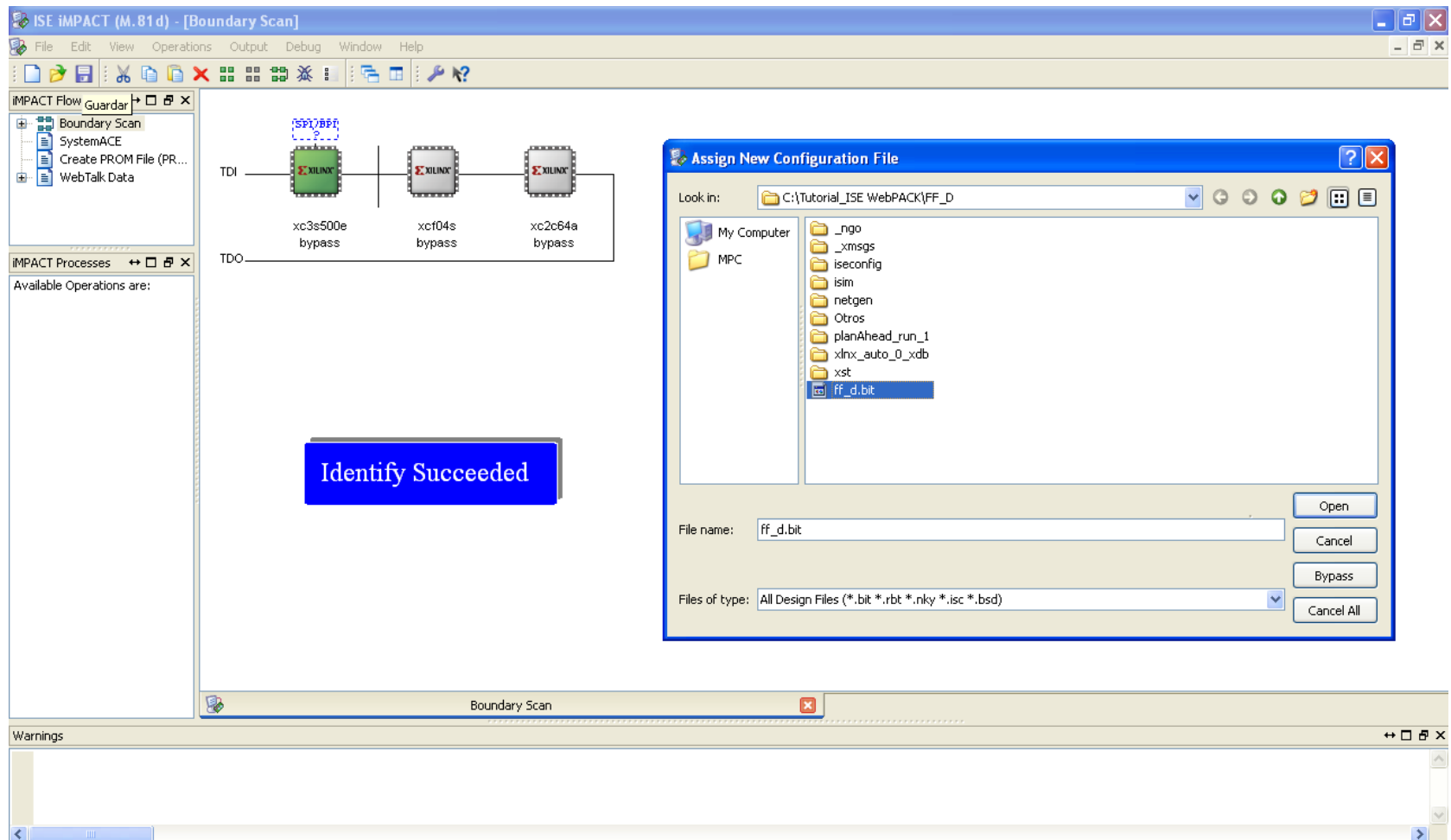
Configuración del proceso de programación (III)

- A continuación conectamos el alimentador a la tarjeta, conectamos ésta al PC mediante el cable USB y activamos el interruptor de encendido de la misma. Seguidamente, picamos con el botón derecho en la ventana y seleccionamos la opción **Initialize Chain** en el menú que aparece para establecer la conexión.



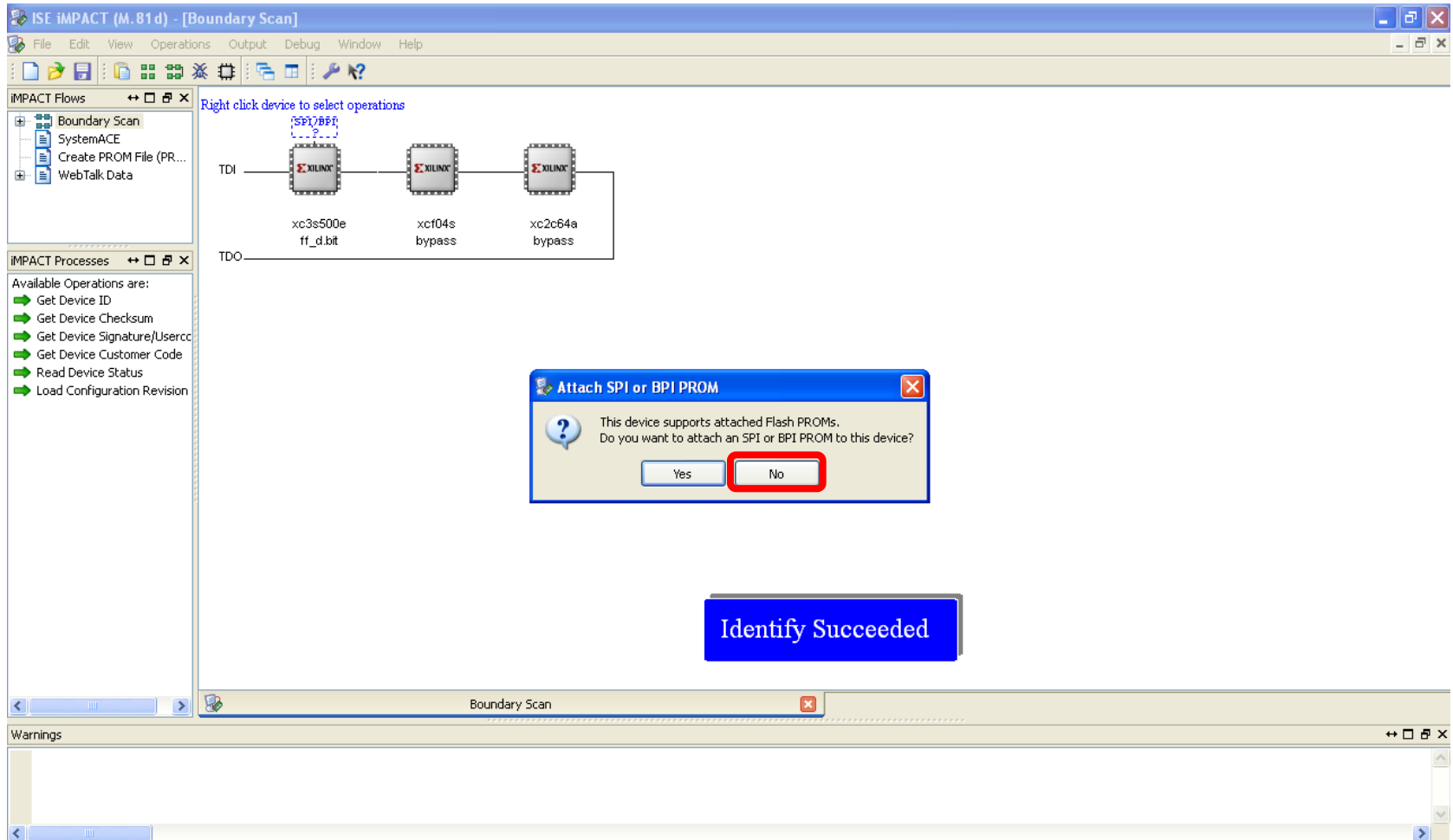
Configuración del proceso de programación (IV)

- Hecho esto, en la parte izquierda de la ventana aparece seleccionado el símbolo de la **FPGA (xc3s500e)**. En la ventana **Assign New Configuration File** seleccionamos el fichero **ff_d.bit** y después activamos **Open**.



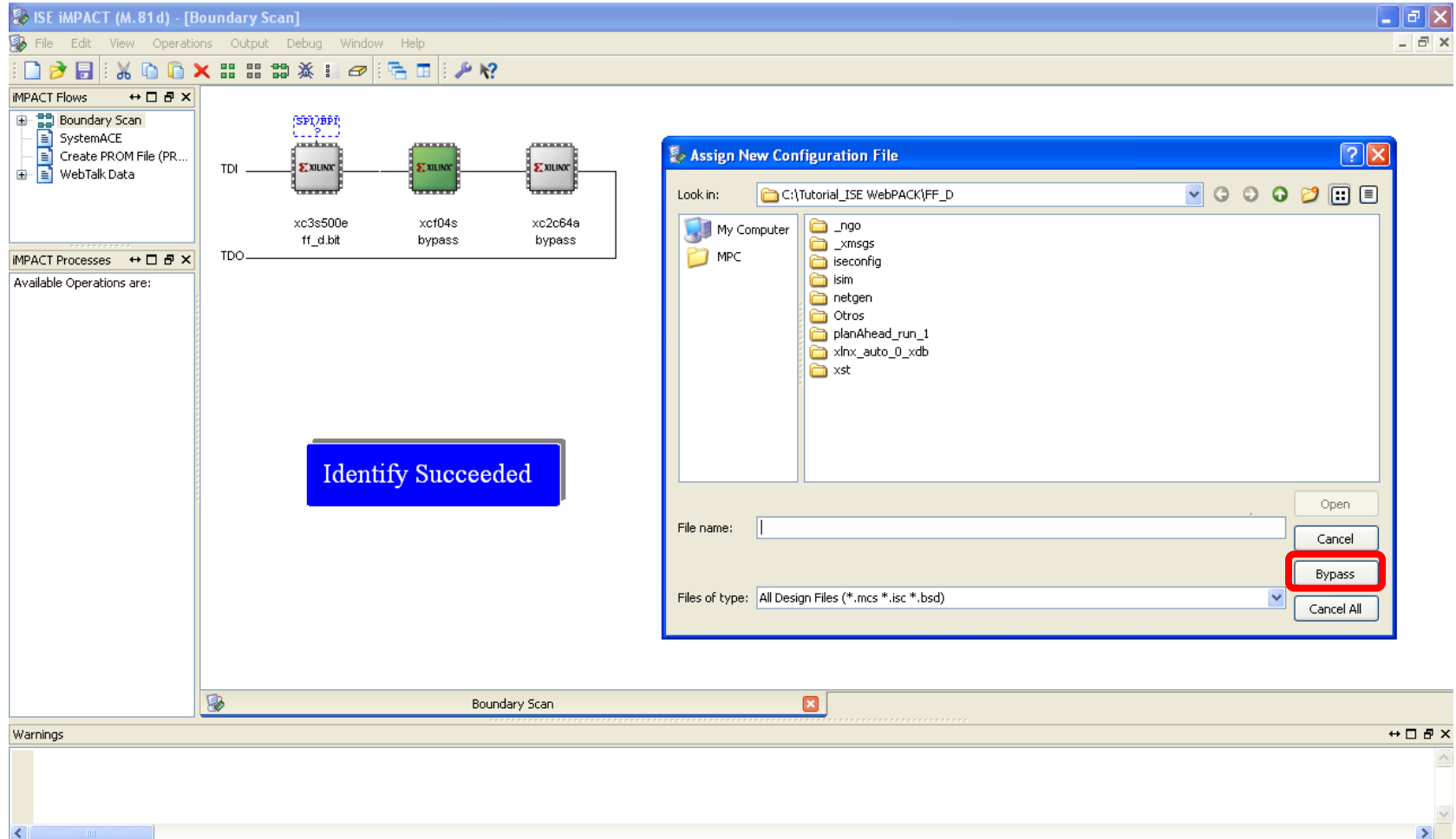
Configuración del proceso de programación (V)

- Seguidamente, en la ventana **Attach SPI or BPI PROM** picamos sobre la opción **No**.



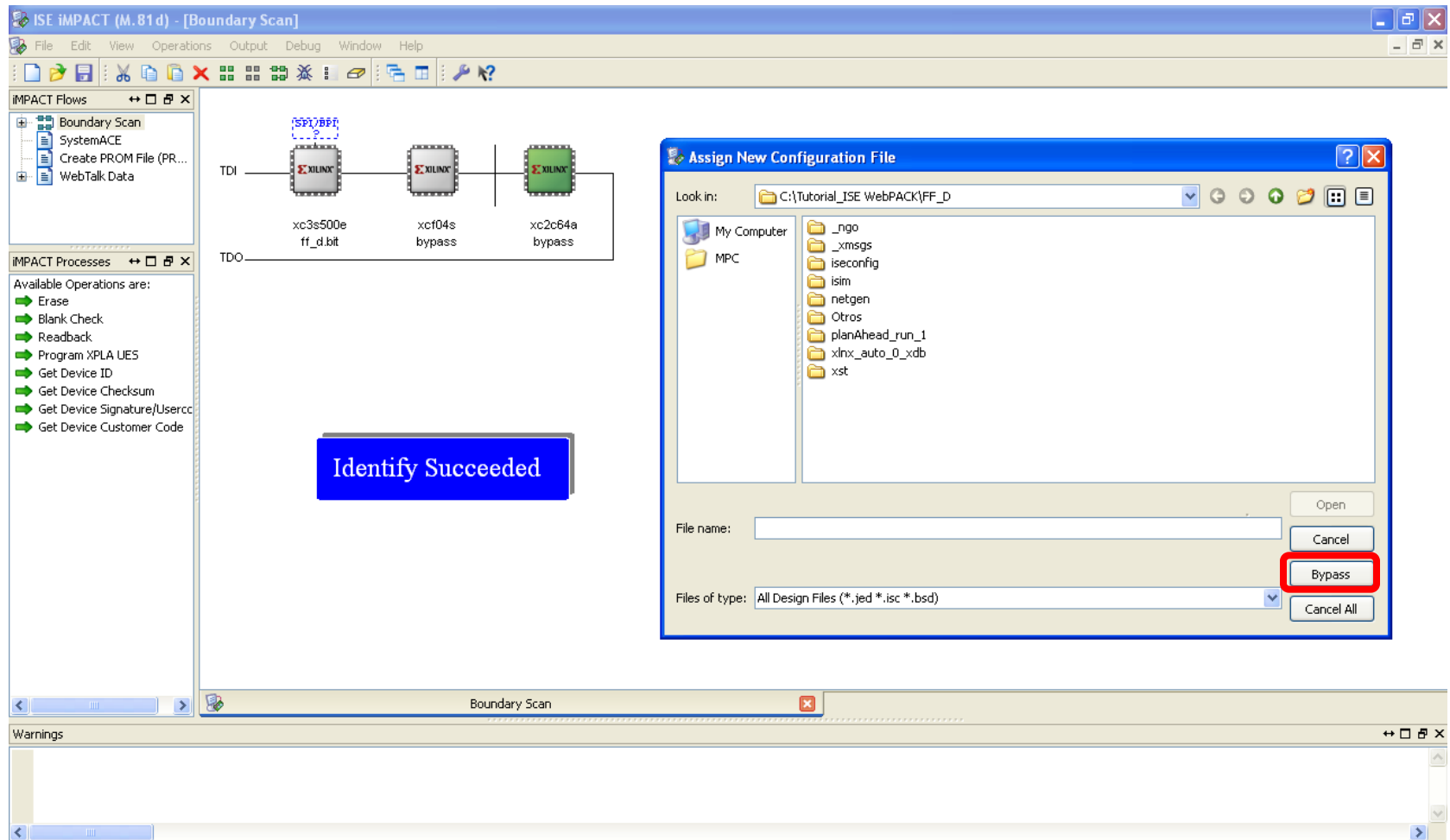
Configuración del proceso de programación (VI)

- Cuando aparece seleccionado el símbolo de la **Flash PROM (xcf04s)**, en la ventana **Assign New Configuration File** picamos sobre la opción **Bypass**.



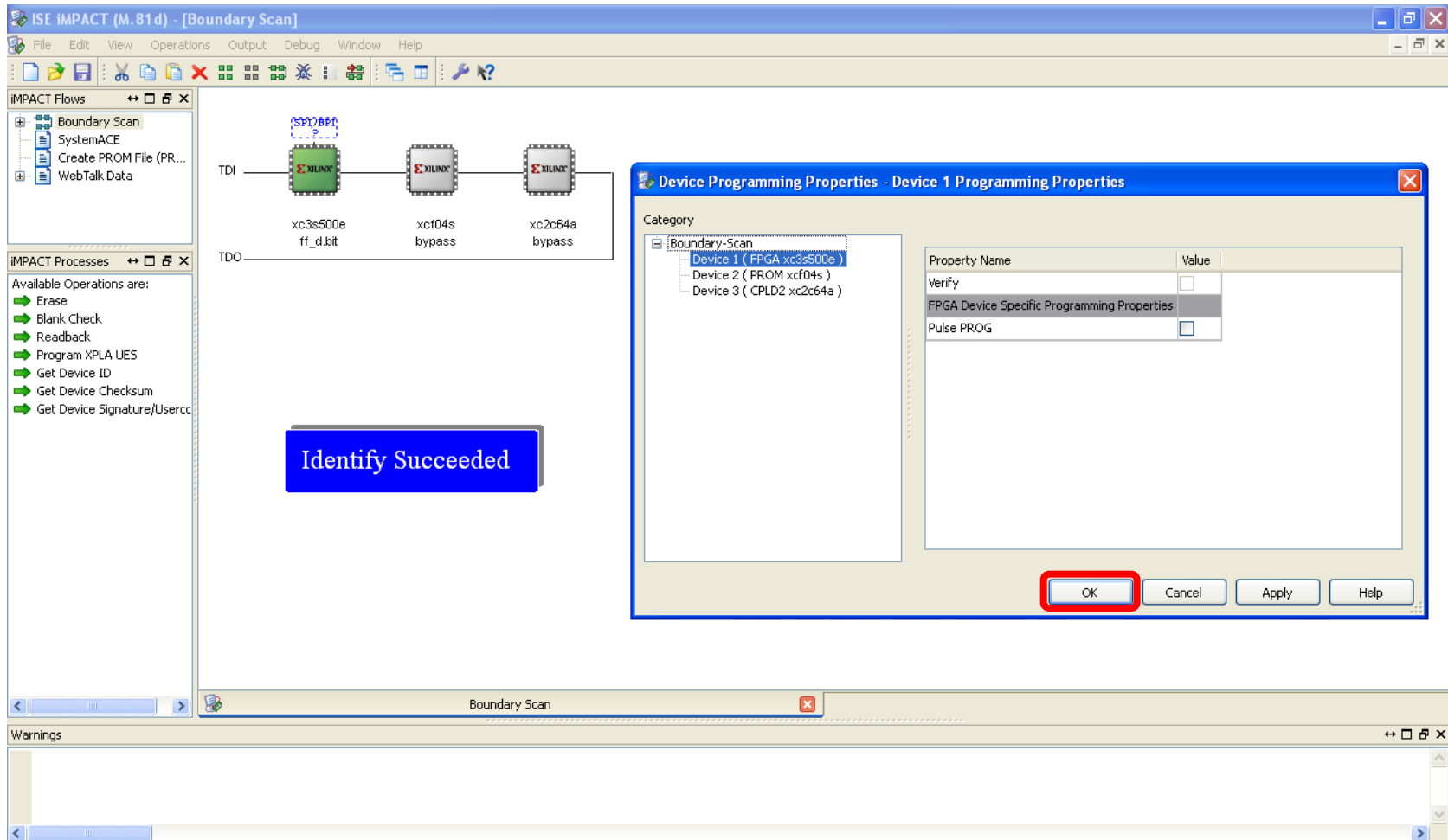
Configuración del proceso de programación (VII)

- Y cuando aparece seleccionado el símbolo del **CPLD (xc2c64a)** en la ventana **Assign New Configuration File** también picamos sobre la opción **Bypass**.



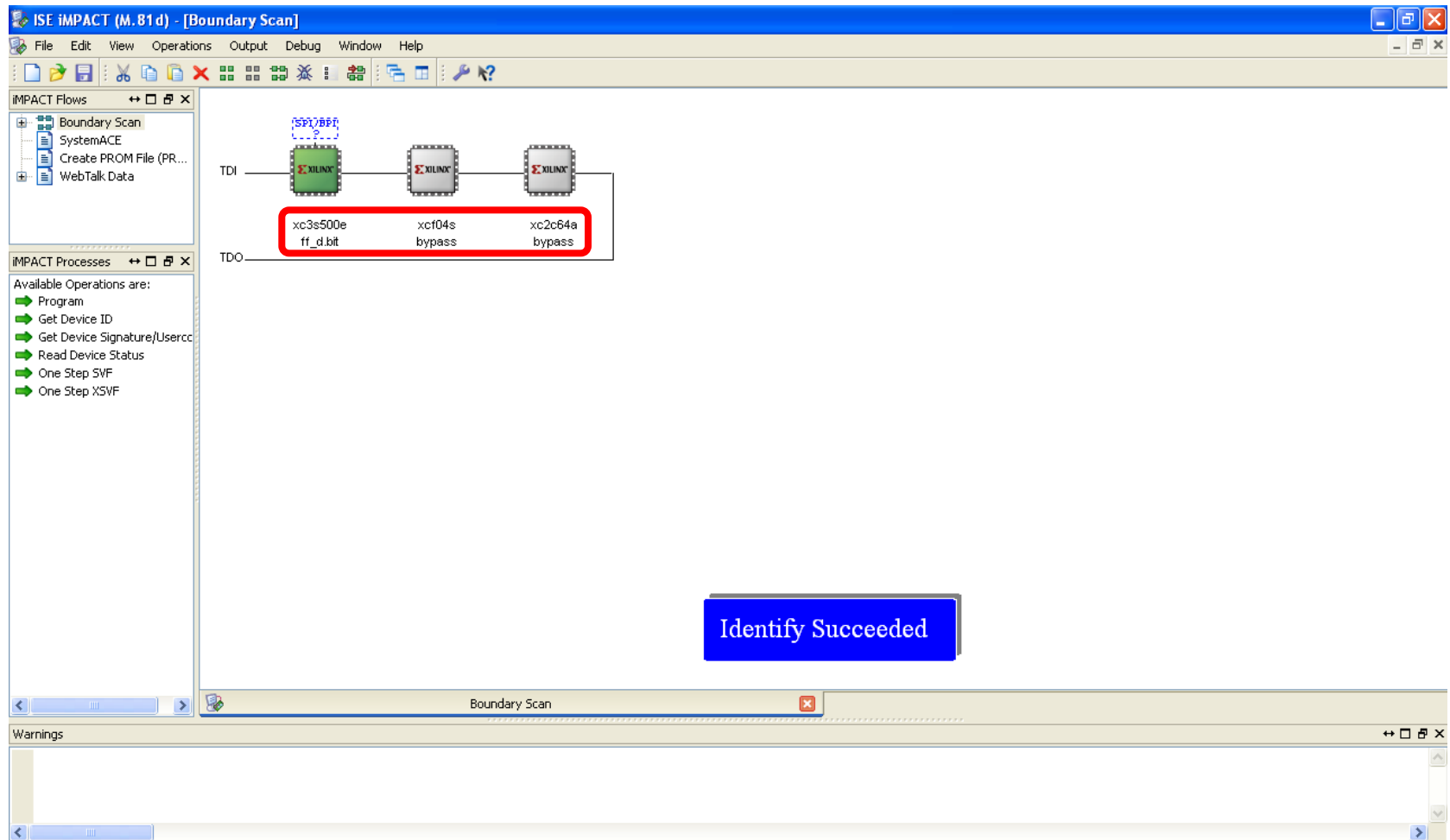
Configuración del proceso de programación (VIII)

- A continuación, en la ventana **Device Programming Properties** picamos sobre la opción **OK**.



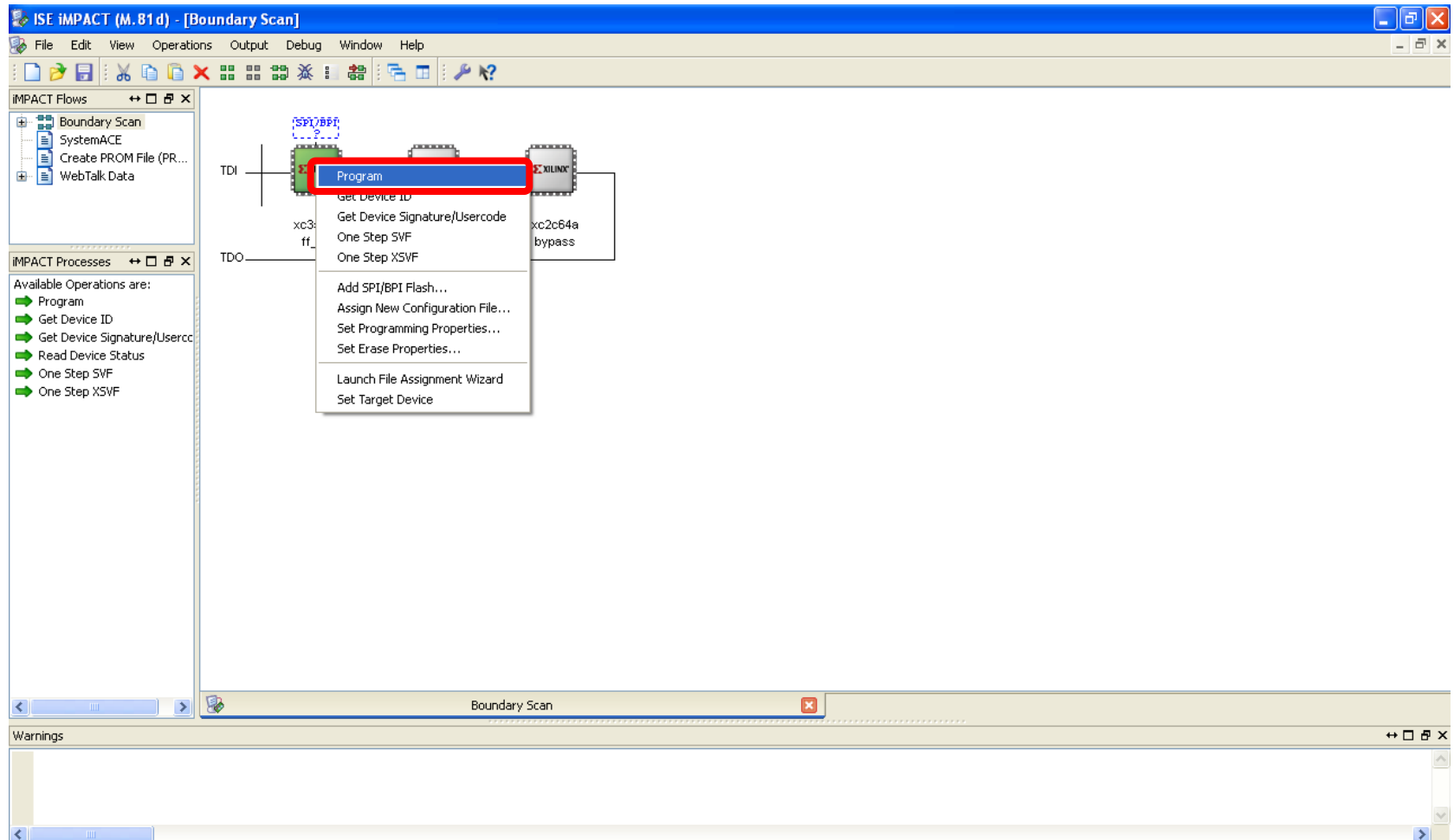
Configuración del proceso de programación (IX)

- Una vez ejecutadas las acciones anteriores, la configuración de los dispositivos quedará como se muestra en la figura: la FPGA con el fichero ff_d.bit asignado y tanto la Flash PROM como el CPLD en modo **bypass**.



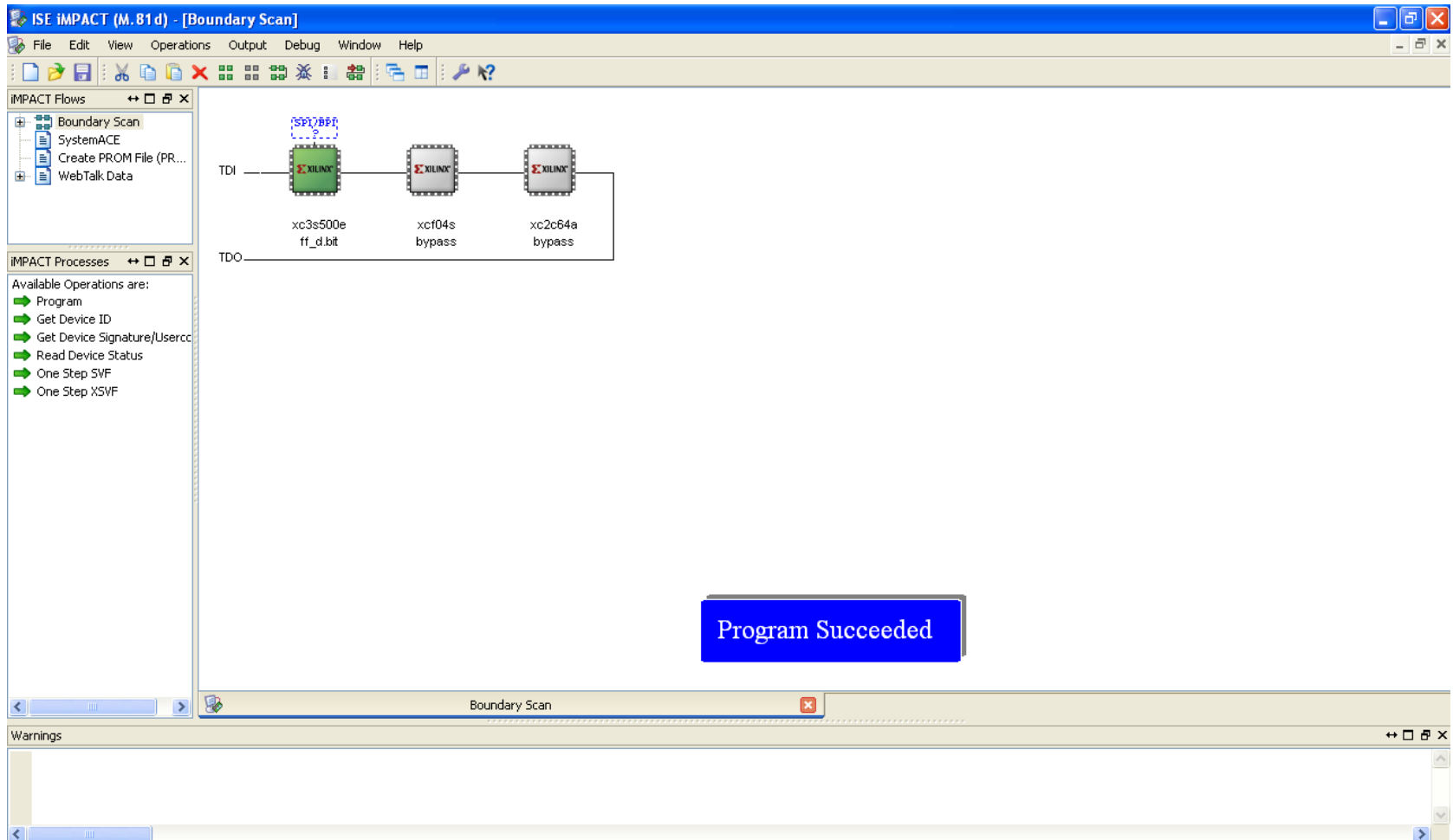
Programación del dispositivo (I)

- Una vez realizada la configuración de los dispositivos, para programar la FPGA picaremos con el botón derecho del ratón sobre el símbolo de la misma y seleccionaremos la opción **Program** en el menú que aparece.



Programación del dispositivo (II)

- Durante la programación del dispositivo el led **"DONE"** de la tarjeta (de color ámbar) se apaga. Una vez programado éste, dicho led se vuelve a encender y aparece en la ventana el mensaje **"Program Succeeded"**.



Fundamentos de Computadores

1º curso de Grado en Ingeniería Informática



Universidad
de Huelva

Seminario

Introducción al diseño con FPGAs

Fin de la presentación
