

EXAMEN DE ARQUITECTURA DE COMPUTADORES. La Rábida, 11 de junio de 2013

Apellidos **Nombre**

Valor de cada: Respuesta correcta + 0.1
 Respuesta incorrecta - 0.05
 No respuesta - 0.05

TIEMPO REALIZACIÓN EXAMEN: 45 minutos

Espacio para respuestas
 ↓↓↓↓↓↓

1	Desde el punto de vista del estudio del rendimiento de un sistema computador, por lo general si se reduce el tiempo de ciclo de reloj:		C
	A) Se reduce también su frecuencia B) Se aumentan los ciclos por instrucción	C) Se aumenta su productividad y se reduce su tiempo de respuesta D) Ninguna de las afirmaciones anteriores es correcta	
2	Sea un computador A capaz de completar 10000 tareas/seg, si se dice la productividad del computador A es un 50% superior a la productividad del computador B:		B
	A) El computador B realiza 3333,33 tareas en 1 seg B) El computador B requiere de 1,5 segundos para realizar el mismo número de tareas	C) El computador A tarda 0,5 seg en cada tarea D) El computador A realiza 15000 tareas en el mismo tiempo que el computador B realiza 7500 tareas	
3	En cuanto a la mejora del rendimiento, indica cuál de las siguientes afirmaciones es cierta:		B
	A) La optimización de todos los casos garantiza el mayor rendimiento B) El mayor rendimiento se obtiene optimizando el caso más común	C) El rendimiento puede mejorarse de forma ilimitada D) La mejora del rendimiento global se obtiene optimizando el caso menos común	
4	Indica la afirmación que NO es cierta:		D
	A) El tiempo de CPU depende del ciclo de reloj B) El tiempo de CPU depende de los ciclos por instrucción	C) El tiempo de CPU depende de número de instrucciones ejecutadas D) Ninguna de las afirmaciones anteriores es correcta	
5	Sea un sistema computador con microprocesador Intel i7 a 3,4 GHz, si después de pasarle un Benchmark se obtiene que es capaz de ejecutar 128300 MIPS:		B
	A) Se estima que ejecuta 26500 instrucciones en un ciclo B) Se estima que cada instrucción requiere de 0,0265 ciclos para su ejecución	C) Se puede decir que cada ciclo de reloj dura 3,4 seg D) Faltan datos para conocer el promedio del número de ciclos por instrucción	
6	Respecto a la memoria caché, el tiempo de penalización por fallos:		C
	A) Disminuye a medida que aumenta el tamaño de bloque B) Es constante	C) Aumenta a medida que aumenta el tamaño de bloque D) Depende exponencialmente con el tamaño de bloque	
7	Los mecanismos de gestión de la memoria caché se resuelven con componente hardware:		B
	A) Para cumplir el requisito de menor uso de memoria B) Para cumplir el requisito de menor tiempo posible	C) La afirmación es incorrecta, se resuelven con software D) Ninguna de las afirmaciones anteriores es correcta	
8	Respecto a los algoritmos de reemplazo de la memoria caché, sea un bloque que acaba de entrar en la memoria:		D
	A) Tiene mayor probabilidad de salir si se aplica LRU B) Tiene mayor probabilidad de salir en cualquier caso	C) Tiene mayor probabilidad de salir si se aplica FIFO D) Tiene mayor probabilidad de salir si se aplica LFU	
9	En relación al tamaño de bloque:		A
	A) A mayor tamaño, menores fallos forzosos pero mayores fallos de conflicto B) A mayor tamaño, menor tasa de fallos	C) A mayor tamaño, menores fallos forzosos y menores fallos de conflicto D) A mayor tamaño, mayor número de conjuntos	
10	Atendiendo a los niveles de caché, se puede afirmar que:		D
	A) Un mayor número de niveles garantiza siempre un menor tiempo de acceso B) A mayor número de niveles, mayor capacidad de almacenamiento	C) Un mayor número de niveles garantiza siempre un menor tiempo de ejecución relativo D) Ninguna de las afirmaciones anteriores es correcta	
11	Según el esquema de computador Von Neumann sencillo estudiado en el Tema 3, la operación R4 ← R7:		C
	A) Se realiza comunicando el bus de direcciones con el bus de datos B) No es posible realizarla en este sistema computador	C) Implica hacer uso del circuito operador de propósito general D) Es necesario realizarla como mínimo en dos periodos	
12	En un computador serie y referido a la misma instrucción, si la fase de decodificación de una instrucción se realiza durante un único ciclo de reloj, ¿puede solaparse con la fase de búsqueda de operando?:		C
	A) Sí B) Depende de la instrucción	C) No D) Depende del modo de direccionamiento de la instrucción	
13	Una unidad de control microprogramada con secuenciamiento explícito:		D
	A) No tiene etapa traductora ni memoria de control B) Necesita etapa traductora y memoria de control	C) Su registro de microinstrucción es de menor tamaño D) No necesita etapa traductora, y sí memoria de control	

14	Sea el computador Von Neumann estudiado en el Tema 3, la información del registro RF permite:		D
	A) Conocer la posición de memoria de la instrucción B) Conocer el valor de los biestables de Z, S, O, P	C) No es útil para la ejecución de la instrucción D) Conocer la fase de ejecución de la instrucción en curso	
15	De las siguientes instrucciones, indica en cuál de ellas se almacena el contenido del registro SR en memoria:		A
	A) DIV .1, .2 con trap por división por cero B) RET y RETI	C) CALL A0002h y DIV .1, .2 con trap D) En ninguna de las instrucciones indicadas	
16	La capacidad de direccionamiento del procesador DLX es de:		C
	A) 6 Mposiciones B) 4 Mposiciones	C) 4 Gposiciones D) 2 Gposiciones	
17	Decir que todas las instrucciones del procesador DLX siguen el modelo de ejecución REG-REG es:		A
	A) Falso B) Cierto	C) Puede ser cierto o falso dependiendo del ensamblador D) Ninguna de las afirmaciones anteriores es cierta	
18	¿Cuál es el tipo de riesgo por dependencia de datos que se presenta en el fragmento de código ensamblador siguiente si se ejecuta en un procesador DLX segmentado con bypass generalizado?: LD R3, 12(R3) ST 12(R3), R2		B
	A) WAR B) RAW	C) WAW D) Ninguno	
19	Cuál de las siguientes técnicas suele utilizarse para eliminar riesgos estructurales:		B
	A) Disminuir el nº de líneas de transmisión de datos y buses B) Utilizar caches partidas para datos e instrucciones	C) Incrementar la velocidad del reloj del sistema D) Las políticas dinámicas de predicción de saltos	
20	Los riesgos de tipo WAW:		A
	A) Pueden existir en DLX B) No existen en DLX	C) Son riesgos estructurales D) Son riesgos de control	
21	Un computador que tiene instrucciones vectoriales en su repertorio:		B
	A) Es vectorial B) No tiene por qué ser vectorial	C) Nunca es vectorial D) Ninguna de las afirmaciones anteriores es correcta	
22	En un computador vectorial, la separación entre elementos diferente de 1 se resuelve:		A
	A) Con instrucciones de Carga y Almacenamiento Vectorial con Separación B) Con un Registro de Máscara de Vector	C) Con un Registro de Longitud de Vector D) Sólo en algunos computadores vectoriales	
23	La carga de un vector en un registro vectorial:		B
	A) Siempre es más rápida en una Memoria Organizada por Bancos que en una Memoria Entrelazada B) Puede ser igual de rápida en una Memoria Organizada por Bancos que en una Memoria Entrelazada	C) Siempre es más rápida en una Memoria Entrelazada que en una Memoria Organizada por Bancos D) Ninguna de las afirmaciones anteriores es correcta	
24	Un computador vectorial cuyas componentes de vector son de 64 bits tiene una memoria entrelazada con 4 módulos de memoria, ¿en qué módulo de memoria se encontrará la dirección?		B
	A) En el módulo 0 B) En el módulo 2	C) En el módulo 1 D) En el módulo 3	
25	Considerando el tiempo de ejecución de una operación vectorial, al tiempo por cada resultado una vez que una instrucción vectorial está en ejecución se le denomina:		D
	A) Tiempo de comienzo B) Tiempo de arranque	C) tiempo de terminación D) Ninguna de las afirmaciones anteriores es correcta	
26	Un ordenador de flujo de datos		C
	A) Puede ser un computador serie B) Utiliza la necesidad que tiene un resultado de disparar la operación que generará el resultado requerido	C) Es un computador paralelo D) Ninguna de las afirmaciones anteriores es correcta	
27	La arquitectura Harvard:		D
	A) Tiene una memoria caché partida B) Tiene una memoria caché unificada	C) No difiere en nada de la arquitectura Von Neumann D) Ninguna de las afirmaciones anteriores es correcta	
28	Un computador SIMD Múltiple (MSIMD):		B
	A) Es un sistema multicomputador B) Sus UC comparten un conjunto de Elementos de Proceso asignables dinámicamente	C) Son siempre de memoria distribuida D) Tiene una única unidad de control que define el valor de las señales de control de varios Elementos de Proceso	
29	En un array sistólico:		B
	A) Todos los procesadores se comunican con los periféricos directamente B) Existe una red de procesadores donde cada uno de ellos tienen comunicación directa con sus vecinos	C) Hay tantas frecuencias de reloj diferentes como procesadores tiene D) Sus procesadores no pueden comunicarse con el exterior	
30	Un multiprocesador UMA:		A
	A) Puede tener una caché para cada procesador B) Tiene más capacidad de memoria que uno NUMA	C) Tiene menos capacidad de memoria que uno NUMA D) No puede tener una caché para cada procesador	

PROBLEMA 1. (2,5 ptos.). Un sistema computador (sin memoria virtual) tiene una memoria principal de 1 Mpalabras de 8 bits cada una de ellas y una memoria caché de 1 Kpalabras, dividida en 2 bloques/conjunto, con 128 palabras/bloque. Se supone que, después de haber estado la memoria caché “vacía”, en el *instante 1* se encuentran en la memoria caché los bloques de memoria principal 12 a 18, ambos inclusivos, leídas todas las direcciones de cada uno de ellos una vez y en el mismo orden que les corresponde en la memoria principal. Suponer que el algoritmo de reemplazamiento de bloques es el LRU (Least Recently Used).

- Mostrar el formato de la dirección que define la unidad central de proceso, definiendo cada uno de los campos en los que se divide.
- Mostrar el contenido de la memoria caché en el *instante 1*.
- ¿Qué frecuencia de uso tiene en ese *instante 1* cada uno de los bloques que se encuentran en la memoria caché?

A continuación, la CPU lee la secuencia de direcciones de memoria: 2433, 2434, 2435, 1536, 1537, 1538, 1539, 5, 6, 7, 8, 9, 130, 131, 132, 133, 134 y 135 (*instante 2*), según el orden marcado en la misma.

- Mostrar el contenido de la memoria caché en el *instante 2*.
- ¿Qué frecuencias de uso (referida al conjunto 0 nada más) tendrían los bloques que se encuentran en el conjunto 0?. Si se tuviera que aplicar el algoritmo LFU, ¿qué bloque de los que están en ese conjunto se sustituiría? ; **¿y si se aplicara el algoritmo LRU?**

Siguiendo con las lecturas de la CPU, se vuelven a leer todas las direcciones de memoria de los bloques 12 a 18 una vez (*instante 3*).

- Mostrar el contenido de la memoria caché en el *instante 3*.
- Hasta ese *instante 3*, ¿cuántos fallos de cada uno de los tipos posibles se han producido?.
- Cada vez que se compara la etiqueta de la dirección para saber si el bloque que la contiene está o no está en la memoria caché, ¿cuántas comparaciones se hacen a la vez?.

PROBLEMA 2. (2 ptos.). Definir la secuencia de operaciones elementales y el solapamiento posible de las mismas, para el sistema computador representado en la figura, y para la ejecución de las instrucciones abajo indicadas, **mostrando previamente los formatos de las instrucciones.**

Dirección de Memoria (en hexadecimal)	Instrucción (en ensamblador)
A0000h	JMP A0002h
A0001h	MOVE .1, .2
A0002h	SUB 5[.2], #10
A0003h	RET

Teniendo en cuenta:

- PRIMERA INSTRUCCIÓN: La instrucción de salto JMP, con modo de direccionamiento directo absoluto a memoria.
- SEGUNDA INSTRUCCIÓN: La instrucción de transferencia MOVE, con modo de direccionamiento directo absoluto a registro.

- c) TERCERA INSTRUCCIÓN: La instrucción de resta SUB, con modo de direccionamiento directo relativo a registro para el primer operando e inmediato para el segundo operando.
- d) CUARTA INSTRUCCIÓN: La instrucción de retorno de subrutina RET.
- e) Se debe especificar el cronograma según el flujo marcado por el programa propuesto, y considerando como última instrucción la de retorno, RET.
- f) Las operaciones con la unidad aritmético-lógica se realizan en un periodo.
- g) Los cálculos de las direcciones de los operandos en memoria especificados con direccionamiento relativo, se realizarán de manera automática durante el periodo de decodificación.
- h) El resultado de una operación o el operando destino va a ser siempre el especificado en primer lugar en la instrucción.
- i) Las operaciones de L/E en memoria se realizan durante dos periodos.
- j) La pila, que se implementa en el sistema con el registro SP (puntero de pila), funciona de la siguiente forma: 1) La pila crece hacia direcciones decrecientes. 2) El registro puntero de pila indica la dirección de memoria principal en la que se introdujo el último dato en la pila.
- k) Para cuando hay que salvar el contenido de SR y el de PC, siempre se almacenará primero el de SR.

PROBLEMA 3. (2,5 ptos.). El siguiente fragmento de código se ejecuta en un procesador DLX. Las latencias de las unidades funcionales, todas ellas **segmentadas**, son las siguientes: Sumador/restador flotante: 2 ciclos de reloj; Multiplicador: 3 ciclos de reloj; y Divisor: 4 ciclos de reloj.

```
LW R2, 2(R1)
LW R5, 8(R1)
ADD R3, R1, R5
LF F0, 10(R2)
LF F2, 20(R3)
FMUL F4, F0, F3
SF 10(R2), F4
FDIV F5, F0, F2
SF 20(R5), F5
FADD F8, F4, F5
```

- a) Suponiendo que la **memoria** tiene **un único puerto de acceso** y que no existe adelantamiento alguno: Indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; e indicar si existen bloqueos en la cadena y a qué se deben.
- b) Repetir el apartado a) para una versión del DLX que incluya **adelantamiento** (bypass) generalizado. Indicar claramente los datos que se adelantan y entre qué etapas actúa el bypass.
- c) Suponiendo que la **memoria** tiene **dos puertos de acceso** (uno para instrucciones y otro para datos) y que no existe adelantamiento alguno: Indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; e indicar si existen bloqueos en la cadena y a qué se deben
- d) Repetir el apartado c) para una versión del DLX que incluya **adelantamiento** (bypass) generalizado. Indicar claramente los datos que se adelantan y entre qué etapas actúa el bypass.

Apellidos:	Nombre:
-------------------	----------------

Nombre: _____

[illegible][illegible]

Apellidos: Nombre:



