



Universidad  
de Huelva

# ***FUNDAMENTOS DE COMPUTADORES***

**1º Curso del Grado en Ingeniería Informática**

## **TEMA 4**

**Problemas resueltos**

## Problemas resueltos del tema 4

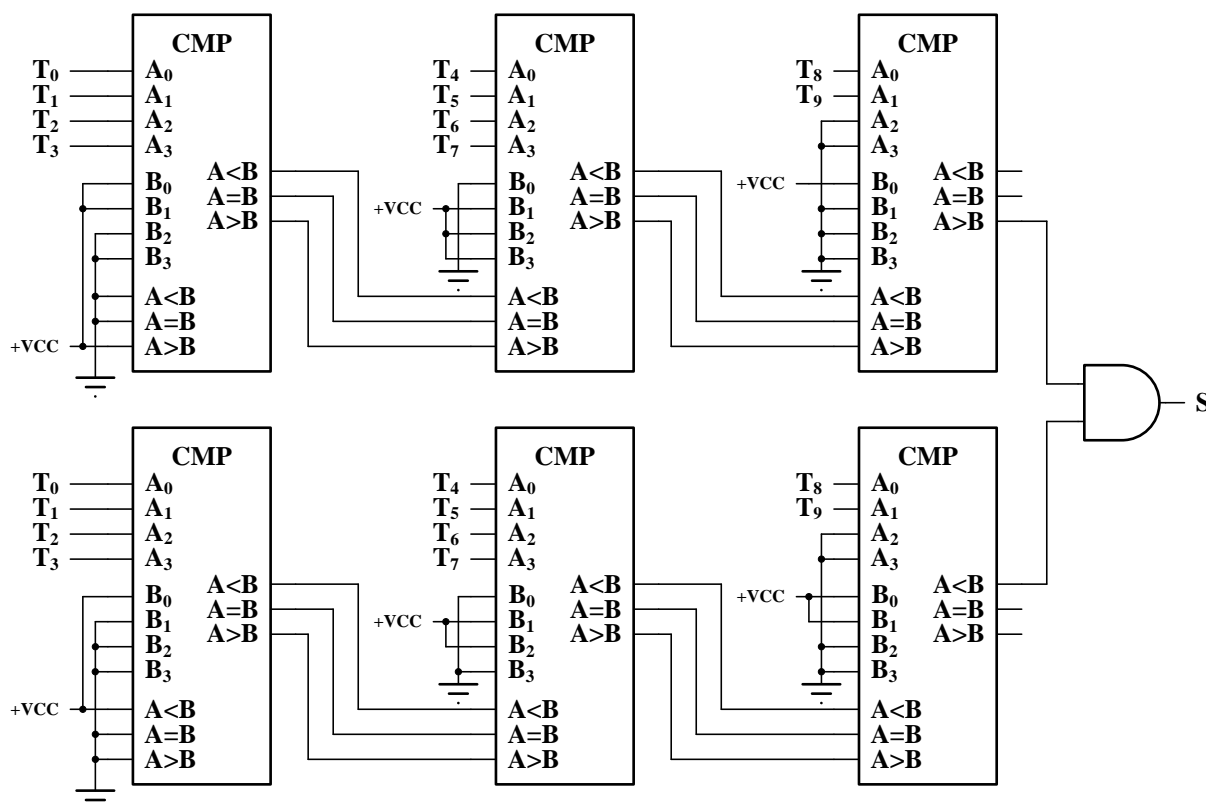
1. La temperatura de un horno se mide mediante un sensor que proporciona una salida **T** de 10 bits codificada en binario natural. Usando comparadores de cuatro bits, implementar un circuito cuya salida **S** indique mediante un nivel alto cuando el valor de la temperatura esté comprendido entre 483°C y 865 °C, ambos inclusive.

**Solución:**

Las combinaciones binarias de 10 bits correspondientes a los valores 483 y 865 son:

Valor	Combinación
483	01 1110 0011
865	11 0110 0001

Así pues, el diagrama lógico del circuito será el siguiente:



- 2.** Implementar la siguiente función usando multiplexores de cuatro canales como máximo.

$$\mathbf{F} = \Sigma_4(0, 1, 6, 11, 14, 15)$$

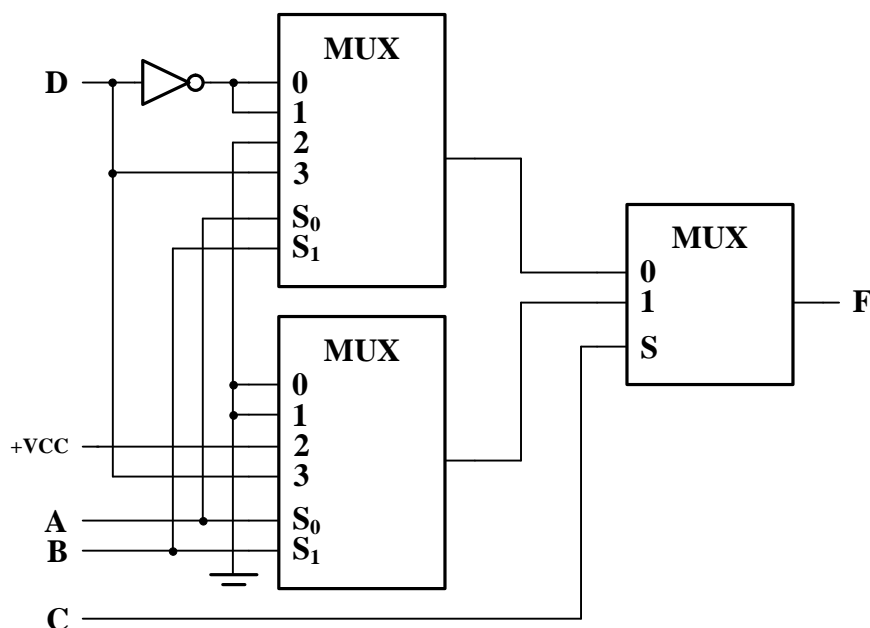
**Solución:**

Para implementar una función de cuatro variables de entrada es necesario disponer de un multiplexor de ocho canales. Como no disponemos de él deberemos asociar varios multiplexores.

La tabla correspondiente para esta función es:

CBA		C <sub>0</sub>	C <sub>1</sub>	C <sub>2</sub>	C <sub>3</sub>	C <sub>4</sub>	C <sub>5</sub>	C <sub>6</sub>	C <sub>7</sub>
D		000	001	010	011	100	101	110	111
0		1	1	0	0	0	0	1	0
1		0	0	0	1	0	0	1	1
		$\bar{D}$	$\bar{D}$	0	D	0	0	1	D

Y el diagrama lógico del circuito es el siguiente:



3. Un sistema recibe combinaciones de tres bits **XYZ** y realiza la siguiente multifunción:

$$F_1 = \sum_3(1,2,3,6)$$

$$F_2 = \sum_3(4,5,7)$$

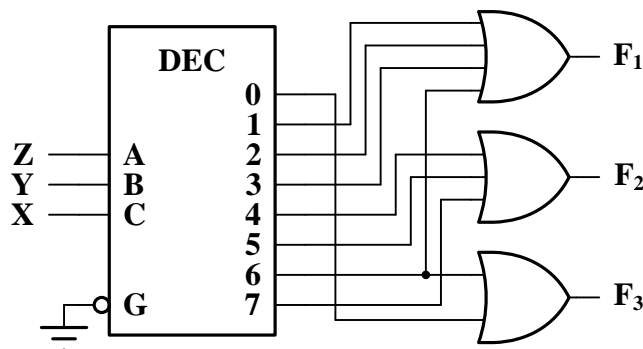
$$F_3 = \sum_3(0,6)$$

Implementar dicho sistema usando decodificadores de tres a ocho líneas con salidas directas y una entrada de habilitación activa a nivel bajo, y puertas lógicas.

**Solución:**

Para implementar funciones de tres variables de entrada es necesario disponer de un decodificador de tres líneas de selección. Por otro lado, como las salidas son directas deberemos agrupar los términos cada función mediante puertas OR.

Así pues, el diagrama lógico del circuito sería el siguiente:



4. Un sistema recibe combinaciones de cuatro bits **XYZW** y realiza la siguiente multifunción:

$$F_1 = \sum_4(0,12,15)$$

$$F_2 = \sum_4(2,10)$$

$$F_3 = \sum_4(6,10,13,14)$$

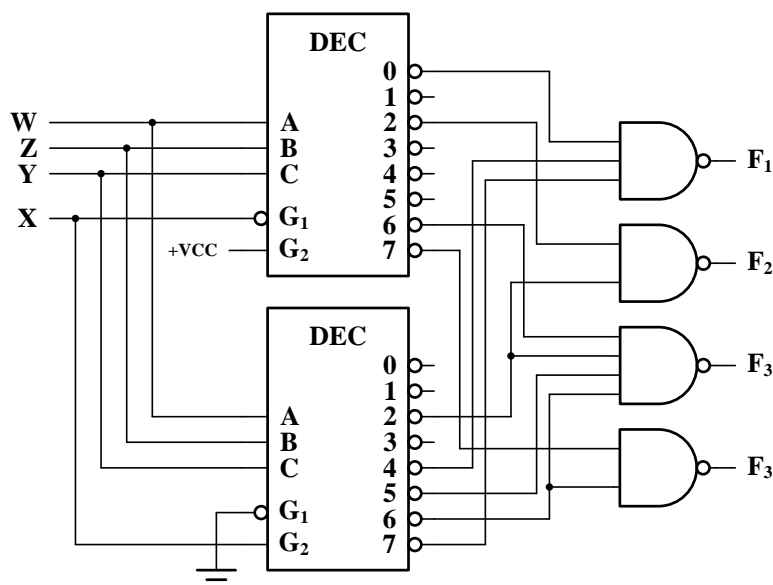
$$F_4 = \sum_4(7,14)$$

Implementar dicho sistema usando decodificadores de tres a ocho líneas con salidas negadas y dos entradas de habilitación (una activa a nivel bajo y otra a nivel alto), y puertas lógicas.

#### **Solución:**

Para implementar funciones de cuatro variables de entrada es necesario disponer de un decodificador de cuatro líneas de selección. Como disponemos de decodificadores de solo tres líneas de selección deberemos asociar dos circuitos. Por otro lado, como las salidas son complementadas deberemos agrupar los términos cada función mediante puertas NAND.

Así pues, el diagrama lógico del circuito sería el siguiente:



5. Un sistema recibe en sus entradas tres combinaciones **X**, **Y** y **Z** expresadas en código BCD natural.

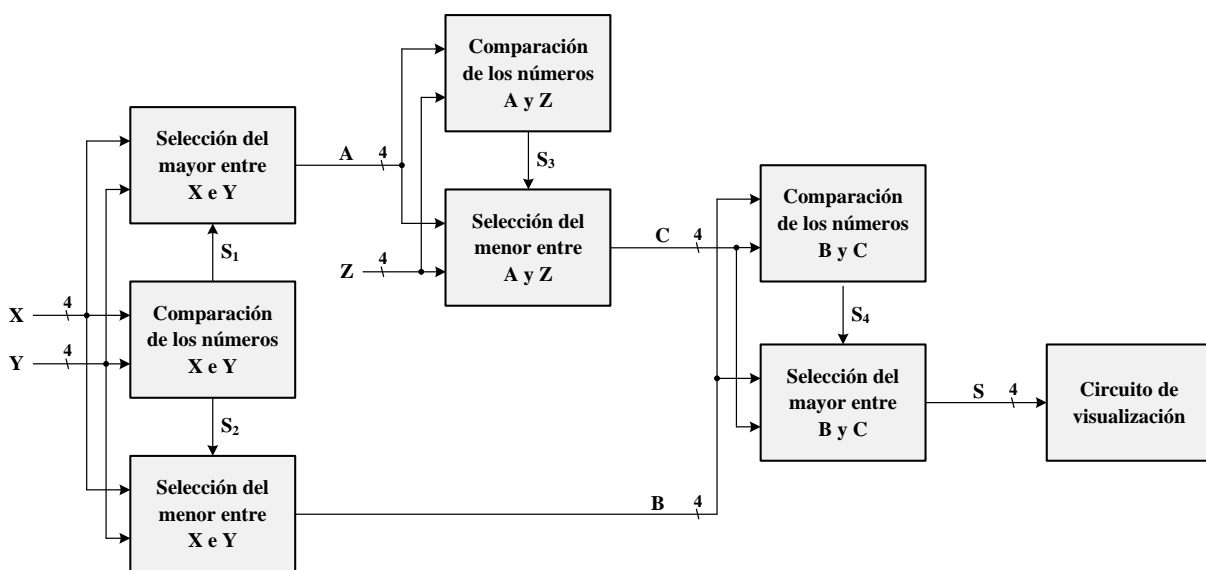
A la salida de dicho sistema se debe representar en un display de siete segmentos el valor intermedio de los tres recibidos.

Representar:

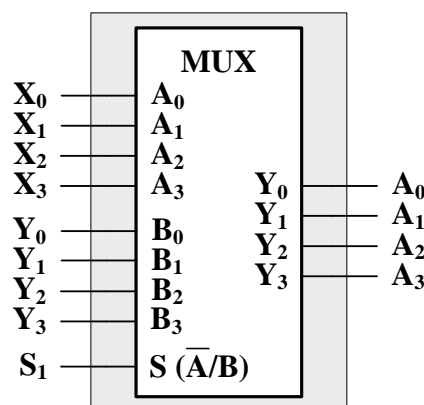
- Diagrama de bloques del sistema.
- Diagrama lógico detallado del mismo.

**Solución:**

El diagrama de bloques del circuito es el siguiente:

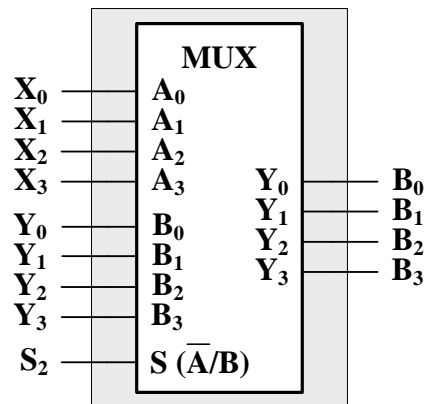


Para seleccionar el mayor entre los valores X e Y (combinación A) introduciremos ambas combinaciones en un cuádruple multiplexor de dos canales, que controlaremos con una señal a la que llamaremos S<sub>1</sub>. Al aplicar un **0** a dicha señal aparecerá a la salida la combinación X y al aplicar un **1** la combinación Y. El circuito es el siguiente.

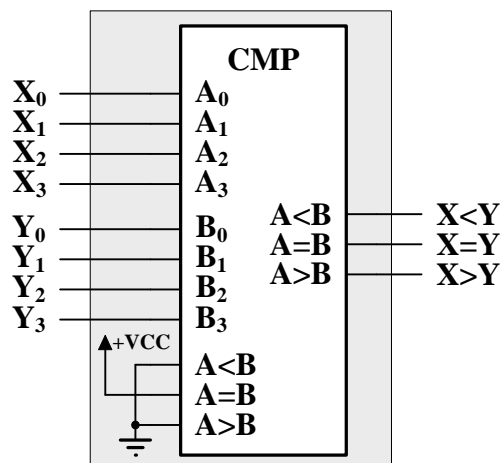


Para seleccionar el menor entre los valores X e Y (combinación B), que puede ser el valor intermedio o el menor de los tres, introduciremos ambas combinaciones en un cuádruple

multiplexor de dos canales, que controlaremos con una señal a la que llamaremos  $S_2$ . Al aplicar un **0** a dicha señal aparecerá a la salida la combinación X y al aplicar un **1** la combinación Y. El circuito es el siguiente.



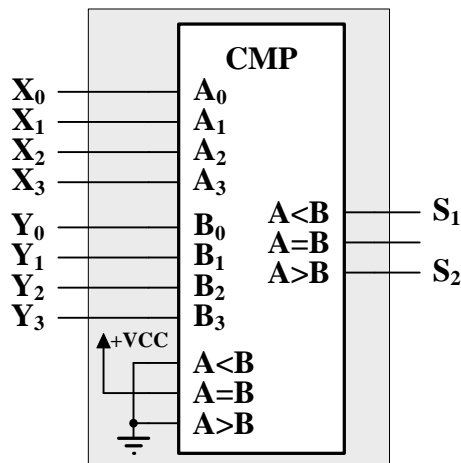
Para averiguar cual de los números X e Y es el mayor y cual es el menor, aplicaremos éstos a un comparador conectando X al operando A e Y al B, como se muestra a continuación.



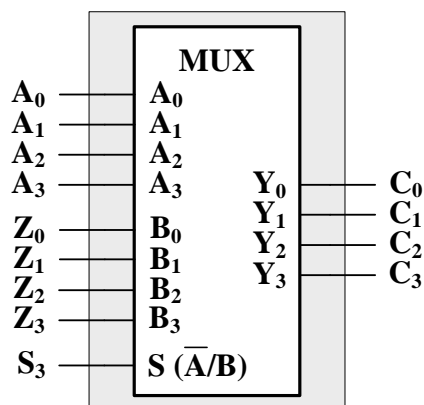
En la siguiente tabla se representan los valores de salida que proporcionará el comparador para las diferentes posibilidades, frente a los valores que se deben aplicar a las líneas de selección de los multiplexores para que seleccionen en cada caso el mayor y el menor de los dos valores, respectivamente.

X Y	A<B	A=B	A>B	MAYOR	$S_1$	MENOR	$S_2$
X < Y	1	0	0	Y	1	X	0
X = Y	0	1	0	-	-	-	-
X > Y	0	0	1	X	0	Y	1

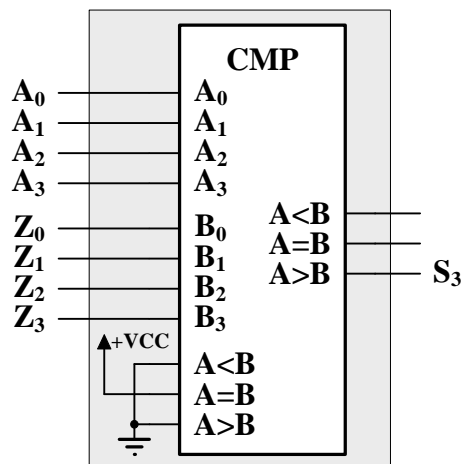
Como podemos apreciar, los valores que deben aplicarse a la entrada  $S_1$  del circuito de selección del dígito mayor son compatibles con los de la salida A<B del comparador, por lo que esta entrada se conectará a dicha línea. Por el mismo motivo, la entrada  $S_2$  del circuito de selección del dígito menor se conectará a la salida A>B del comparador. De este modo las salidas del comparador quedarían como se muestra seguidamente:



Una vez seleccionado el valor mayor entre X e Y (combinación A), se introduce éste en otro multiplexor junto con Z para seleccionar el menor valor entre ambos (combinación C), que podrá ser el valor intermedio o el pequeño de los tres introducidos. Dicho multiplexor lo controlaremos con una señal a la que llamaremos  $S_3$ . Al aplicar un **0** a dicha señal aparecerá a la salida la combinación A y al aplicar un **1** la combinación C. El circuito es el siguiente.

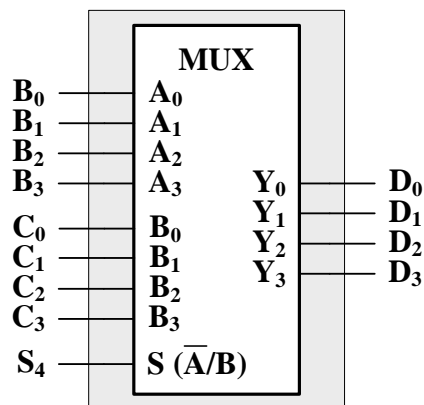


Como queremos seleccionar el valor menor, según lo explicado anteriormente debemos obtener la señal de control  $S_3$  de la salida  $A > B$  del comparador, como sigue.

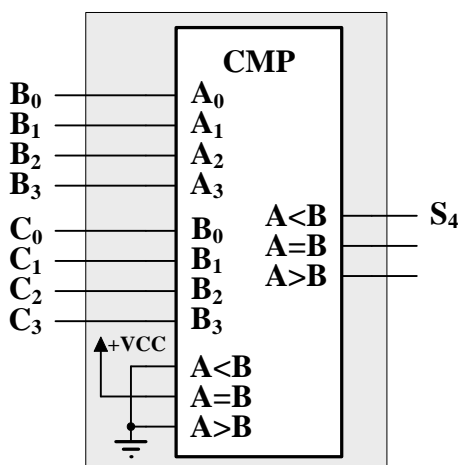


Como tanto la combinación B como la C pueden contener el valor intermedio o el pequeño, si comparamos ambas combinaciones y seleccionamos el valor mayor de los dos

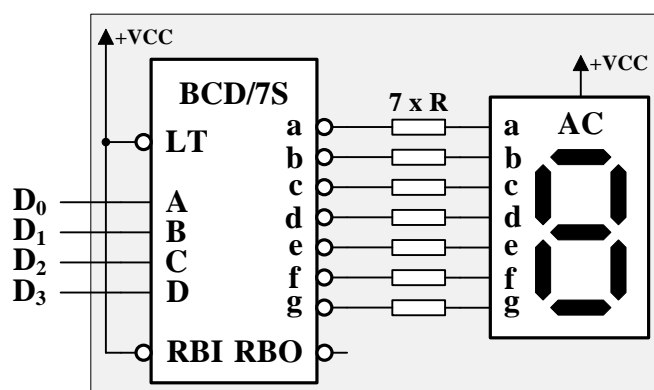
tendremos el valor intermedio que buscamos (combinación D). Para ello introducimos en un multiplexor las combinaciones B y C, y controlamos la entrada de selección de éste mediante una señal denominada  $S_4$ . Al aplicar un **0** a dicha señal aparecerá a la salida la combinación B y al aplicar un **1** aparecerá la combinación C. El circuito es el siguiente.



Como en este caso queremos seleccionar el valor mayor, según lo explicado anteriormente debemos obtener la señal de control  $S_4$  de la salida  $A < B$  del comparador, como sigue.



Para visualizar el resultado podemos utilizar un display de ánodo común conectado a un convertor de BCD a siete segmentos. El diagrama lógico correspondiente se muestra a continuación.





Por último, el diagrama lógico del circuito completo es el que se muestra a continuación:

