

Fundamental of VLSI 2023

1. Q: PMOS 和 NMOS 晶体管有相同的 W, L 尺寸, 并且他们的 V_{gs}, V_{ds} 也相同, 该电压使 PMOS 和 NMOS 同时处于饱和工作区, 请问哪个晶体管的饱和电流更高, 为什么?

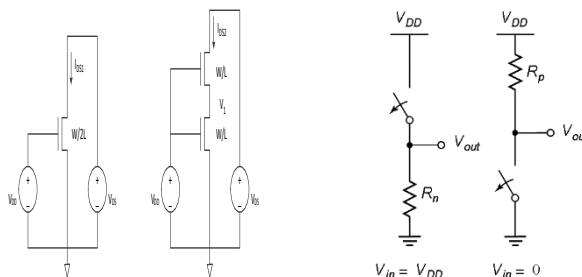
A: NMOS 的饱和电流更高, 和载流子有关, P 管是空穴导电, N 管电子导电, 电子的迁移率大于空穴, 同样的电场下, N 管的电流大于 P 管, 因此要增大 P 管的宽长比, 使之对称, 这样才能使得两者上升时间下降时间相等、高低电平的噪声容限一样、充电放电的时间相等

2. Q: MOS 管的沟道设计长度 L_d 为何与沟道实际长度 L (有效沟长) 不同, 原因何在?

A: MOS 管由于工艺制造过程的扩散作用导致有源区边界在水平方向上延伸一部分与栅极重叠, 而设计沟道长度 L_d 等于栅极长度, 所以 $L_d > L$ 。

3. Q: 论述静态 CMOS 反相器的工作原理及其优点。

A: 工作原理: 输入 In 为 1 时, PMOS 截止, NMOS 导通, 输出节点和接地节点之间存在直接通路 Out 为 0, 输入为 0 时, PMOS 导通, NMOS 截止, 输出节点和电源之间存在直接通路 Out 为 1。



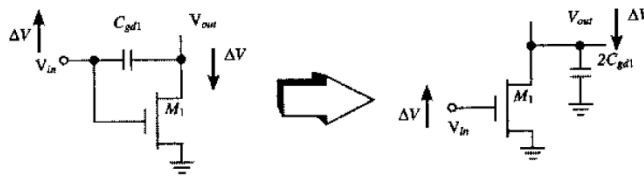
优点:

- 1) 输出高电平和低电平分别为 V_{DD} 和 GND ;
- 2) 逻辑电平与器件的相对尺寸无关 (无比逻辑), 所以晶体管可采用最小尺寸, 稳态时输出和 V_{DD} 或 GND 之间总存在一条具有有限电阻的通路;
- 3) CMOS 反相器输入电阻极高, 稳态输入电流几乎为零;
- 4) CMOS 在稳态情况下电源线和地线没有直接通路, 没有电流存在 (忽略漏电流), 因此该门不消耗任何静态功耗。

4. Q: 论述栅漏电容的密勒效应。

集总电容模型要求用接地电容来代替浮空的栅漏电容，这是通过考虑所谓的密勒效应来实现的。在由低至高或由高至低的过渡中，栅漏电容两端的电压向相反的方向变化（见图5.14）。因此，在这一浮空电容上的电压变化是实际输出电压摆幅的两倍。为了在输出节点上出现同样的负载，接地电容的值必须是浮空电容的两倍。

我们用以下公式来计算栅漏电容： $C_{gd} = 2 C_{GD0} W$ （这里， C_{GD0} 是在SPICE模型中采用的每单位宽度的覆盖电容）。关于密勒效应的深入讨论请参见其他教科书，如 [Sedra87, p.57] ④。



5. Q: 什么是 MOS 器件的体偏置效应，给出在体偏置条件下的 MOS 的阈值电压 V_T 。

A: 阈值电压 V_T 除了与材料有关外，还与源体电压 V_{SB} 有关，当 $V_{SB} > 0$ 时 V_T 有所增加，两者关系可通过下式近似计算

$$V_T = V_{T0} + \gamma (\sqrt{|(-2)\phi_F + V_{SB}|} - \sqrt{2|\phi_F|})。$$

6. Q: 什么是扇入和扇出，说出扇入和扇出不能太大的原理。

扇入为逻辑门的输入数目，扇出为连接到该逻辑门输出端的下一级门电路的数目。扇入增加会导致该逻辑门电路内部的关键路径上的晶体管数量增加，以至于输出点的负载电容增加，以 CMOS 结构电路为例，当扇入增加，根据 elmore 模型，延时呈平方数量级增加，另外，连接到输出点的电容也可能增加，都会使门电路动态特性变差。由于门电路内部工作电阻的大小随着输入的情况不同而发生变化，也会使门电路的静态特性变差。扇出增加会导致输出端外部负载电容增大，延时增加，动态特性变差，外部负载电阻降低，相对输出点的电压降低，静态特性变差。

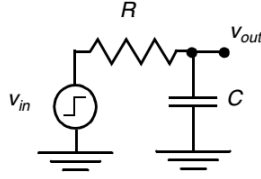
7. Q: 说明门延时的概念。

A: 一个门的传播延时定义了它对输入端信号变化的响应快慢，表示一个信号通过一个门时所经历的延时，定义为输入和输出波形的 50% 反转点之间的时间。由于门对上升和下降输入波形的响应时间不同，所以需要两个传播延时，一个为门的输出由低到高翻转的响应时间 t_{LH} ，一个为门的输出由高到低翻转的响应时间 t_{HL} 。门传播延时 t_p 定义为这两个响应时间的平均值。

8. Q: 简述门的驱动强度、尺寸、电流、电阻、电容之间的关系。

A: 门的尺寸越大，驱动强度越大，电流越大，电阻越小，电容越大。

9. Q: 一数字电路符合一阶 RC 网络传播延时模型（如下图）， V_{in} 从 $0 \rightarrow V_{DD}$ 的阶跃变化，求该数字电路 V_{out} 从 $0.2V_{DD} \rightarrow 0.8V_{DD}$ 的时间。



A: 由一阶 RC 模型 $V_{out}(t)=(1-e^{-t/\tau})V$, $V_{out}(t_1)=0.2V_{DD}$, $V_{out}(t_2)=0.8V_{DD}$, 计算得到 $t_1=-\tau\ln 0.8$, $t_2=-\tau\ln 0.2$, V_{out} 从 $0.2V_{DD} \rightarrow 0.8V_{DD}$ 的时间为 $t_2-t_1=-\tau\ln 0.2+\tau\ln 0.8=\tau\ln 4$ 。

10. Q: 静态 CMOS 反相器的器件参数如下:

NMOS: $V_{Tn}=0.4V$, $V_{DSATn}=0.63V$, $\mu_n C_{ox}=115\mu A/V^2$; PMOS: $V_{Tp}=-0.4V$, $V_{DSATp}=-1V$, $\mu_p C_{ox}=30\mu A/V^2$; 电源电压 $V_{DD}=2.5V$, 实际沟道长度 $L_n=L_p=0.25\mu m$,

- 1) 请确定 W_p/W_n 的比值, 使反相器的开关阈值 $V_M=1.25V$ (注: 忽略沟长调制作用影响);
- 2) 如果 $W_n/L_n=2$, $W_p/L_p=3$ 时 (注: $\lambda_n=0.06V^{-1}$, $\lambda_p=-0.1V^{-1}$), 求反相器的开关阈值 V_M 和噪声容限 NM_H , NM_L ;
- 3) 如果两个完全相同的反相器串联, $W_n=0.75\mu m$ 、 $L_n=0.25\mu m$, 反相器下拉时的扩散电容 $C_{dp}=1.5fF$ 、 $C_{dn}=0.66fF$, 覆盖电容 $C_{gn}=0.76fF$ 、 $C_{gp}=2.28fF$, 连线电容 $C_w=0.12fF$ 近似计算由高到低的传播延时 t_{pHL} 。

A:

(1)

$$\frac{(W/L)_p}{(W/L)_n} = \frac{k'_n V_{DSATn} \left(V_M - V_{Tn} - \frac{V_{DSATn}}{2} \right)}{-k'_p V_{DSATp} \left(V_M - V_{DD} - V_{Tp} - \frac{V_{DSATp}}{2} \right)} = \frac{115 \times 10^{-6}}{30 \times 10^{-6}} \times \frac{0.63}{1.0} \times \frac{(1.25 - 0.4 - 0.63/2)}{(1.25 - 0.4 - 1.0/2)} = 3.7$$

$$\frac{L_n}{L_p} = \frac{W_p}{W_n} = 3.7$$

(2)

$$r = \frac{k_p V_{DSATp}}{k_n V_{DSATn}} = \frac{k'_p (W/L)_p V_{DSATp}}{k'_n (W/L)_n V_{DSATn}} = \frac{30 \times 10^{-6} \times 3 \times 1.0}{115 \times 10^{-6} \times 2 \times 0.63} = 0.62$$

$$V_M = \frac{\left(V_{Tn} + \frac{V_{DSATn}}{2} \right) + r \left(V_{DD} + V_{Tp} + \frac{V_{DSATp}}{2} \right)}{1+r}$$

$$= \frac{0.4 + (0.63/2) + 0.62 \times (2.5 - 0.4 - 1/2)}{1+0.62}$$

$$= 1.05V$$

$$I_D(V_M) = k'_n (W/L)_n V_{DSATn} \left(V_M - V_{Tn} - \frac{V_{DSATn}}{2} \right) (1 + \lambda_n V_M)$$

$$= 115 \times 10^{-6} \times 2 \times 0.63 \times (1.05 - 0.4 - 0.63/2) (1 + 0.06 \times 1.05)$$

$$= 52 \times 10^{-6} A$$

$$\begin{aligned}
g &= -\frac{k_n V_{DSATn} + k_p V_{DSATp}}{I_D(V_M)(\lambda_n - \lambda_p)} \\
&= -\frac{1}{2 \times 115 \times 10^{-6} \times 0.63 + 3 \times 30 \times 10^{-6} \times 1} \\
&= -\frac{52 \times 10^{-6}}{0.06 + 0.1} \\
&= -28 \\
V_{IH} &= V_M - \frac{V_M}{g} = 1.1V \quad V_{IL} = V_M + \frac{V_{DD} - V_M}{g} = 1.0V \\
NM_H &= V_{DD} - V_{IH} = 1.4V \quad NM_L = V_{IL} = 1.0V
\end{aligned}$$

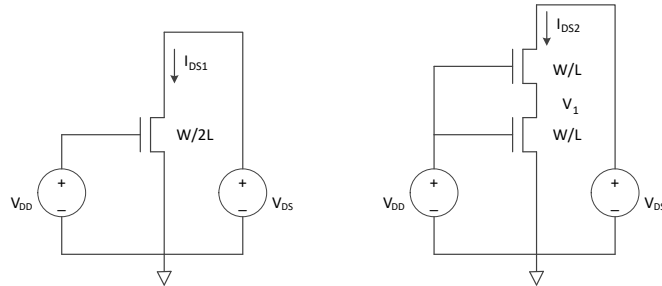
(3)

$$\begin{aligned}
C_L &= (C_{dp} + C_{dn}) + (C_{gp} + C_{gn}) + C_w \\
&= (1.5 + 0.66) + (2.28 + 0.76) + 0.12 \\
&= 5.32 \text{ fF} \\
t_{pHL} &= 0.69 \frac{3}{4} \frac{C_L V_{DD}}{I_{DSATn}} = 0.52 \frac{C_L V_{DD}}{k'_n (W/L)_n V_{DSATn} \left(V_{DD} - V_{Tn} - \frac{V_{DSATn}}{2} \right)} \\
&= \frac{0.52 \times 5.32 \times 10^{-15} \times 2.5}{115 \times 10^{-6} \times 3 \times 0.63 \times (2.5 - 0.4 - 0.63/2)} \\
&= 17.8 \text{ ps}
\end{aligned}$$

11. Q: $0.6\mu\text{m}$ 工艺的 NMOS 晶体管 $t_{ox}=1 \times 10^{-8}\text{m}$, $\epsilon_{ox}=3.5 \times 10^{-11}\text{F/m}$, 电子迁移率 $\mu_n=350\text{cm}^2/\text{V}\cdot\text{s}$, $W/L=2$, 求 NMOS 增益。

A: $\beta = \mu C_{ox} \left(\frac{W}{L} \right) = 350 \times 10^{-4} \times \left(\frac{3.5 \times 10^{-11}}{1 \times 10^{-8}} \right) \times 2 = 2.45 \times 10^{-4} \text{ A/V}^2$

12. Q: 两个包含 NMOS 晶体管电路 (如下图所示), NMOS 的尺寸及电压情况如图中所标注, 其余的工艺参数相同, NMOS 均工作在电阻区, 通过公式推导, 验证 $I_{DS1}=I_{DS2}$ (流过两个串联的等长晶体管的电流等于流过一个两倍长度的晶体管的电流)。



A: 图 (a) 中的 $V_{gs}=V_{DD}$, NMOS 工作在电阻区, $I_{ds1} = \frac{\beta}{2} \left(V_{DD} - V_t - \frac{V_{ds}}{2} \right) V_{ds}$

图 (b) 中上方 NMOS 的 $V_{gs1}=V_{DD}-V_1$, $V_{ds1}=V_{DS}-V_1$, 下方 NMOS 的 $V_{ds2}=V_1$, 两个 NMOS 的漏电流相等, 所以有

$$I_{ds2} = \beta \left(V_{DD} - V_t - \frac{V_1}{2} \right) V_1 = \beta \left((V_{DD} - V_1) - V_t - \frac{(V_{DS} - V_1)}{2} \right) (V_{DS} - V_1),$$

$$\begin{aligned}
V_{DD}V_1 - V_tV_1 - \frac{V_1^2}{2} &= V_{DD}V_{DS} - V_1V_{DS} - V_{DS}V_t - \frac{V_{DS}^2 - V_1V_{DS}}{2} - V_{DD}V_1 + V_1^2 + V_1V_t + \frac{V_1V_{DS} - V_1^2}{2} \\
V_{DD}V_1 - V_tV_1 - \frac{V_1^2}{2} &= V_{DD}V_{DS} - V_1V_{DS} - V_{DS}V_t - V_{DD}V_1 + V_1^2 + V_1V_t + \frac{2V_1V_{DS} - V_{DS}^2 - V_1^2}{2} \\
V_{DD}V_1 - V_tV_1 - \frac{V_1^2}{2} &= V_{DD}V_{DS} - V_{DS}V_t - V_{DD}V_1 + V_1^2 + V_1V_t - \frac{V_{DS}^2 + V_1^2}{2} \\
2V_{DD}V_1 - 2V_tV_1 &= V_{DD}V_{DS} - V_{DS}V_t + V_1^2 - \frac{V_{DS}^2}{2} \\
V_1^2 - 2(V_{DD} - V_t)V_1 + V_{DS}(V_{DD} - V_t - \frac{V_{DS}}{2}) &= 0
\end{aligned}$$

一元二次方程求解得到 $V_1 = (V_{DD} - V_t) - \sqrt{(V_{DD} - V_t)^2 - \left(V_{DD} - V_t - \frac{V_{DS}}{2}\right)V_{DS}}$ ，将该式代入

$$I_{ds2} = \beta \left(V_{DD} - V_t - \frac{V_1}{2} \right) V_1 \text{ 得到 } I_{ds1} = I_{ds2}。$$

(本题忽略了电压 V_1 产生的晶体管体效应)

13. Q: NMOS 晶体管的工艺参数如下:

$t_{ox}=2 \times 10^{-8} \text{m}$, $W=10 \mu\text{m}$, $L_d=1.5 \mu\text{m}$, $x_d=0.25 \mu\text{m}$, $L_s=L_D=5 \mu\text{m}$, $x_j=0.4 \mu\text{m}$, 源区参杂浓度 $N_D=10^{20}$ 原子/ cm^3 , 衬底参杂浓度 $N_A=10^{16}$ 原子/ cm^3 , 沟道阻挡层参杂浓度 $N_{A+}=10^{19}$ 原子/ cm^3 。

计算在 300K 的温度下,

(1) 分别求在 $V_D=5\text{V}$ 和 2.5V 时的漏区扩散电容($q=1.6 \times 10^{-19}\text{C}$);

(2) 求漏区的覆盖电容, $\epsilon_{ox}=3.5 \times 10^{-11}\text{F/m}$ 。

(提示: 利用电子教材上的公式 (3.1) (3.2) (3.7) (3.8) (3.44) (3.45), $A_D=1$)。

A:

(1) 在 300K 温度下, 纯硅半导体材料的载流子浓度为 1.5×10^{10} 原子/ cm^3 ,

$$\phi_T = kT / q = 0.0259\text{V},$$

$$\phi_0 = \phi_T \ln \left(\frac{N_A N_D}{N_i^2} \right) = 0.0259 \ln \left(\frac{10^{16} \times 10^{20}}{(1.5 \times 10^{10})^2} \right) = 0.933\text{V}$$

当 $V_D=5\text{V}$ 时,

$$\begin{aligned}
C_{j0} &= \sqrt{\left(\frac{\epsilon_{si} q}{2} \frac{N_A N_D}{N_A + N_D} \right)} \phi_0^{-1} = \sqrt{\left(\frac{11.7 \times 8.854 \times 10^{-12} \times 1.6 \times 10^{-19}}{2} \frac{10^{16} \times 10^{20} \times 10^6}{10^{16} \times 10^6 + 10^{20} \times 10^6} \right)} \times \frac{1}{0.933} \\
&= 2.98 \times 10^{-4} \text{F/m}^2
\end{aligned}$$

$$C_j = \frac{C_{j0}}{\sqrt{\left(1 - \frac{V_D}{\phi_0} \right)}} = \frac{2.98 \times 10^{-4}}{\sqrt{\left(1 - \frac{-5}{0.933} \right)}} = 1.18 \times 10^{-4} \text{F/m}^2$$

$$\phi_{0+} = \phi_T \ln \left(\frac{N_{A+} N_D}{N_i^2} \right) = 0.0259 \ln \left(\frac{10^{19} \times 10^{20}}{(1.5 \times 10^{10})^2} \right) = 1.111\text{V}$$

$$C_{jsw0} = \sqrt{\left(\frac{\epsilon_{si} q}{2} \frac{N_{A+} N_D}{N_{A+} + N_D} \right) \phi_{0+}^{-1}} = \sqrt{\left(\frac{11.7 \times 8.854 \times 10^{-12} \times 1.6 \times 10^{-19}}{2} \frac{10^{19} \times 10^6 \times 10^{20} \times 10^6}{10^{19} \times 10^6 + 10^{20} \times 10^6} \right) \times \frac{1}{1.111}}$$

$$= 8.2 \times 10^{-3} F / m^2$$

$$C_{jsw} = \frac{C_{jsw0}}{\sqrt{\left(1 - \frac{V_D}{\phi_{0+}} \right)}} = \frac{8.2 \times 10^{-3}}{\sqrt{\left(1 - \frac{-5}{1.111} \right)}} = 3.49 \times 10^{-3} F / m^2$$

$$C_{diff} = C_{bottom} + C_{sw}$$

$$= C_j L_s W + C_{jsw} x_j (2L_s + W)$$

$$= (1.18 \times 10^{-4})(5 \times 10^{-6})(10 \times 10^{-6}) + (3.49 \times 10^{-3})(0.4 \times 10^{-6})(2 \times (5 \times 10^{-6}) + 10 \times 10^{-6})$$

$$= 5.9 \times 10^{-15} + 27.9 \times 10^{-15} = 33.8 \times 10^{-15} F$$

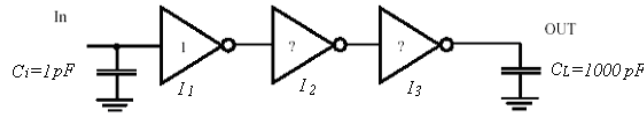
当 $V_D = 2.5V$ 时, 同理可得 $C_{diff} = 4.43 \times 10^{-16} F$

$$(2) C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = \frac{3.5 \times 10^{-11}}{2 \times 10^{-8}} = 1.7 \times 10^{-7} F / cm^2$$

$$C_{GD} = C_{ox} W x_d = (1.7 \times 10^{-7}) \times (10 \times 10^{-4})(0.25 \times 10^{-4}) = 4.31 \times 10^{-15} F$$

14. 有三个反相器组成的反相器链, 输入电容为 $C_i = 1pF$, 负载电容为 $C_L = 1000pF$, 如果第一个反相器的尺寸为 1, 在反相器链传播延时最小情况下, 传播延时 t_{p1} 为 70ps (注: $\gamma = 1$),

- (1) 请确定其他两个反相器 I_2 、 I_3 的尺寸, 使反相器链的传播延时最小, 并计算该情况下的最小延时;
- (2) 如果允许增加更多的反相器使反相器链的延时最小, 请确定插入反相器的数目, 并计算该情况下的最小延时。



A: (1) 反相器链最小延时约束条件为:

$$C_{g,j} = f C_{g,j-1}, \quad f = \sqrt[N]{F} = \sqrt[N]{C_L / C_i} = \sqrt[3]{1000/1} = 10,$$

则 I_2 的尺寸为 $(W/L)_2 = f(W/L)_1 = 10$,

I_3 的尺寸为 $(W/L)_3 = f(W/L)_2 = 100$,

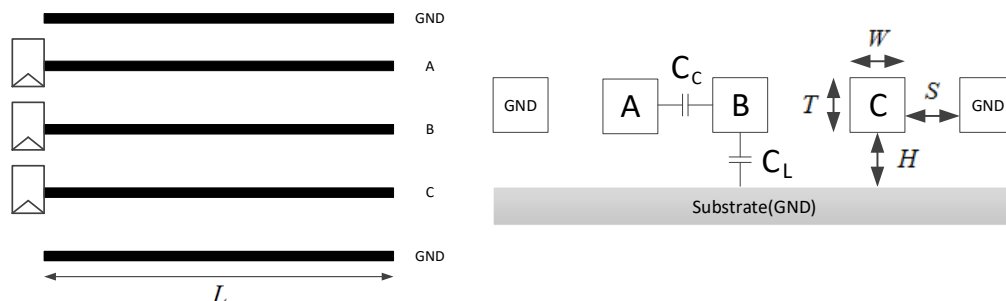
$$t_{p1} = t_{p2} = t_{p3} = t_{p0} \left(1 + \frac{f}{\gamma} \right) = 70 ps$$

$$t_p = t_{p1} + t_{p2} + t_{p3} = 210 ps$$

(2)

$$\begin{aligned}
f &= e^{(1+\gamma/f)} \\
f &\approx 3.6 \\
f &= \sqrt[3]{F} \\
N &= \ln F / \ln f = \ln 1000 / \ln 3.6 \approx 5 \\
\text{此时 } f &\approx \sqrt[5]{1000} = 3.98 \\
t_{p1} &= t_{p0} \left(1 + \frac{f}{\gamma} \right) = 70 \text{ ps} \\
t_{p0} &\left(1 + \frac{10}{1} \right) = 70 \text{ ps} \\
t_{p0} &= 6.36 \text{ ps} \\
t_p &= N t_{p0} (1 + \sqrt[3]{F} / \gamma) = 5 \times 6.36 (1 + 3.98) = 158 \text{ ps}
\end{aligned}$$

15. Q: 逻辑门驱动的数据总线位宽为 3bit, 是由三根尺寸相同, 距离相等的信号线 A、B、C 组成, 两侧用地线屏蔽外部互联线串扰, 总线的布线图、截面图及尺寸参数值如下图



- (1) 计算信号线的对地单位电容 c_L 和信号线间的单位耦合电容 c_C , 电介质介电常数 $\epsilon_r=3.45$, (提示: 电容计算公式为 $c = c_{pp} + c_{fringe} = \frac{\epsilon_r}{h} (w - \frac{t}{2}) + \frac{2\pi\epsilon_r}{\log(2h/t+1)}$)
 - (2) 受到信号线 A 和 C 的电压变化影响, 信号线 B 会出现耦合电容的变化, 分析产生最大耦合电容和最小耦合电容的情况, 画出两种情况下的信号线 A、B 和 C 的电压变化波形图, 并用密勒效应来计算两种情况下信号线 B 的单位总电容 c_T ;
 - (3) 总线材料为 Al, 其电阻率 $\rho=2.7 \times 10^{-8} \Omega \cdot m$, 计算信号线 B 的单位电阻;
 - (4) 总线长度 $L=1.0mm$, 用 Elmore 模型近似计算信号线 B 的最大延迟和最小延迟。
- A: 这部分知识点请大家学习电子版教材第 328 页, 9.2.2 节相关内容。

$$\begin{aligned}
C_L &= C_{pp} + C_{fringe} = \frac{\epsilon_r}{h} \left(w - \frac{t}{2} \right) + \frac{2\pi\epsilon_r}{\log(2h/t+1)} \\
&= \frac{3.45}{0.4\mu m} \left(0.4\mu m - \frac{0.6\mu m}{2} \right) + \frac{2\pi \times 3.45}{\log\left(\frac{2 \times 0.4\mu m}{0.6\mu m} + 1\right)} \\
&= 0.8625 + 58.90 = 59.7625
\end{aligned}$$

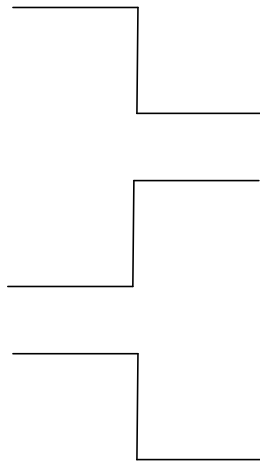
$$(1) c_L = C_L \times \epsilon_0 = 59.7625 \times 8.854 \times 10^{-12} = 529.14 \text{ pF/m}$$

上式 C_L 并不是最后的单位长度电容, 还差个 ϵ_0 , 所以最后的单位长度 $c_L = C_L \epsilon_0$ 。

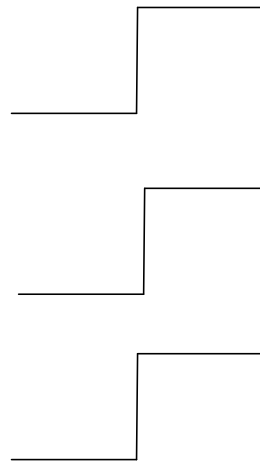
者的例子是有机聚合物 (polyimide) 和气凝胶 (aerogel)。 ϵ 一般都表示成两项的积, 即 $\epsilon = \epsilon_r \epsilon_0$ 。 $\epsilon_0 = 8.854 \times 10^{-12} \text{ F/m}$ 是真空的介电常数, 而 ϵ_r 是绝缘材料的相对介电常数。表 4.1 列出了几种用在集成

$$\begin{aligned}
C_c &= \frac{\varepsilon_r}{s} \left(t - \frac{w}{2} \right) + \frac{2\pi\varepsilon_r}{\log\left(\frac{2s}{w} + 1\right)} \\
&= \frac{3.45}{0.6\mu\text{m}} \left(0.6\mu\text{m} - \frac{0.4\mu\text{m}}{2} \right) + \frac{2\pi \times 3.45}{\log\left(\frac{2 \times 0.6\mu\text{m}}{0.4\mu\text{m}} + 1\right)} \\
&= 2.3 + 36.0 = 38.3 \\
c_c &= 38.3 \times 8.854 \times 10^{-12} = 339.11 \text{ pF/m}
\end{aligned}$$

(2) $C_{total} = 4C_c + C_L$ (考虑米勒效应所以两个相反方向的电流导致总的偶合电容为 $2C_c$)



$C_{total} = 4C_c + C_L$ 情况



$C_{total} = C_L$ 情况
(这种电流变化情况没有线间电容)

(3) $r = \frac{\rho}{tw} = \frac{2.7 \times 10^{-8} \Omega \cdot \text{m}}{0.6 \times 0.4 \mu\text{m}^2} = 0.1125 \Omega/\mu\text{m}$

(4) 用公式 (4.16) elmore 模型

(5) 最小延迟: $\tau = \frac{0.1125 \Omega/\mu\text{m} \times 529 \frac{\text{pF}}{\text{m}} \times (1\text{mm})^2}{2} = 29.76 \mu\text{s}$

最大延迟:

$$\begin{aligned}
\tau &= \frac{0.1125 \Omega/\mu\text{m} \times (4c_c + c_L) \times (1\text{mm})^2}{2} = \frac{0.1125 \Omega/\mu\text{m} \times (4 \times 339.11 + 529.14) \times (1\text{mm})^2}{2} \\
&= \frac{1}{2} \times 0.1125 \times 1885.58 \text{ pF/m} \times (1\text{mm})^2 \\
&= 101.07 \mu\text{s}
\end{aligned}$$

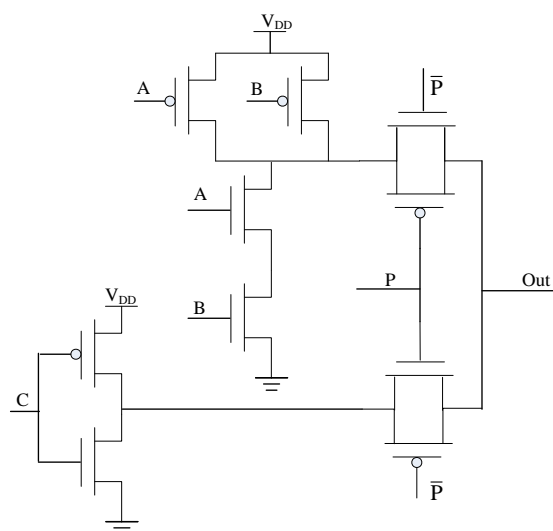
(此处计算延时常数 τ , 最后结果应再乘以 0.69 或 0.38)

16. Q: 回答下列问题:

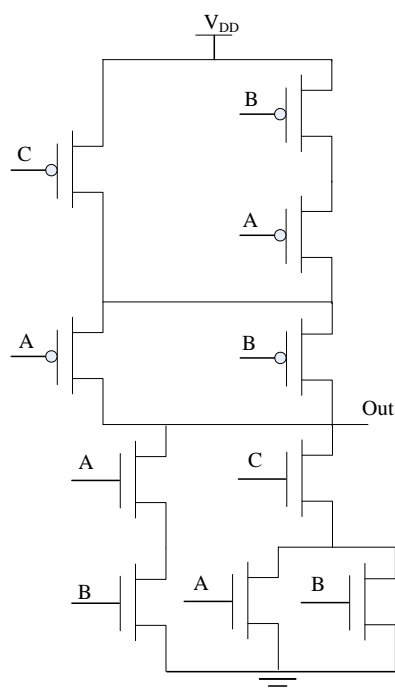
(1) 用互补 CMOS 门实现逻辑功能为 $Out = \overline{AB + AC + BC}$ 的电路;

(2) 用由 NMOS 构成下拉网络的多米诺门实现逻辑功能为 $Out = \overline{AB + AC + BC}$ 的电路;

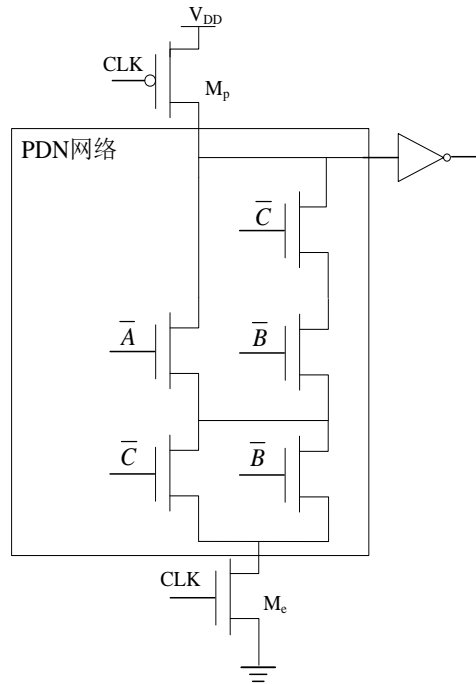
(3) 写出下面 CMOS 电路的逻辑函数功能。



A: (1)



$$\begin{aligned}
 (2) \quad Out &= \overline{AB + AC + BC} = \overline{AB} \cdot \overline{AC} \cdot \overline{BC} = (\overline{A} + \overline{B}) \cdot (\overline{A} + \overline{C}) \cdot (\overline{B} + \overline{C}) \\
 &= (\overline{A} + \overline{AC} + \overline{AB} + \overline{BC}) \cdot (\overline{B} + \overline{C}) = (\overline{A} + \overline{BC}) \cdot (\overline{B} + \overline{C})
 \end{aligned}$$



$$(3) \quad Out = \bar{C} \cdot P + \overline{A \cdot B} \cdot \bar{P}$$

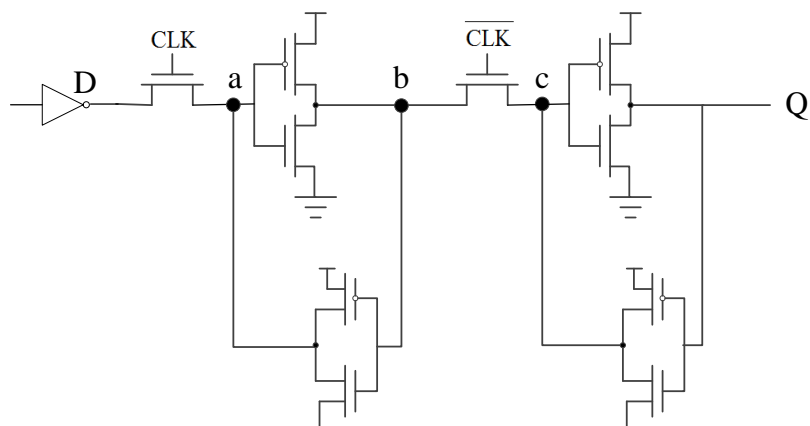
17. Q: 一个由两个相反类型的锁存器组成的寄存器（如下图所示），驱动端 D 由一个反相器所驱动，所有的交叉耦合反相器的 $W_p/W_n=2$ ，并且 W_p 和 W_n 均是 $0.25\mu\text{m}$ 工艺的晶体管最小宽度尺寸，

(1) 指出前后串联的锁存器的正负类型及该寄存器的正负沿类型；

(2) 由于该寄存器的时钟开关采用的是传输管结构，请确定传输管的最小尺寸限制，确保在输入端 D 为“0”时，能够将其写入寄存器中（忽略沟道调制且如果发生漏电流饱和则为速度饱和，晶体管的其它参数参考教材表 3.2）；

(3) 如果传输管的尺寸是确定的，并且不满足成功写入“0”的尺寸限制条件，如何采取其它方法来保证成功将“0”写入寄存器？

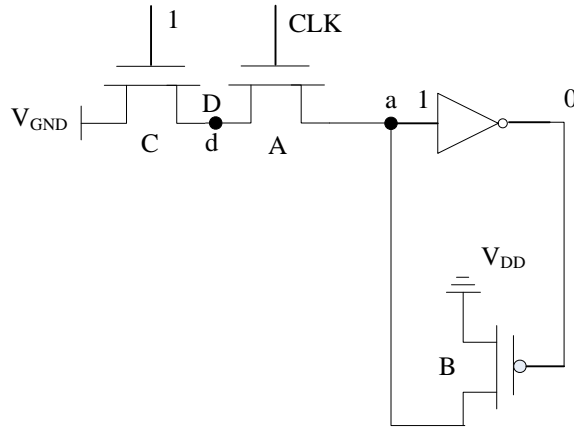
(4) 如果传输管的延时是 t_T ，反相器的延时是 t_{INV} ，给出寄存器建立时间 t_{su} ，传输延迟 t_{cq} 和维持时间 t_{hold} 。



A:

(1) 前边的是正锁存器，后边的是负锁存器，是下降沿触发寄存器；

(2) 为了使输入端 D 的 ‘0’ 信号传到锁存器（寄存器）中，需要使 a 点的 ‘1’ 信号被下拉为 ‘0’，由于双稳态电路的驱动使 a 点保持 ‘1’ 信号，因此在 a 点产生了竞争。为了确保 a 点的 ‘1’ 信号变为 ‘0’ 信号，NMOS 传输管 A 的驱动强度要大于反相器中的 PMOS 管 B 的驱动强度。在下图我们保留了影响 a 点下拉的晶体管，其它的晶体管被略去。



以 a 点电压等于 $V_{DD}/2$ 作为参考点，如果能把 a 点下拉低于 $V_{DD}/2$ 表明成功将双稳态触发器的上方反相器输出上拉到阈值电压以上，即将 ‘0’ 信号输入到寄存器中。根据 $I_{Bp} = I_{An} = I_{Cn}$ ，NMOS C 和 NMOS A 假设相同，d 点电压应为 $V_{DD}/4$ ，可有如下等式成立，

$$k_p'(W/L)_p V_{dsatp}(V_m - V_{DD} - V_{tp} - V_{dsatp}/2) = k_n'(W/L)_n V_{dsatn}(V_{DD} - \frac{V_{DD}}{4} - V_{tn} - V_{dsatn}/2)$$

$$-30 \times 10^{-6} (W/L)_p \times (-1) \times (1.25 - 2.5 + 0.4 + \frac{1}{2}) = 115 \times 10^{-6} (W/L)_n \times 0.63 \times (2.5 - 0.625 - 0.43 - 0.63/2)$$

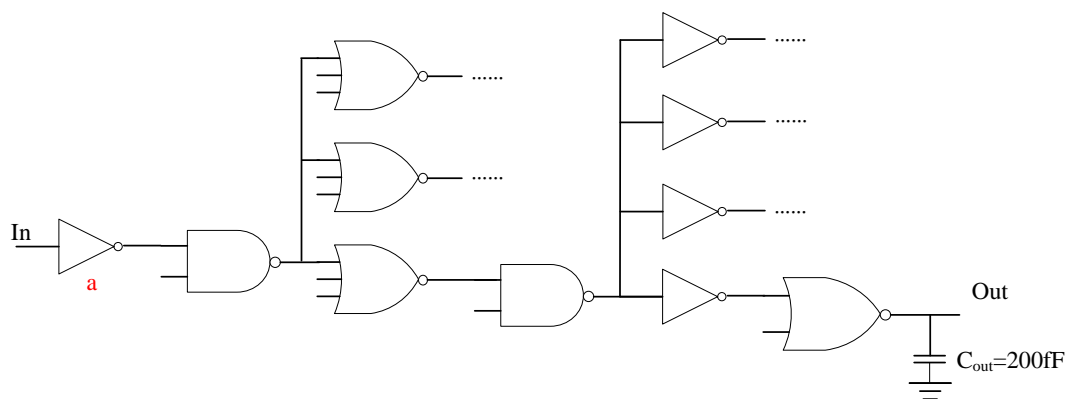
$$\frac{(W/L)_n}{(W/L)_p} > 0.13$$

(3) 减小 PMOS 管 B 的驱动强度（减小其 W/L ），由于 W_p 已经是最小尺寸，所以可以增加 L_p ，使 W_p/L_p 减小。

(4) 在时钟下降沿到达之前需要输入的有效信号到达 b 点，这样当时钟下降沿到达后，前面的传输管断开，后面的传输管导通，有效信号通过后面的传输管传到输出端 Q，所以 $t_{su} = t_T + t_{INV}$ ，当时钟下降沿到达后，有效信号从 b 点传到 Q 端需要经过一个传输管和一个反相器的延时，因此 $t_{cq} = t_T + 2t_{INV}$ ，本寄存器电路前端传输管在时钟下降沿到达后立即关闭，D 端信号的变化不会传到寄存器内部，所以 $t_{hold} = 0$ 。（不考虑时钟重叠情况）

18. Q: 下图中组合逻辑电路的反相器 a 的晶体管宽度 $W_n = 1\mu m$ ， $W_p = 2\mu m$ ，单位晶体管宽度的栅电容 $C_g = 2fF/\mu m$ ， $C_{out} = 200fF$ ，（注：参考表 6.5）

- (1) 从 In 到 Out 电路的总路径努力是多少？
- (2) 使路径延时最小的门努力是多少？



A: a) $H = GFB$

$$G = 1 \times 4/3 \times 7/3 \times 4/3 \times 1 \times 5/3 = 560/81 = 6.91$$

$$B = 1 \times 3 \times 1 \times 4 \times 1 \times 1 = 12$$

$$C_{in} = 2fF/\mu m (1\mu m + 2\mu m) = 6fF$$

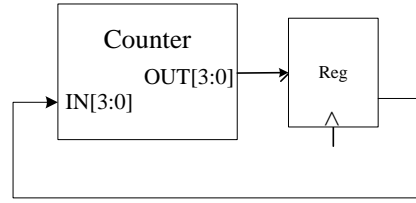
$$F = C_{out}/C_{in} = 200/6 = 33.33$$

$$H = 6.91 \times 12 \times 33.33 = 2764$$

b) $h = \sqrt[3]{H} = \sqrt[3]{2764} = 3.75$

19. Q: 下图是一个+1 循环计数器电路，循环计数器逻辑块的输入为 4 比特 IN[3:0]，输出为 4 比特 OUT[3:0]，比特位[3]表示最高位，比特位[0]表示最低位，循环计数器的最大计数为 9(1001)，当输入 IN[3:0]等于 9 时，输出 OUT[3:0]等于 0
- (1) 对于 IN[3:0]的每一个比特位的 0 和 1 的概率 p_0 和 p_1 是多少？
 - (2) 对于 IN[3:0]的每一个比特位从 0->1 的翻转因子各是多少？
 - (3) 如果 IN[3:0]的每一个比特位的负载电容是 5fF，OUT[3:0]的每一个比特位的负载电容是 4fF，电路时钟频率为 250MHz， $V_{DD}=2.5V$ ，计算该电路的动态功耗。

IN[3:0]
0000
0001
0010
0011
0100
0101
0110
0111



1000
1001

A:

a) IN[0]: $p_1=0.5, p_0=0.5$;

IN[1]: $p_1=0.4, p_0=0.6$;

IN[2]: $p_1=0.4, p_0=0.6$;

IN[3]: $p_1=0.2, p_0=0.8$;

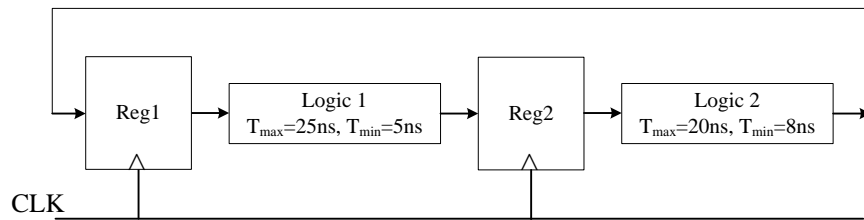
b) $\alpha_{IN0}: 0.5; \alpha_{IN1}: 0.2; \alpha_{IN2}: 0.1; \alpha_{IN3}: 0.1$;

c) $P = \alpha f C V_{DD}^2 = (0.5+0.2+0.1+0.1) \times 250 \times (4+5) \times (2.5)^2 = 12.7 \mu W$

20. Q: 请分析下图带反馈的电路结构, 其中寄存器是边沿触发的, 并且 $t_{c-q, \min}=2ns, t_{c-q, \max}=4ns$, $t_{setup}=1ns, t_{hold}=1ns$

(1) 如果没有时钟偏差和抖动发生, 该系统的工作频率是多少?

(2) 该系统能够允许的最大时钟偏差是多少?



A:

a) $T > t_{c-q} + t_{logic} + t_{setup}$

$$T_1 > 4 + 25 + 1 = 30 \text{ ns}$$

$$T_2 > 4 + 20 + 1 = 25 \text{ ns}$$

$$T = \max(T_1, T_2) = 30 \text{ ns}$$

$$f = 1/T = 33.3 \text{ MHz}$$

b) $t_{hold} + \delta < t_{c-q, \min} + t_{logic, \min}$

$$\delta < t_{c-q, \min} + t_{logic, \min} - t_{hold}$$

$$\delta_1 < 2 + 5 - 1 = 6 \text{ ns}$$

$$\delta_2 < 2 + 8 - 1 = 9 \text{ ns}$$

$$\delta = \min(\delta_1, \delta_2) = 6 \text{ ns}$$