

Top-level

sábado, 2 de outubro de 2021 10:03

08 - Manager 02 ([Web view](#))

- **Creating a specialist role for it**
 - gerente tem responsabilidade do topo, mas ultimamente temos treinado algumas pessoas para tomarem conta do topo.
 - a gente tem que ter um projetista alocado no começo do projeto para focar no topo, não deixar o gerente... estamos tentando mudar isso. A ideia é o gerente só verificar, não fazer o topo.
 - O ideal seria ter alguém responsável pelo topo e modelar o sistema antes dos projetistas começarem a implementar (...) A ideia seria alguém responsável principalmente pelo modelo, simulação de topo/mixed, estratégia de teste/debug e integração. (...) Não precisamos ter diretamente uma pessoa que ataque tudo isso, temos que juntar pessoas para desenvolver essa habilidade e capacite para ter independência (sem precisar ficar perguntando muita coisa).
- **Resistance to consider top**
 - A topo eu acho que ninguém que pegar...
 - Os projetistas dos blocos geralmente interage com o topo só se pedido, se está afetando sua "caixinha".
- **Changes create a high impact at layout**
 - Tem acontecido (hoje menos) um estresse porque analog pede algumas mudanças pro digital, eles falam que é simples de mudar e tal, mas tem esse passo manual que tem que ser feito depois e o layout começa a reclamar porque entregou o digital em cima da hora (e tem mais trabalho por ser manual e tem que verificar)... essa interação no final do projeto não é boa, pois ficamos sobrecarregando o time de layout porque o digital não consegue fazer essa verificação antes.
 - o atraso sempre acumula e quem acaba sofrendo mais é o layout analógico e o backend digital
- **Affect team interactions**
 - Acho que os principais pontos são (...) tentar ter uma interação de digital e analógico mais cedo... que acho que é dificultado pela questão do topo não ficar bem definida.

10 - Manager 03 ([Web view](#))

- **Limited top verification**
 - A simulação mixed hoje não é para validar a performance do chip, é só para validar que os dois lados estão conversando.
- **Resistance to consider top**
 - Não sei dizer se o digital tem essa visão de topo, mas minha impressão é que não, não parecem ter interesse no topo como um todo.

12 - Manager 04 ([Web view](#))

- **Unclear verification scope**
 - Tá aí uma coisa que estamos tentando fechar no fluxo mixed... como saber se a verificação que tá vindo do digital é a mesma que deveria estar rodando no topo. Aquela coisa de validar modelo, validar verificação de um lado para quando rodar no outro ser a mesma coisa que tava esperando.
 - Esse fluxo de especificação acaba causando coisas como uma feature dando problema e é pega por uma simulação que nem era para pegar aquele problema.
 - E tenho visto muito essa dificuldade de fechar essa questão de garantir que o que tá sendo verificado no fluxo digital é o mesmo que vai ser verificado no mixed-signal. Ainda não temos uma solução para isso, quem dirá virar algo sistemático.
- **Not top-level, but at least macro block**
 - Não existe algo sistemático na Chipus para que todos tenham uma visão de topo.

Apenas quem está envolvido diretamente com o topo ou curiosidade do projetista. Acontece muito do projetista só enxergar o seu bloco. Acho que não existe uma regra geral se isso é bom ou não... seria legal todos terem para ajudar ou propor soluções... seria um problema se o cara não tiver nem uma visão do macro bloco onde seu bloco vai ser usado. Não ter uma visão geral de um chip complexo não vejo ter um impacto na qualidade do que estamos fazendo, mas não saber o macro bloco em que está inserido sim. Não sei a frequência disso.

- Problemas de integração, o que acontece as vezes é uma questão de como é gerado a spec de subblocos. As vezes é teórico (planejado), as vezes foi feita uma simulação comportamental para gerar a spec... quando você tras o bloco e a interação entre os blocos não funciona ok (carga maior, sinal devagar, kick-back, etc)... Acontece sim, mas não sei se é porque o cara não conhece o topo... pode ser que sim, porque se o cara recebeu uma spec com carga X e antes de desenhar ver onde o bloco estará inserido pode ver que a carga não bate.
- **Creating a specialist role for it**
 - As atividades de integração e verificação de topo tem sido feitas mais pro final dos projetos. Temos tentando lutar contra isso com a figura de um responsável pela integração desde o inicio do projeto. Temos tido dificuldade porque se aparece algum incendio essa pessoa é mudada para resolver problemas de bottom level.

13 - Manager 05 (Web view)

- **Interest to consider top**
 - Acho que tem interesse da visão de diferentes times, (...) E vejo isso no digital também, pois perguntam muito.
 - A visão de topo entre digital e analógico geralmente tá claro. Principalmente quem estiver envolvido com integração. Eu acho que não tem sido um problema ultimamente.
- **Digital considered critical**
 - Questões em circuitos grandes, como correção de antena, as vezes nem passamos pro digital porque conseguimos falar ele funcionar então tentamos resolver pro fora para não alterar o digital.

Specification

sábado, 2 de outubro de 2021 14:34

[01 - Manager 01 \(Web view\)](#)

- **No alignment of expectations on what, how and why of activities**
 - floorplan (abstract view em formato LEF). Nessa parte, eu acho que é preciso saber o que vai ser feito do outro lado e formalizar as definições.)
 - "Eu sei que tem que fazer isso", "Eu também sei", "Eu também sei", mas eu acho que falta formalizar isso.
 - ... tem falta de clareza do que significa o que foi pedido, de como tem de ser gerado, não sabia pra que ia usar e mais para esse lado... acho que essas formalizações ajudam.
 - Padrão de informação me parece mais importante que templates ou essas coisas, ... saber como tem de ser feito e quais pontos tem de ser cobertos... o que tem que ter lá dentro ou qual a precisão.
 - ... pois não basta saber o que o sistema faz, também é importante saber até onde vamos modelar, ... É importante fazer esse julgamento dessas questões. Acho que falta (nós, os gerentes) conversarmos mais para os projetistas entenderem o que precisa nesse modelo. As vezes não demos subsidios suficientes para o projetistas saber o que tem que modelar.
- **Unclear requirements**
 - "OK, o digital vai ser esse quadrado", mas são definições muito incipientes: quais as posições dos pinos? Quais os nomes dos pinos?
 - Eu tenho noção no que as entregas são usadas pela outra disciplina, mas não acho que isso está claro para todos os envolvidos.
 - Modelos nem sempre estão bem definidos, pois não basta saber o que o sistema faz, também é importante saber até onde vamos modelar, o que nem sempre está claro pros projetistas.
 - O problema de comunicação geralmente mostra que não deixou claro o que tu quer receber ou o que tem de estar verificado (não tá escrito, não tem ticket, ticket muito sumarizado, definição não clara).
 - de vocabulario não parece ter muito problemas, mas tem falta de clareza do que significa o que foi pedido, de como tem de ser gerado, não sabia pra que ia usar e mais para esse lado... acho que essas formalizações ajudam. Não sei se é "Tu não me entendeu bem" ou "Eu não expliquei direito"
- **Low priority on requirement definition**
 - Um exemplo foi um projeto onde tivemos uns problemas que ficaram meio que na zona cinza, como uma feature que é controlada pelo digital, mas o entendimento da feature é mixed pois estava relacionado com medição de corrente. Por isso, na hora de especificar e validar as features, tem que ter uma visão mixed no topo e as duas disciplinas tem que se entender (as vezes até considerar extra-chip: dependendo dos instrumentos de medição que serão usados ou testes em silício) . Essa feature foi pra spec pouco detalhada e, apesar de muito simples, tinha de ser visto na perspectiva do sistema.
 - Acho que isso também é o ponto de deixar muito claro no topo o porquê das coisas
- **Some requirements left out without necessity**
 - Bug eu não sei se já foi para silício, corremos para resolver e fica sem requisitos essenciais não atendido. ... pego apenas com verificações de topo muito tardias mesmo sendo questões simples. Acho que isso também é o ponto de deixar muito claro no topo porque o reset precisa ser sincrono ou etc e não definir requer adaptações de lógica, reposição e reroteamento de pino.
 - As vezes são features não-essenciais ou problemas que são contornáveis, então não chegou a inviabilizar o projeto.

[08 - Manager 02 \(Web view\)](#)

- **Constant requirement changes**

- Existem riscos que sabemos que vão acontecer mas não tem o que ser feito, **como mudanças de escopo do projeto**. Sempre vão especificando e incluindo mais coisas durante o projeto, tentamos minimizar mas sempre vai ter essa questão. É um problema em outras empresas também, é algo normal. São coisas que foram mapeadas, mas são **as incertezas que não sabemos ou demora para descobrirmos como resolver**. Porém precisamos **reduzir o tempo e custo de RFQ**, pois não queremos gastar recursos antes de fechar um projeto

10 - Manager 03 (Web view)

- **Requirements to reduce interaction need**

- Em um projeto teve uma **especificação melhor e talvez não precisasse saber mais do topo**.

12 - Manager 04 (Web view)

- **Incomplete requirements from client**

- **as specs nunca estão completas**. Elas sempre chega com **alguns requisitos muito bem definidos, alguns com entendimento parcial do que vai precisar e outros sem nenhuma definição** (discutimos com o cliente para definir essa feature).
- Projetistas recebem o mesmo nível de especificações que a gente, que **sempre estão incompletas...**
- incompletas não no sentido maldoso, as vezes o **cliente não tem resposta para tudo e temos que descobrir enquanto estamos fazendo...** não é porque não temos feito um trabalho de captura de spec bom, porque não é discutido, porque não tem se tentado obter as informações antes de começar o projeto... mas em geral **entre discutir e começar o projeto o cliente não tem todas as respostas**.

- **Unclear digital specification**

- as vezes **passamos o como funciona, sem ter um formalismo na especificação**. Isso acaba gerando muito retrabalho lá na frente...
- Vamos **levantando e refinando os requisitos a medida que a parte analógica vai sendo projetado**, vamos tendo um entendimento do que se precisa do controle digital... Vai **aprimorando e passando aos poucos**.
- Porém algumas vezes entra na correria e os projetistas analógicos apenas passam uma ideia do que precisa ser feito (depois vai aprimorando), mesmo sendo capaz de gerar uma especificação formal, mais detalhada.
- **não sabemos todas as features que vamos precisar do digital, todos os sinais de controle ou valor default dos registros**. Como sabemos que partes do fluxo do digital são automatizados, não tem muita complexidade técnicas... **mas dado em cima da hora, até rodar o fluxo todo gera correria. E aí tá o problema**.

- **Unclear mixed requirement**

- As **simulações mixed-signal tem problemas técnicos** (definir interface elétrica, connect rules, dominio de alimentação). O que tenho visto é **desentendimento do que uma feature deveria fazer, ou coisas simples como polaridade de um sinal, ou quando um sinal tem que ligar/desligar, em quais condições deveria funcionar**.
- A maior dificuldade é técnica no mixed, mas eu acho que tem uma **dificuldade em como fazer o fluxo de informação da especificação rodar de uma forma sistemática**. Ainda é muito baseada em conversa, email e reunião... ainda **não temos um fluxo estruturado para passar especificação pro digital** e, de alguma forma, a documentação voltar para existir uma revisão do que o digital entendeu para ver se já se identifica de cara algo que não foi entendida corretamente.
- Esse fluxo de especificação acaba causando coisas como uma **feature dando problema e é pega por uma simulação que nem era para pegar aquele problema**. Tem um **problema dessa troca de informação sobre especificação**.

13 - Manager 05 (Web view)

- **Unclear requirements**

- Comunicação tem problemas de ambos os lados, isso porque é sempre aquela **comunicação rápida** (requisição pouco detalhada). É muito difícil quando o digital dá um

grau de liberdade pro layout... "Faz do jeito que quiser que eu dou um jeito e a gente vê se dá". Eu vou usar qualquer pino, qualquer layer, qualquer coisa em qualquer área e entrego. Acaba gerando problemas como a ferramenta digital não reconhece aquilo como pino, tracks/grid que mudam orientação dos layers... São informações que não são passadas logo de cara.

○

Deliveries

sábado, 2 de outubro de 2021 10:03

01 - Manager 01 ([Web view](#))

- **Deliveries not well defined**
 - floorplan (abstract view em formato LEF). Nessa parte, eu acho que é preciso saber o que vai ser feito do outro lado e formalizar as definições.
 - "OK, o digital vai ser esse quadrado", mas são definições muito incipientes: quais as posições dos pinos? Quais os nomes dos pinos?
 - Eu tenho noção no que as entregas são usadas pela outra disciplina, mas não acho que isso está claro para todos os envolvidos.
- **Missing guide for deliveries to other disciplines ("hand-off points")**
 - Padronização carece: ticket, onde se trocar as coisas (SVN, SOS e Redmine já melhorou bastante a localização de arquivos), mas pode vir de qualquer jeito: Google Docs, algo sem template, etc... Falta padronizar esses pontos de hand-off, que são os pontos chave onde se passa a bola.

08 - Manager 02 ([Web view](#))

- **Deliveries not ready for usage**
 - As vezes precisa colocar um guard ring por exemplo. Essa parte final (signoff de DRC e LVS) é sempre o gargalo, pois o digital depende do analógico e fica tendo interações para corrigir erro.
 - O que pode acontecer é não saber fazer signoff direito na ferramenta, não usar os mesmos switches na verificação física... "eu entreguei, tá pronto" e quando o pessoal do topo integra dá algum problema...
 - Outra coisa que acontece é que as vezes precisa de uma terceira interação manual para passar DRC/LVS. As vezes o bloco digital não vem pronto para rodar LVS. O digital pode fazer, mas precisa aprender a usar a ferramenta do fluxo analógico se não fica sem verificar até o final.
 - pois ficamos sobrecarregando o time de layout porque o digital não consegue fazer essa verificação antes.
- **The deliveries are well known**
 - Existem 4 entregas: símbolo, abstract, esquemático e layout. Analog faz símbolo e abstract para o digital, digital faz esquemático e layout (que são importados pelo time de layout). O analog faz símbolo e abstract (as vezes gerando o LEF diretamente).
 - O fluxo de entregas eu considero que está aceitável.

10 - Manager 03 ([Web view](#))

- **Versioning of artifacts is fussy**
 - Um problema é a interface de armazenamento entre times. O analógico usa a base de dados das ferramentas (e SOS) e o digital usa o SVN. Não existe um consenso de como fazer essa interface. Já aconteceu de as configurações (SOS, libs apontadas) de dois projetistas analógicos estarem iguais mas estarem vendo versões diferentes. Isso acontece porque um tá com a cópia local do SVN desatualizada, um tá apontando pra trunk do digital, outro para uma tag... Fica a merce do projetista que tá abrindo o sistema. O que eu tenho feito é centralizar em mim: faco o checkout (local) e coloco no SOS as definições para apontar para essa cópia, aí todos usam isso e ajudou a corrigir essa questão de todos apontando para a mesma entrega. Tem dado certo essa estratégia.
 - A lib OA do digital nunca se sabe muito bem o quão completa está.
- **Deliveries with issues**
 - Outro problema é a questão da lib de tecnologia digital que o time refaz devido as vias. O topo referencia o PDK e, ao instanciar algo da lib digital e exportar, as vias sumiam por causa dessa incompatibilidade das libs da tecnologia. A gente resolve porque temos na

cabeça que isso pode ser um problema mas não é robusto. Conseguimos contornar fazendo o topo referenciar a tecnologia digital, mas talvez existam casos que podem causar problemas.

12 - Manager 04 (Web view)

- **Deliveries not well defined**

- Até hoje, se eu for fazer um pedido, eu não saberia quais documentos preencher e como são preenchidos para passar essa especificação pra vocês. Acabava que vocês preenchiam e nós revisávamos.

- **Deliveries with issues**

- Os entregáveis da parte física tem tido problemas. Aquela ideia de que é só colocar o bloco digital e DRC/LVS vão passar não tem sido bem assim. (...) sempre tem alguma coisa manual que o analógico tem que fazer ou muita interação com o time de backend digital para fechar o topo
- Na integração e layout eu não sei detalhes técnicos, mas é evidente que a entrega do digital vem com problemas, gerando problemas ao integrar. Mesmo você tendo um abstract, tendo feito um LVS e DRC com blackbox com uma entrega intermediária do digital... quando importa o GDS geralmente tem problema. Agora se o problema é antena (não teve essa especificação de proteção para um sinal específico), ou porque não bate LVS... ainda não está plug'n'play.

13 - Manager 05 (Web view)

- **Deliveries not well defined**

- Originalmente, pegávamos um espaço do layout, desenhávamos um abstract e enviávamos pro digital. Mas como deve ser esse abstract? Que layers fazem sentido pro fluxo digital? Pitch, posicionamento, níveis de metal, orientação, tamanho... Essas coisas.
- É muito difícil quando o digital dá um grau de liberdade pro layout... "Faz do jeito que quiser que eu dou um jeito e a gente vê se dá". Eu vou usar qualquer pino, qualquer layer, qualquer coisa em qualquer área e entrego. Acaba gerando problemas como a ferramenta digital não reconhece aquilo como pino, tracks/grid que mudam orientação dos layers... São informações que não são passadas logo de cara.
- Nunca recebi um input do tipo "faça um abstract desse jeito, partindo da borda na horizontal um track de 0.56 com pino de tamanho de 0.28".

- **Deliveries with issues**

- Muitas vezes entregava um abstract e a entrega em OA lib estava totalmente diferente. Isso acontecia porque meu input não servia, porém eu não era avisado disso.
- Rolava aquele estresse porque o digital fica sempre pronto no final do projeto, mas dá problema de LVS, memória... Ainda tem isso, ainda sofremos disso... Parece que as verificações físicas do fluxo analógico são diferentes do digital, sempre causando essas dificuldades.
- Na etapa final de layout do digital, geralmente dá problema de verificação físicas (especialmente LVS). O digital libera o layout 1 dia antes do tapeout, mas estava usando uma suite de LVS diferente da ferramenta analog (com uma customização que não faz sentido para o analógico por exemplo). (...) As vezes tem que ser resolvido pelo próprio time de layout.
- O digital faz um entregável que pra ele funciona, mas pro analógico não.
- Domínio de alimentação do digital também as vezes gera problema. Como geralmente eles tem apenas um domínio, pode acontecer curto no substrato quando vai pro topo que não é um problema para eles. Essas acordâncias não são feitas antes para definir as tensões do substrato. As vezes é fácil de resolver, as vezes não. Mas comparado a outros problemas, pode até ser considerado.

- **Unusable documents from other team**

- Ainda é estranho pro analógico as noções de pitch, track, layers usadas,... Por isso um layoutista pegou o Welcome Guide do digital, fez o tutorial e gerou um documento voltado pro time de layout com esse fluxo.
-

Planning

sábado, 2 de outubro de 2021 10:04

[01 - Manager 01 \(Web view\)](#)

- **Inspection instead of prevention approach**
 - "Eu to te passando, se der erro me avisa", mas acabamos nos complicando nisso.
 - Para refinar o que tem de ser feito, geralmente tem muitas interações.
- **Not aligned early in the project**
 - OK, o digital vai ser esse quadrado", mas são definições muito incipientes: quais as posições dos pinos? Quais os nomes dos pinos?

[08 - Manager 02 \(Web view\)](#)

- **Subestimated development activities**
 - A etapa de desenvolvimento geralmente dura mais do que o planejado... faltou o planejamento de quanto vai demorar fazer esse desenvolvimento, simulação pode ser muito longa, não sabe como fazer, não consegue simular, simulação demorou mais do que pensava... Demora para gerar o extraído...

[10 - Manager 03 \(Web view\)](#)

- **Lack control over the other team**
 - Na parte gerencial, também não tenho controle sobre gasto de horas do digital. O gerente digital cuida desse lado, aloca mais pessoas para fechar no prazo e acaba estourando o budget do projeto. Um projeto com tecnologia nova foi aproveitado para testar fluxo, testar ferramenta... acabou estourando muito o gasto do projeto com horas usadas sem estar relacionadas a entrega do projeto.
- **No robust process to avoid recurring issues**
 - Outro problema é a questão da lib de tecnologia digital que o time refaz devido as vias. O topo referencia o PDK e, ao instanciar algo da lib digital e exportar, as vias sumiam por causa dessa incompatibilidade das libs da tecnologia. A gente resolve porque temos na cabeça que isso pode ser um problema mas não é robusto.

[12 - Manager 04 \(Web view\)](#)

- **Unused procedures**
 - deveríamos fazer as simulações com tudo em device-level. No entanto, não sei se temos conseguido fazer essa parte ou usado SDF para anotar timing do digital.
 - É uma etapa de fechamento que estamos precisando melhorar. A própria checklist de tapeout que comentei ainda não tá na ISO, alguns gerente não tem dado prioridade por causa de tempo ou outras atividades (é para ser realizado em momento crítico do projeto).
 - Uma coisa no fluxo que acho que estamos devendo são os design reviews. Não sei como tem sido feito no digital, mas no analógico geralmente isso é pulado e o review acaba acontecendo nas reuniões ordinárias. Geralmente discussões com o lider de projeto até as questões estarem entendidas. Não tem aquele momento formal de parar, fazer um design review, trazer outras pessoas com visões diferentes do bloco. Ele é previsto no fluxo, mas não temos feito com a frequência que deveria.
- **Inspection instead of prevention**
 - Verificação de topo acaba sendo feito no final mais para caçar bugs do que propor melhorias ou alguém olhando para as especificações dos blocos para antecipar falhas de interação dos blocos...

Cross-functional

sábado, 2 de outubro de 2021 10:05

01 - Manager 01 ([Web view](#))

- **Missing a shared vision**

- A troca de entregas sempre trás **abordagens diferentes** por causa dessa **visões relativas de cada disciplina (analog e digital)**.
- No mixed-signal, mostra que não basta ter uma visão clara do sistema do ponto de vista do analogico ou do digital, da **visão de uma disciplina**, mas uma **visão mixed**.
- ... problemas que ficaram meio que na **zona cinza**, como uma feature que é controlada pelo digital, mas o entendimento da feature é mixed pois estava relacionado com medição de corrente. Por isso, na hora de **especificar e validar as features**, tem que ter uma **visão mixed no topo** e as duas **disciplinas tem que se entender** (as vezes até **considerar extra-chip**: dependendo dos instrumentos de medição que serão usados ou testes em silicio) . Essa feature foi pra **spec pouco detalhada** e, apesar de muito simples, tinha de ser visto na **perspectiva do sistema**.

- **Don't participate on other team related activities**

- blocos de outra disciplina geralmente são considerados como **caixas pretas durante muito tempo** ...
- Ainda no LIB, se o projetista analog **não tem essa clareza ou a ferramenta** (scripts) para isso, o projetista digital **precisa gerar (ou pedir) o que ele precisa usar** ao inves de apenas receber.
- **Para refinar** o que tem de ser feito, geralmente tem **muitas interações**. Como geralmente ocorrem **muito tarde**, acaba tendo que **sacrificar alguma coisa** (qualidade), como checagens ou não cobrir algo.
- ... ECO novamente por causa de **problema com pinos** (pinout errado em arquivos). ... é um **típico ponto** que **não é uma preocupação pro projetista analog** ("**botei qualquer direção**"), mas resultava num curto quando a lógica estivesse em alto... um pino estava com uma **propriedade errada**.
- **Interface é a parte onde chega o que você não sabe** ("**eu conheço até aqui, tô trabalhando nessa sala**"), e a mesma coisa do outro lado ("**na outra sala**"). Esse problemas mostram que **"logo ali tá ficando um ponto cego"**. **"Os dois pararam de enxergar um pouco antes e ficou um buraco"**.

- **Participate on other team's flow is positive**

- Acho que ter uma **visão do fluxo especifica do projeto** corrente bem cristalizado ajudaria na clareza, pois acho que não fica claro a **utilidade de cada arquivo** para todos.
- Que recebemos do analog, geralmente é **Liberty e LEF (abstract)**, talvez alguma coisa para simulação digital como um **modelo Verilog** do analogico, mas geralmente nós geramos ou temos algum envolvimento (nunca geraram um modelo sem auxilio nosso).
- Ainda no LIB, se o projetista analog **não tem essa clareza ou a ferramenta** (scripts) para isso, o projetista digital **precisa gerar (ou pedir) o que ele precisa usar** ao inves de apenas receber.
- ... ECO novamente por causa de **problema com pinos** (pinout errado em arquivos)... **não é uma preocupação pro projetista analog** ("**botei qualquer direção**")... quando traçamos o problema, **era no LEF recebido** pelo time digital que um pino estava com uma **propriedade errada**.
- Se o projeto puder sacrificar precisão para ser mais rápido ou precisa investir mais por ser uma questão delicado, deveríamos **decidir isso de ser uma forma mais predeterminada** (projetista fica sem saber, fazem o que entenderam e geralmente tem de refazer algo).

- **Independent top verification**

- Quando chega na **verificação de topo**, informações de como ou quais testes serão feitos fica **centralizado no responsavel** pela integração ou topo com **pouco envolvimento de outros**.

- **Port name and propertie problems**

- Nomes diferentes são usados de cada lado (mismatch de nome de pino) e em alguns projetos foram necessários wrappers para adaptar os pinos mesmo estando tudo dentro da mesma empresa. Também acontece pinos com direção diferentes, pino de power sem propriedade de power, entre outros.
- ... ECO novamente por causa de problema com pinos (pinout errado em arquivos). Nele, um dos pinos digitais veio como power/ground. Como era um bloco com muito pino, gerou um warning (que passou despercebido) e suprimiu uma lógica. Esse erro num arquivo simples é um típico ponto que não é uma preocupação pro projetista analog ("botei qualquer direção"), mas resultava num curto quando a lógica estivesse em alto. ... traçamos o problema, era no LEF recebido pelo time digital que um pino estava com uma propriedade errada.
- Interface é a parte onde chega o que você não sabe ("eu conheço até aqui, tô trabalhando nessa sala"), e a mesma coisa do outro lado ("na outra sala"). Esse problemas mostram que "logo ali tá ficando um ponto cego". "Os dois pararam de enxergar um pouco antes e ficou um buraco".

08 - Manager 02 (Web view)

- **Don't participate on other team related activities**

- projetistas (analógicos) olharem para seu proprio layout, pois existe pouca interação nessas etapas de verificação: projetistas faz o esquemático e espera o layout pronto do layoutista. Porém ele tem que participar das decisões e da verificação, não só entregar o esquemático com notas. Tem acontecido retrabalhos... tem que olhar pros dois lados.
- Do ponto de vista do analógico, "usamos o digital como se fosse um IP para ser integrado"
- O que pode acontecer é não saber fazer signoff direito na ferramenta, não usar os mesmos switches na verificação física... "eu entreguei, tá pronto" e quando o pessoal do topo integra dá algum problema...
- Agora em respeito a comunicação, eu acho que sempre temos que trabalhar um pouco mais, inclusive gerencia incentivar. A pessoa pode achar chato, mas tem que se comunicar, pedir, tentar resolver os problemas... Temos que trabalhar projeto a projeto, pessoa a pessoa. Acho que é mais parte da gerencia desenvolver e incentivar essa capacidade do pessoal
- Acho que os principais pontos são (...) tentar ter uma interação de digital e analógico mais cedo... que acho que é dificultado pela questão do topo não ficar bem definida.

- **Participation on other team's flow is positive**

- As entregas evoluíram bastante, principalmente quando o digital começou a entregar OA libs, passando algumas responsabilidades dessa entrega pro digital. (...) O signoff estar dentro do time digital solucionou bastante coisa.
- A comunicação as vezes fica meio atrapalhada por um não conhecer ferramenta e fluxo um do outro. Ultimamente atrapalha menos porque estamos entendendo a limitação de um lado e do outro.
- Pessoal do analogico tem aprendido mais sobre modelagem digital e suas ferramentas... projetista tem que ser responsavel do seu bloco, não pode jogar isso pro time digital. Tem que conseguir fazer o modelo digital, mixed-signal e as entregas da sua parte.
- daria a antecipar problemas.

10 - Manager 03 (Web view)

- **Participation on other team's flow is positive**

- O analógico acaba fazendo (se necessario) um modelo VerilogA próprio que mais ao final do projeto era trocado com o digital. Em casos de apenas setar constantes, o próprio testbench cuida disso.

- **Don't participate on other team related activities**

- Eu acho que a interação com digital não faz parte do desenvolvimento analógico...
- A visão de topo eu acho que o analógico considera o digital mais um blackbox. Eu acho que é entendido por quem mexe no topo, entendem a função do digital naquele sistema. Quem mexe com os blocos não é cobrado para ter esse entendimento, acaba

- dependendo do interesse de cada um.
- Se todos os subblocos (digitais e analógicos) estiverem bem especificados, teoricamente não precisa ter essa visão de topo. Eu acho bom ter pois as pessoas podem ter outras ideias, mais gente para criticar. É bom, mas não acho necessário se tudo estiver bem especificado.
 - Quanto ao digital, geralmente é feita uma encomenda a eles. Eu não tenho penetração no time digital, eu não discuto como é feito o digital.
 - Outro projeto também tinha entregáveis digitais tipo LEF, LIB, Verilog, CDL... Alguns questões do LEF (cell type "block", definição dos pinos como "power" ou "signal", sentido "in" ou "inout") que não são problemas pro analógico mas afetam o digital (essas definições não estão estabelecidas, falta um acordo).
 - **Participation on other team's flow is required**
 - Outro problema de entregável, tem sido pedido coisas digitais, como modelo Verilog de bloco analog. Num projeto, tem sido feito um Verilog dos subblocos para fazer o topo. Tem sido interessante porque clientes podem pedir isso para o fluxo digital e pode acontecer dificuldades pois não é o domínio do pessoal analógico.

12 - Manager 04 (Web view)

- **Unclear agile flow**
 - Essas especificações incrementais são absolutamente pertinentes porque você não tem uma visibilidade do que vai ser necessário, acabamos precisando já começar a trabalhar para não deixar tudo em cima da hora, fazer as coisas de forma incremental (apesar de não termos uma dinâmica bem estabelecida do que é esse incremental).
- **Don't participate on other team related activities**
 - Aquela ideia de que é só colocar o bloco digital e DRC/LVS vão passar não tem sido bem assim. Eu tenho tentado conversar bastante para melhorar isso aí, mas sempre tem alguma coisa manual que o analógico tem que fazer ou muita interação com o time de backend digital para fechar o topo, conseguir rodar tudo (antena, DRC, LVS). Por fim tem o sign-off com checklists para fechar tudo.
- **Participate on other team's flow is positive**
 - As partes conhecendo suficientemente bem o trabalho um do outro também para tentar ajudar nessa parte da conversa (dicas de como fazer).

13 - Manager 05 (Web view)

- **Participate on other team's flow is positive**
 - No layout, sofremos um pouco por causa do digital... tanto que um projetista está aprendendo todo o fluxo digital para entender as ferramentas e processo, com o objetivo de tornar mais suave essa interação layout-digital... para quando o digital pedir algo (as vezes não muito claro) conseguirmos entender melhor o pedido e a necessidade para entregar o que faz mais sentido.
 - Essa interação com o digital tem melhorado muito porque melhoramos a qualidade das entradas de layout e o pessoal do digital tem se flexibilizado mais (alterar scripts, ajustar orientações de metal, por exemplo). Essa troca tá longe de ser perfeita (acho que teria que ser muito burocrática... formulários, padrões, etc), mas nós já melhoramos muito (SVN para pegar OA lib, enviar abstracts atualizados, etc).
 - Ainda é estranho pro analógico as noções de pitch, track, layers usadas,... Por isso um layoutista pegou o Welcome Guide do digital, fez o tutorial e gerou um documento voltado pro time de layout com esse fluxo. Também explorou como um layout com shape não quadrado é feito, para entendermos o que precisamos fornecer para a ferramenta conseguir fazer isso. Pessoal do digital está envolvido pois tem coisas triviais pro digital que não é pra gente.
 - Ainda é estranho pro analógico as noções de pitch, track, layers usadas,... Por isso um layoutista pegou o Welcome Guide do digital, fez o tutorial e gerou um documento voltado pro time de layout com esse fluxo. Também explorou como um layout com shape não quadrado é feito, para entendermos o que precisamos fornecer para a ferramenta conseguir fazer isso. Pessoal do digital está envolvido pois tem coisas triviais pro digital que não é pra gente.

- mas os times digital e analógico fazem layout de forma muito diferente, com ferramentas diferentes... Pro analógico o backend digital é obscuro, onde ficamos em busca de informação para clarear e podermos contribuir.
- As vezes conseguimos compartilhar informações de quanto o sinal vai percorrer um longo caminho ou algo assim por questões de fanin ou fanout.
- O que a gente pode fazer? Vamos interagir um pouco mais? Para quando fizermos uma pergunta o cara entenda o que estamos falando e a gente consiga pedir ajuda de forma mais clara e objetiva, podendo digerir o que foi falado.
- **Missalignments cause problems**
 - Em um projeto, depois de muitas e muitas interações tentando entender o motivo do digital vir errado, teve uma explicação do porque a ferramenta digital fazia isso. Dai clareia, mas nesse ponto já está na etapa de exportar GDS para o tapeout, com nervos a flor da pele. Se isso já estivesse claro desde o início, iria reduzir uma quantidade de interações muito grande.
 - Também sinto que as vezes falta comunicação para o time de layout analógicos. O crescimento de um bloco digital as vezes fica entre design analógico e digital, ou uma modificação do RTL causa um aumento. As vezes só descobrimos quando chega a entrega já com o aumento.
- **Teams having difficulties that the other team solves easily**
 - Uma coisa que sempre nos atrapalha e o digital precisa nos ajudar é passar LVS numa memória ou no digital com um IP de um terceiro. "Tem que incluir o CDL e as standard cells dessa memória". Ficamos perdidos, acabamos perdendo um tempo antes de pedirmos ajuda... Poderia ter um documento bem simples so explicando isso e indicando os path dos arquivos. Nunca tem isso.
 - As vezes vejo que um time fica sofrendo fazendo algo que é extremamente simples para o outro time, como chop/cut/strech pro analógico ou rodar os scripts do digital. Essa falta de visibilidade de um lado ou outro acaba causando isso. Temos tentado interagir com o digital para trocar informações.

Late actions

sábado, 2 de outubro de 2021 10:02

[01 - Manager 01 \(Web view\)](#)

- **Late integration**
 - blocos de outra disciplina geralmente são considerados como caixas pretas durante muito tempo, por exemplo um bloco digital geralmente fica como black-box, ou seja, ignorado por muito tempo em um bloco superior analógico.
 - ... não existe um modelo, acaba esperando um RTL ou a netlist postlayout para ser enviado e considerado pela disciplina analog. ... temos deixado para se preocupar com ... funcionalidade... bem lá pro final do projeto.
- **Late planning, lots of rework**
 - "OK, o digital vai ser esse quadrado", mas são definições muito incipientes: quais as posições dos pinos? Quais os nomes dos pinos?
 - Para refinar o que tem de ser feito, geralmente tem muitas interações. Como geralmente ocorrem muito tarde, acaba tendo que sacrificar alguma coisa (qualidade), como checagens ou não cobrir algo.
 - ... refazer por falta de planejamento: "Como vai ser a alimentação desse bloco?" não foi conversado antes e vai ter que refazer, mas não porque alguém não fez direito. Nem tudo da para planejar inicialmente, mas é importante planejar iterativamente para limpar mais essas coisas de refazer.
 - Se o projeto puder sacrificar precisão para ser mais rápido ou precisa investir mais por ser uma questão delicado, deveríamos decidir isso de ser uma forma mais predeterminada (projetista fica sem saber, fazem o que entenderam e geralmente tem de refazer algo).
- **Late verification**
 - Features simples que você tá cuidando desde o início (na integração, na verificação) é mais difícil de deixar um buraco.
 - Bug eu não sei se já foi para silício, corremos para resolver e fica sem requisitos essenciais não atendido. ... pego apenas com verificações de topo muito tardias mesmo sendo questões simples.

[08 - Manager 02 \(Web view\)](#)

- **Late physical verification**
 - (...) verificação física com ferramentas do fluxo analógico. (...) Acabam exercitando esse fluxo só no final do projeto, diferente do pessoal de layout que usa desde o início.
 - O digital pode fazer, mas precisa aprender a usar a ferramenta do fluxo analógico se não fica sem verificar até o final.
 - Essa parte final (signoff de DRC e LVS) é sempre o gargalo
 - Pouca atenção no início de projeto aos erros de DRC e LVS...
- **Late top activities**
 - (...) analog pede algumas mudanças pro digital, eles falam que é simples de mudar e tal, mas tem esse passo manual que tem que ser feito depois e o layout começa a reclamar porque entregou o digital em cima da hora
 - Questões de topo são geralmente mais deixadas para o final. Se não tiver alguém encarregado pelo topo

[10 - Manager 03 \(Web view\)](#)

- **Late top verification**
 - Dos projetos que participei, não teve tanto simulações mixed signal antes de uma fase avançada. O analógico acaba fazendo (se necessario) um modelo VerilogA próprio que mais ao final do projeto era trocado com o digital.
 - o mixed signal fica no final (70% do projeto) para verificar que a comunicação tá boa, que os dois lados estão fazendo a coisa correta.
 - Em nenhum momento o digital vai fazer o RTL no início para o analógico pegar e ir usando.

[12 - Manager 04 \(Web view\)](#)

- **Late requirement detection**

- O principal problema das especificação é que a informação geralmente vem em cima da hora e acaba dando correria para rodar todo o fluxo. O grande problema tem sido o timing da relação entre os times. Até hoje, eu considero que os blocos que pedimos pro digital não são complexos então eu acho que o grande problema são esses requisitos em cima da hora.
- Essas especificações em cima da hora ou incompletas é porque não sabemos todas as features que vamos precisar do digital

- **Late top verification**

- As atividades de integração e verificação de topo tem sido feitas mais pro final dos projetos. Temos tentando lutar contra isso
- Verificação de topo acaba sendo feito no final mais para caçar bugs do que propor melhorias ou alguém olhando para as especificações dos blocos para antecipar falhas de interação dos blocos... Acredito que temos feito pouco nisso pois noto que essas atividades continuam centralizadas no final.
- Os maiores problemas devido a integração seriam bugs tardios ou bugs não encontrados. No fluxo mixed signal não temos a mesma cobertura do digital, então acabamos simulando só as condições específicas, mais críticas... bugs não criticos mas de alguma relevancia são pegos tardiamente ou não são pegos.
- Funcionalidade geralmente relacionado a bugs não encontrados ou, no caso de bugs encontrados tardiamente que sejam complicados, a correção não é ideal, as vezes até tendo que negociar requisitos com o cliente, impactando a funcionalidade de alguma feature.

[13 - Manager 05 \(Web view\)](#)

- **Late digital delivery**

- Rolava aquele estresse porque o digital fica sempre pronto no final do projeto, mas dá problema de LVS, memória,...
- O maior problema da integração é o prazo tardio que recebemos. Geralmente porque o digital tá muito ocupado ou com mudanças de requisitos em cima da hora do analógico pro digital.

Project challenges

sábado, 2 de outubro de 2021 10:07

[08 - Manager 02 \(Web view\)](#)

- **Tight schedule**
 - O que acontece, na maioria das vezes, é que **temos que já começar a projetar (implementar) e construir o topo em paralelo**
- **Novelty in new projects**
 - Também existem projetos com **novidades que desconhecemos**, tendo um processo de interação de aprendizagem bem **maior do que o projeto comporta**
- **Requirement changes**
 - Existem riscos que sabemos que vão acontecer mas não tem o que ser feito, **como mudanças de escopo do projeto**. Sempre vão especificando e incluindo mais coisas durante o projeto, tentamos minimizar mas sempre vai ter essa questão. É um problema em outras empresas também, é algo normal. São coisas que foram mapeadas, mas são **as incertezas que não sabemos ou demora para descobrirmos como resolver**. Porém precisamos **reduzir o tempo e custo de RFQ**, pois não queremos gastar recursos antes de fechar um projeto

[10 - Manager 03 \(Web view\)](#)

- **Novelty in new projects**
 - Sempre há uma dor de cabeça no início do projeto para estabelecer o fluxo (standard lib, PDK, ferramentas).

[12 - Manager 04 \(Web view\)](#)

- **Requirement changes**
 - o **cliente não tem resposta para tudo e temos que descobrir enquanto estamos fazendo...** não é porque não temos feito um trabalho de captura de spec bom, porque não é discutido, porque não tem se tentado obter as informações antes de começar o projeto... mas em geral **entre discutir e começar o projeto o cliente não tem todas as respostas**.
 - pois eu sinto que nós recebemos uma especificação parcial do cliente e enviamos pro digital ainda mais parcial, um esboço grosseiro do que tem que ser.
 - Vamos **levantando e refinando os requisitos a medida que a parte analógica vai sendo projetado**, vamos tendo um entendimento do que se precisa do controle digital... Vai aprimorando e passando aos poucos.
 - Essas **especificações incrementais são absolutamente pertinentes** porque você **não tem uma visibilidade do que vai ser necessário**, acabamos precisando já começar a trabalhar para não deixar tudo em cima da hora, fazer as coisas de forma incremental
 - Acho que ainda existe (pode estar documentando em algum lugar), mas a **rastreabilidade disso ainda não é simples** (tem que procurar muito para achar). Acho que existe um fator de erro humano, as vezes acontece da pessoa não registrar, não dar atenção ao issue... Teve um caso muito atual que um **pedido do cliente ficou registrado em ata e não foi feito...** A entrega foi feita sem isso. Ainda não existe aquela cultura ou uma preocupação sistemática de que, se tem algo na ferramenta é porque teve um **pedido para se resolver um problema...** antes de ir para tapeout, tem que ser feito ou dado waive para todos os items... **isso não acontece ou não é registrado, é um problema**.

[13 - Manager 05 \(Web view\)](#)

- **Constant digital designer changes**
 - A comunicação entre os times em geral é boa. A **comunicação fica centralizada no gerente**, porque tem muita **troca dos projetistas digitais...** pra gente fica meio bagunçado e acabamos falando direto com o gerente.

Negative impact

sábado, 2 de outubro de 2021 10:07

[08 - Manager 02 \(Web view\)](#)

- **Overload on manager**
 - O impacto em mim é mais a sobrecarga, acaba acumulando muito e você tem que decidir... ou deixa a pessoa se resolver ou ajuda. Acaba sobrecarregando, os problemas escalam e as vezes não temos tempo para resolver. Ainda mais a parte técnica, fazendo simulação a noite, resolvendo problemas mais tarde.

[12 - Manager 04 \(Web view\)](#)

- **Outdated documentation**
 - Acho que a documentação também fica comprometida por passarmos as especificações dessa forma. (em cima da hora, incrementalmente)
- **Untreated or hidden bugs**
 - Os maiores problemas devido a integração seriam bugs tardios ou bugs não encontrados. No fluxo mixed signal não temos a mesma cobertura do digital, então acabamos simulando só as condições específicas, mais críticas... bugs não críticos mas de alguma relevância são pegos tardiamente ou não são pegos.
- **Cost higher than planned**
 - Os impactos negativos em projeto são custo com certeza (gastamos mais semanas a mais do que o planejado devido a retrabalhos ou trabalhos muito desestruturados no final do projeto por causa da correria).
- **Original schedule not met (when possible)**
 - Cronograma também, com duas facetas: no caso em que o projeto estoura o prazo é negociado com o cliente, nos casos em que isso não é possível (MPW ou data inegociável) acaba gerando muitas horas extras (influencia indiretamente no custo e impacto humano, causando impacto em outros projetos).
- **Scope not fully implemented correctly**
 - Funcionalidade geralmente relacionado a bugs não encontrados ou, no caso de bugs encontrados tardiamente que sejam complicados, a correção não é ideal, as vezes até tendo que negociar requisitos com o cliente, impactando a funcionalidade de alguma feature.
- **Frustration, stress, anxiety and insecurity at project end**
 - Eu acho que o estresse na época de entregas é esperado, mas muitas vezes é acima do aceitável. Um lado é a preocupação que você tem do projeto dar certo e que você fez tudo que podia. Muitas coisas não estão no seu controle, tem que confiar nas outras pessoas, que pode causar mais preocupação principalmente se for alguém ou uma situação nova, gera um pouco de ansiedade e insegurança. Correria, checklists que não foram feitas a tempo, horas extras... Isso gera um estresse acima do que deveria... Ver os projetistas tendo que enfrentar essas coisas e pedir para trabalhar no final de semana, horas extras... também me gera estresse e frustração.
- **Overload on manager**
 - Nossos gerentes metem a mão na massa pesado. Entra na correria, eles passam madrugada, não deixam a peteca cair

[13 - Manager 05 \(Web view\)](#)

- **Conflicts and stress**
 - Em um projeto, depois de muitas e muitas interações tentando entender o motivo do digital vir errado, teve uma explicação do porque a ferramenta digital fazia isso. Dai clareia, mas nesse ponto já está na etapa de exportar GDS para o tapeout, com nervos a flor da pele. Se isso já estivesse claro desde o início, iria reduzir uma quantidade de interações muito grande.
 - O impacto negativo que vejo é stress. Em projetos menos organizados, a saúde mental foi muito afetada. Em poucos projetos mais atuais, tivemos níveis aceitáveis. Na correria do final do projeto pode ter atritos entre colaboradores devido ao stress.