

Top-level

terça-feira, 28 de setembro de 2021 18:04

[11 - Analog 02 \(Web view\)](#)

- **Bottom-up approach**
 - A maioria dos projetos que participei montava uma arquitetura e já ia desenvolvendo a nível de transistor todos os subblocos. Bloco a bloco não tem muito problema, mas para a integração é péssimo porque não dá para prever os problemas (demora pros blocos ficarem pronto, simulação demorada). Eu acho que só trás coisa ruim pro projeto como um todo.
- **Lack of top-level view**
 - Com certeza absoluta falta uma visão de topo. Em muitos projetos existe uma caixa preta enorme que muita gente não sabe porquê está fazendo algumas coisas.
 - Já vi muitas vezes um projetista receber uma demanda que é uma caixa preta que ele tem que fazer. As vezes tem problemas de interface que se ele soubesse ele poderia mudar no bloco dele, isso não fica tão claro.
 - A falta de visão de topo atrapalha o projeto como um todo. Se os projetistas não sabem o motivo do seu bloco ou com quem o bloco vai conversar, isso dificulta muito o entendimento. Quando tem uma integração, ao invés de várias pessoas que podem contribuir, fica uma pessoa que tem que cuidar de vários filhos que não entendem o todo. Não precisa ser algo complexo, mas todo mundo tem que entender o sistema e deixar tudo bem claro no início do projeto. Até quando for debugar algo, todo mundo pode ter uma referência do que pode ser feito, do que pode ser analisado.
 - Um exemplo de um projeto que participei da integração, tinha vários blocos que eu não sabia o que tava acontecendo e tinha muita conversa minha para entender o que faziam. Ou o contrário: muita conversa dos projetistas comigo para entender algo do topo. Falta um pouco dessa conversa entre o time.
- **Create a specialist role for it**
 - A integração e verificação de topo vem melhorando. O uso de uma pessoa focada em integração desde o início do projeto ajudou em vários projetos. Alguém dedicado para monitorar os problemas no começo faz o início do projeto ser muito mais rápido.

[14 - Analog 03 \(Web view\)](#)

- **Teams not synced with activities**
 - Faltou uma integração melhor entre os times. O analógico ficou pronto muito mais rápidos, ficou esperando o digital para entregar pro cliente.
- **Exists top-view, but not formalized**
 - A visão de topo eu considero importante ter. Nada adianta fazer ou modificar um bloco se não se adaptar a onde for usado. No início do projeto as vezes é difícil ter uma visão completa. Acho que no geral o pessoal tem uma visão do topo ou pelo menos do seu macro bloco. Seria bom mostrar isso de uma forma mais deliberada, pois já teve momentos que acho que pessoal saía para fazer outro projeto ou algo assim e isso se perdia.

[15 - Analog 04 \(Web view\)](#)

- **Mind top-level, if exists**
 - Os blocos de topo que mexi já estavam feitos, só fiz verificação e ajustes. Acho que alguns blocos poderiam ter conexões melhores... cheguei a ver blocos que não estavam com uma boa visão do topo... por exemplo se um sinal está vindo de cima para baixo e o bloco tem o pino na parte de baixo. É possível que o topo nem existia quando esse bloco foi feito, talvez nem um floorplan de topo.
 - Em outro projeto mais novo (feito do zero), as pessoas se preocupavam com o topo mas na parte de executar não ficava tão bom quanto eu (topista) desejava. Eles tinham uma visão e eu que me ajustava para conformar como o bloco estava. As vezes é mais fácil

arrumar no topo (mais espaço, mais simples) do que alterar o bloco, mas havia discussão sobre esses pontos e balanceávamos as dificuldades. É importante ter essa flexibilização dos dois lados.

16 - Analog 05 (Web view)

- **Know top-level only at start of project**
 - Geralmente tem aquela reunião no começo (kick-off) que explica mais ou menos o que vai ser o projeto. Em projetos novos, é uma ideia abstrata. Quando vai desenvolvendo, entrando nos detalhes e as decisões vão sendo feitas, lá pro meio ou final do projeto, você não necessariamente ainda sabe o que tá acontecendo, só o pessoal que tá trabalhando na integração ou simulação de topo. Tem projetos que mesmo assim quem tá no topo não sabe exatamente como funciona o digital, só o básico.
 - Essa perda de visão do topo ao longo do projeto é indiferente dependendo do caso. Seria legal saber, mas não vai ter um efeito negativo no geral do projeto. Pode haver casos e casos... se alguém for mudar algo no seu bloco, pode afetar outro no nível acima... como adicionar um bit de trimming quando o registrador separado para isso já não tem espaço...
 - Saber suas restrições é mais importante do que ter um conhecimento do topo, estar livre para achar soluções tendo um limite de interface que pode usar e discutindo restrições. Essas restrições geralmente são estimadas no início das discussões baseadas em experiências anteriores e mudanças são discutidas posteriormente.
- **Created a specialist role for it**
 - As atividades de topo (integração, verificação), hoje em dia, é feita mais cedo. Já apanhamos muito com isso. Quando tem uma pessoa dedicada ao topo (e não com responsabilidade dividida) as atividades são feitas antes e essas atividades não ficam para depois ou em segundo plano.
 - É bom para apertar as equipes para definir algumas coisas mais cedo. Coisas definidas superficialmente no início são refinadas para já ir pensando nas consequências. Isso me parece funcionar melhor nos últimos projetos que participei.

17 - Analog 06 (Web view)

- **No alignment for fresher in the project**
 - Eu entrei quando o projeto já estava rodando, tinha muita coisa que eu não entendia. Fui entendendo aos poucos o projeto. Eu sabia o que era mais crítico, o que tinha que tomar de conta, a parte de interface não mudava muito. A falta de visão de topo não atrapalhou nesse projeto
 - Eu acho muito importante ter essa visão de topo, mas em reuniões só de topo fica centralizada em poucas pessoas para não tomar tempo das pessoas não diretamente envolvidas. Mas seria bom outros participarem para desenvolver essa habilidade e preparar para os próximos projetos.

Deliveries

terça-feira, 28 de setembro de 2021 19:06

[09 - Analog 01 \(Web view\)](#)

- **Deliveries not ready for usage**
 - integração física, onde tem a entrega do layout e os problemas que (até com frequência) vem quando integramos o digital, que é sempre ali no final perto de tapeout. Um problema muito frequente é subvias... também problemas de DRC, tanto que precisam ser resolvidas quanto problemas que não são para ser resolvidos: você tá lá fazendo o layout na fase final e recebe aquele bloco digital com vários erros de DRC (mesmo que sejam para dar waivers). Aqueles (milhares) de erros entram no fluxo e você se perde... tendo que resolver isso nos ultimos dias.
- **Weak specification of requests**
 - Definição de interface e controle geralmente não dá muito problema. As vezes um pouco de problema de entendimento: passamos a especificação errada ou incompleta. Mas depois tem umas interações e vai resolvendo. Nós do analog temos que aprender como passar melhor essa especificação, essa informação... acho que ajudaria a antecipar problemas

[11 - Analog 02 \(Web view\)](#)

- **More detailed spec for digital was positive**
 - Em um projeto, teve um ponto bem positivo de comunicação entre times porque foi criada uma especificação bem completa usando diagramas de tempo pro digital. Facilitou a comunicação porque ele já tinha definido tudo e foi criado um modelo para ser usado enquanto o digital trabalhava. Foi muito bom pro projeto em geral.
 - Outro projeto também teve especificações de máquina de estados, um fluxograma para o time digital. Ajudou muito a comunicação.
- **Versioning**
 - criado uma tag no SVN. Nós recebemos o caminho do arquivo (seja RTL, prelayout ou postlayout) para simular no analog, validando incrementalmente.
- **Unclear specs**
 - Se os projetistas não sabem o motivo do seu bloco ou com quem o bloco vai conversar, isso dificulta muito o entendimento.
 - Algo que sempre vejo problema é a questão da atualização das informações. Quando eu espero uma entrega, acho que o mais adequado seria um documento claro com o que tem que ser feito / o que tem que ser atingido (documento de especificações de bloco, porquê de algumas coisas)
 - fica um conflito onde spec fala uma coisa, datasheet reporta outra e simulação que gera outro resultado. Depois tem um esforço de conferir e atualizar tudo com o que foi medido no silício. Esse conflito de informações é muito problemático e sempre acontece.
- **Deliveries with bugs**
 - tudo é feito na correria para atingir o prazo, muitos bugs ficam pra trás ou não são encontrados (avaliação não foi tão cuidadosa).
 - Os bugs que passam não são graves... geralmente. Em um projeto, um bug passou e pode impedir o chip de ligar. Um sinal em um determinado dominio de tensão não tinha level shifter, o que pode queimar o sistema. Uma coisa muito simples que passou. Se tivesse sido feito uma verificação mais cuidadosa, não teria passado. Muito probleminha de interface... muita coisa simples e que passou despercebida.

[14 - Analog 03 \(Web view\)](#)

- **Unclear requirements**
 - O que mais complicou a integração foi entregar algo que fosse usável pra gente. Não especificamos o que era entregável pra gente e também não temos padrão de

entregável do digital pro analógico.

- Na minha experiencia em projetos meio antigos, **comunicação teve** mas faltou **definir melhor o que era esperado como entregável e prazos** (bem comum atrasar o digital).

- **Deliveries with issues**

- **Tentei exportar o esquemático de tudo e não deu certo.** Ele me passou um modelo que **para ele tava funcionando mas pra mim não.** Depois ele criou uma view esquemático com todas as standards cells e tudo mais, não dava para entender mas deu certo (ainda teve que colocar CDL das stdcells).
- Um projeto um pouco antigo teve uns **problemas de DRC/LVS relacionados a uma memória.** **Sempre que tem coisa AMS é trabalhoso.** Digital **verifica o layout de forma bem diferente**, usam outros inputs de esquemático (modelo, netlist, CDL) e **integrar isso na ferramenta analógica é mais complicado** (não consegue verificar o digital, o esquemático do digital depende de outros arquivo, usa arquivos que a ferramenta não entende, port order do CDF parma).
- **O problema de entregáveis que sejam usáveis é o maior eu acredito.** **Seria bom ter alguns padrões e métodos** (adaptados para cada projeto) detalhando se vai ser entregue só um esquemático, ou se vai ser preciso incluir inputs adicionais. Para conseguirmos verificar e exportar o esquemático completo do IP.
- Já deu problema do arquivos que recebemos usava um tipo de de chaves, mas a ferramenta precisava de outra (veio com [] e era pra ser < > nos vetores)

- **Unusable documents from other team**

- **Documentação (do outro time) acho que não ajuda muito** porque os fluxos são muito diferentes.

15 - Analog 04 (Web view)

- **Deliveries with issues**

- Já aconteceu de colocarmos **pinos fora das tracks digitais** (muitas nets) e depois o **layout volta com os pinos em outras posições** (deslocados um pouco ou em lugares completamente diferentes). **Não sei exatamente o porque disso,** acho que o **maior suspeito seja o abstract enviado** (não está alinhado com as tracks do digital). Acho que é o **maior problema que pode acontecer nessa interface.**
- As vezes acontece de **recebermos blocos digitais** e, ao fazer a verificação usado ferramentas do analógico ou abrindo o layout, aparecem **alguns problemas de DRC (layout teve que arrumar, mas eram coisas simples) e LVS.**
- Também já aconteceu do bloco digital vir com square brackets "[]" ao invés de angle brackets "< >" e isso gerava erros de LVS. **É simples e resolver, mas o bloco que recebemos gera falha.**
- Teve um projeto em que o PDK foi mudado (regras mais restritivas) e o digital continha um isolation ring externo. Houve dificuldade do lado digital para conformar as cells digitais com o iso ring que já existia. Acho que o maior problema é esse iso ring **não vir direto do digital, pois ele é necessário pro bloco mas não fazia parte do layout.**
- O bloco digital tinha que ser o mais plug'n'play possível, pois **não conseguimos alterar facilmente.** Se dá **problema de LVS,** não tem o que olhar pois **não sabemos qual é o source do circuito,** como era para estar... Sei que tem um esquemático gerado a partir do Verilog, mas não sei como isso é feito e é um **esquemático bem difícil de enxergar.**

- **Divergent versioning tools**

- As entregas da Chipus tem uma coisa estranha... **cada time usa uma ferramenta de versionamento diferente,** tinha que ser tudo uma mesma coisa. Eu acho uma **inconveniencia.** Para enviar abstract pro digital nós copiamos e colamos no SVN digital. O abstract volta como uma view layout no SVN que referenciamos para usar no nosso ambiente. Temos que dar update não só no SOS mas também no SVN. É uma **pequena irritação para quem precisa integrar os dois mundos.**

16 - Analog 05 (Web view)

- **Divergent versioning tools**

- Acabamos que temos **duas ferramentas de versão em paralelo.** O **projeto não fica auto contido,** a biblioteca do digital fica no SVN e um updated do SOS não atualiza o SVN.

Para resolver, o gerente fazia um checkout local do SVN e ficava responsável por atualizar quando tinha entregas novas do digital. Isso resolveu essas mudanças.

Planning

terça-feira, 28 de setembro de 2021 18:55

[11 - Analog 02 \(Web view\)](#)

- **Low planning during project start**

- O que geralmente é feito é que os blocos já são feitos em esquemático de primeira (bottom-up) que é adequado em alguns projetos, mas tem que tomar cuidado se a arquitetura é muito grande ou tem coisas nova e tal. A maioria dos projetos que participei montava uma arquitetura e já ia desenvolvendo a nível de transistor todos os subblocos.
- Em outros projetos, faltou saber como seria a comunicação com o time digital, pois não se sabia se o digital ia poder fazer, se outra pessoa ia fazer... passava tempo, ninguém do digital podia, aí tinha que fazer o modelo por conta própria.
- Uma coisa que falta, com certeza absoluta, é planejamento. Se vai ter participação do digital, o que eles vão fazer, quando vai ser feito e como vai ser feito. Falta reuniões no início do projeto para alinhar esses pontos (mesmo que mude depois). Se houver, organizar isso. Não fica claro se vai ter gente pra ajudar.
- Em muitos projetos existe uma caixa preta enorme que muita gente não sabe porquê está fazendo algumas coisas. Essa é a importância da reunião inicial de planejamento (que seria o kick-off) para dar uma ideia geral do que era pra ser feito e definição de responsabilidades.
- O ponto que tá faltando é essa questão dessas reuniões de kick-off serem feitas com mais cuidado, deixando claro quem ficará responsável pelo topo.
- Impactos negativos nos projetos geralmente são causados por causa da correria. Minha impressão é que os prazos são sempre apertados demais, tudo é feito na correria para atingir o prazo, muitos bugs ficam pra trás ou não são encontrados (avaliação não foi tão cuidadosa). Se o prazo fosse um pouco maior e o planejamento melhor (usando checklists para garantir que foi feito o que precisa para dar certo), reduziria o número de problemas.

- **Lack proper follow-up during projects**

- Algo que peca muito é a comunicação entre os times para acompanhamento. Poderia ter reuniões mais formais além dos acompanhamentos por ferramentas de comunicação e gerencia. Apesar disso, a comunicação é boa e as coisas andam bem. As vezes falta um pouco de transparência e sincronia. A comunicação até é boa, mas a organização faz a comunicação não ficar tão boa quando poderia.
- Algo que sempre vejo problema é a questão da atualização das informações.
- As comunicações no geral são boas (clara e objetiva) nessa questão. É a organização que complica mesmo, talvez um documento ou outro para facilitar a vida, um padrão ou outro a ser seguido. Independente disso, quando é preciso se trocar informação, a troca é boa.

[16 - Analog 05 \(Web view\)](#)

- **Lack proper follow-up during project**

- Geralmente tem aquela reunião no começo (kick-off) que explica mais ou menos o que vai ser o projeto. Em projetos novos, é uma ideia abstrata. Quando vai desenvolvendo, entrando nos detalhes e as decisões vão sendo feitas, lá pro meio ou final do projeto, você não necessariamente ainda sabe o que tá acontecendo, só o pessoal que tá trabalhando na integração ou simulação de topo. Tem projetos que mesmo assim quem tá no topo não sabe exatamente como funciona o digital, só o básico.

Process

sábado, 2 de outubro de 2021 10:00

[11 - Analog 02 \(Web view\)](#)

- **Unevolved processes**
 - Eu fico um pouco frustrado porque são coisas mapeáveis e resolvíveis, que já foram ditas várias vezes e soluções levantadas nunca foram implementadas (existe um engessamento em algumas coisas).
- **Weak attachment to defined processes**
 - Para finalizar, acho que essa questão da organização que falta ser melhorada. Organização do fluxo de projeto... ou talvez respeito a ele. O kick-off existe, mas é raramente feita. Essa definição das atividades também precisa ser organizada. A empresa tem capacidade de fazer projetos bons e em pouco tempo, só falta planejar melhor e seguir o plano.

[14 - Analog 03 \(Web view\)](#)

- **Missing procedures**
 - O problema de entregáveis que sejam usáveis é o maior eu acredito. Seria bom ter alguns padrões e métodos (adaptados para cada projeto) detalhando se vai ser entregue

[15 - Analog 04 \(Web view\)](#)

- **Unmapped activities**
 - Uma informação do abstract que poderia vir (ou o analógico verificar) é grid/tracks de roteamento. Seria importante saber isso.
- **No clear exchanges procedure**
 - O gerente de projetos determina o path que devemos olhar para usar as coisas da digital e fica em um libdefs geral. Porém, já aconteceu de eu ter que colocar no meu libdefs local o path correto por causa de alterações no digital.
- **Critical information pending**
 - Acho que falta informação de coisas importantes. Em um projeto recente tivemos que perguntar coisas importantes após a entrega. Alterações de ultima hora quando estamos na correria e falha na obtenção de informações importantes para conclusão do projeto causaram atraso.

[16 - Analog 05 \(Web view\)](#)

- **Were created procedures to shift-left digital**
 - Depois começam interações de interface de layout: definição e posicionamento de pino, floorplan e faço um abstract do digital. Antes o pessoal do digital se virava com a view, mas ultimamente tenho gerado LEF direto. As vezes volta um pouquinho diferente a posição do pino, mas coisa pouca.
 - O fluxo com os abstracts é uma solução. Antigamente dava uma especificação pro digital e só sabia como ia ficar quando tinha um layout pronto. A troca de abstracts foi uma solução para a entrega tardia do digital, para termos uma ideia da área, formato que queremos, pinos que queremos para conseguirmos avançar o trabalho da integração enquanto não tem o layout pronto.
 - De LVS, cada memória nova trás dificuldades, a forma de fazer LVS é diferente. As vezes dão netlist pronto, as vezes esquemático, as vezes contem um dispositivo que não está no PDK... Em um projeto tentamos rodar LVS da memória separadamente para adiantar esses problemas. Também fazemos algo assim para IO cells. Essas coisas na maioria das vezes vem dentro do digital, mas como chegava tarde, acabamos adiantando essas atividades.
- **Unsynced changes**
 - As vezes tem uma pequena diferença depois entre os projetistas, com sinais que não são mais usados... A atualização das mudanças não foi comunicado acaba gerando

retrabalho depois.

- **Communication through manager**

- A comunicação várias vezes é feita com o gerente como intermedio pois ele tem uma visão dos dois lados. Dificilmente as duas equipes se conversam, a não ser no nível mais de topo (simulação, layout) e mais ao final do projeto. Não sei se é porque não precisa ou se não é incentivado, porque dependendo do que estiver trabalhando não precisa. Um cara de bloco que precise de um bloquinho digital, por exemplo, até pode falar com alguém do time, mas geralmente comunica com o gerente.
- Essa comunicação horizontal não está acontecendo. Não sei se precisa, mas acho que também há uma resistência maior por exemplo por causa da linguagem diferente. Não há entendimento de como funciona o fluxo da outra equipe. Eu tenho uma certa noção, mas os detalhes e as dificuldades de certas demandas não. Se soubesse, poderia ter uma troca maior para pedir ajuda.

- **Hard-to-find information**

- Informação do digital geralmente tá atualizada, mas não necessariamente sei onde procurar. Tenho dificuldade de navegar e encontrar uma informação específica. Tem vários diretórios, muitas coisas... não sei onde tá cada informação. É raro eu precisar, mas geralmente é algo relacionado ao topo como o endereço dos registradores. Acabou sendo mais fácil olhar no Verilog e ficou mais fácil de ler.

Cross-functional

terça-feira, 28 de setembro de 2021 18:18

[11 - Analog 02 \(Web view\)](#)

- **Spec to digital used to create stub model was positive**
 - Em um projeto, teve um ponto bem positivo de comunicação entre times porque foi criada uma especificação bem completa usando diagramas de tempo pro digital. Facilitou a comunicação porque ele já tinha definido tudo e foi criado um modelo para ser usado enquanto o digital trabalhava. Foi muito bom pro projeto em geral.
- **Distance of verification action**
 - A parte da verificação do bloco digital é desconhecido pro analog (não se sabe o que foi verificado)

[14 - Analog 03 \(Web view\)](#)

- **Misalignments can cause problems**
 - Na parte do abstract foi bem tranquila. Teve alguns momentos que o pino tava em posição errada, mas fomos ajustando isso. Um pequeno problema é essa variação da posição de definimos devido as tracks. Fica meio desalinhado mas não é muito grave. A integração foi bem legal, mas eu não tinha muita noção do fluxo digital e estranhei quando notei essa diferença. Me explicaram, tinha poucos sinais e não tinha muito problema de roteamento nesse projeto, então foi de boa.
 - Port order já tive problema e já vi outros tendo também. Tivemos que gerar simbolo novo e arrumar na mão na view layout.
 - Da forma que foi entregue o layout tivemos problemas, mas depois que fizeram essa OA lib, ficou bem tranquilo. DRC tiveram alguns problemas, principalmente por causa da diferença de tensão, mas foi pequeno e bem particular. A maior dificuldade foi realmente o LVS, fazer reconhecer layout e esquemático digital. O digital teria que se adaptar a essa forma para conseguirmos verificar.

[15 - Analog 04 \(Web view\)](#)

- **Misalignments can cause problems**
 - DRC e LVS devem ser feitas no digital, mas no caso de LVS já teve alguns problemas causados por configuração de ferramenta ou port order diferentes entre os times. Foi mais um problema de integridade do que um problema do digital ou do analógico. Problemas de LVS não são recorrentes apesar disso.

[16 - Analog 05 \(Web view\)](#)

- **Misalignments can cause problems**
 - O DRC e LVS são rodadas no digital, mas não é o mesmo fluxo do analog. Rodar nas ferramentas do analog parece não estar mapeado no fluxo digital, o que acaba gerando problemas depois, geralmente bem na frente do projeto quando tempos pouco tempo. Poderia ser feito um trial do fluxo para já ir corrigindo esse problemas no inicio do projeto.
 - Um problema classico é as vias do digital em que temos que fazer attach da tecnologia do digital. Esse problema só é indentificado quando exportamos e importamos o GDS final (as vias somem), e temos que lembrar de fazer isso, deixar isso na cabeça.
- **Lack of visibility of the other flow**
 - Não há entendimento de como funciona o fluxo da outra equipe. Eu tenho uma certa noção, mas os detalhes e as dificuldades de certas demandas não. Se soubesse, poderia ter uma troca maior para pedir ajuda.

Late action

terça-feira, 28 de setembro de 2021 18:38

[09 - Analog 01 \(Web view\)](#)

- **Late physical integration**
 - integração física, onde tem a entrega do layout e os problemas que (até com frequência) vem quando integramos o digital, que é sempre ali no final perto de tapeout.
 - Aqueles (milhares) de erros e waivers de DRC entram no fluxo e você se perde... tendo que resolver isso nos ultimos dias.
 - adiantar o mapeamento desses problemas (seja um pre-tapeout com o digital) para quando chegar uma entrega perto do final já ter boa parte dos problemas mapeados.
- **Late top activities**
 - Em geral, o topo é uma coisa que fica pro final (tanto da parte AMS quanto analog).
 - A parte de power up é um exemplo de simulação que deixamos pro final e que poderia ser feito antes (mesmo sem o digital).
 - A parte da AMS também (digital conversando com o analógico), acabamos tendo só uma verificação nos ultimos dias, não sendo uma coisa que é estressada ao longo do desenvolvimento (por ser muito em cima da hora, acaba sendo uma verificação não completa).
 - Isso de deixar pro final é sempre porque o projeto é muito corrido.

[14 - Analog 03 \(Web view\)](#)

- **Late digital delivery**
 - Faltou uma integração melhor entre os times. O analógico ficou pronto muito mais rápidos, ficou esperando o digital para entregar pro cliente.

[15 - Analog 04 \(Web view\)](#)

- **Late top activities**
 - Geralmente atividades de topo são feitas mais pro final, gerando muita correria, trabalhar no final de semana... Trabalho se acumulava muito no final.

[16 - Analog 05 \(Web view\)](#)

- **Late digital deliveries**
 - A entrega do layout digital acontece muito tarde, muito perto do tapeout e sempre tem um probleminha, como DRC ou LVS, roteamento não obedeceu alguma distancia... Já aconteceu muito que o deadline do digital quase coincidia com o deadline do projeto, gerando um trabalho muito excessivo perto da entrega, virando noites... Gera um trabalho para os dois lados.
 - Rodar nas ferramentas do analog parece não estar mapeado no fluxo digital, o que acaba gerando problemas depois, geralmente bem na frente do projeto quando tempos pouco tempo.

Project challenges

terça-feira, 28 de setembro de 2021 18:49

[11 - Analog 02 \(Web view\)](#)

- **Tight schedule**
 - Minha impressão é que os prazos são sempre apertados demais, tudo é feito na correria para atingir o prazo,

[14 - Analog 03 \(Web view\)](#)

- **Mixed signal as a challenge**
 - Sempre que tem coisa AMS é trabalhoso.

[16 - Analog 05 \(Web view\)](#)

- **Requirement changes**
 - Nas discussões sobre interface muito no início do projeto, é definido algo e vai sendo incrementado ao longo do projeto. As vezes tem uma pequena diferença depois entre os projetistas, com sinais que não são mais usados... A atualização das mudanças não foi comunicado acaba gerando retrabalho depois.
 - Essas restrições geralmente são estimadas no início das discussões baseadas em experiencias anteriores e mudanças são discutidas posteriormente.
 - É bom para apertar as equipes para definir algumas coisas mais cedo. Coisas definidas superficialmente no inicio são refinadas para já ir pensando nas consequencias. Isso me parece funcionar melhor nos ultimos projetos que participei.

Negative impact

terça-feira, 28 de setembro de 2021 18:57

[09 - Analog 01 \(Web view\)](#)

- **Extra hours**
 - a questão das horas extras é uma coisa bem importante. Um projeto muito atropelado causa uma quantidade de trabalho muito grande no final e acaba fazendo os projetistas trabalhando muitas horas a mais e muitos dias seguidos, deixando a gente muito cansado e mais chance de fazer um erro. Eu acho que isso é uma coisa bem critica. Entendo que tem um prazo ali e precisa dar um gás a mais, mas aos poucos tem que se achar uma solução para evitar isso.
- **No critical problems**
 - Já aconteceu problemas de valor default errado de registrador (porque foi comunicado ou feito pelo digital errado), power up e down, coisas assim... bug grandes de comprometer o circuito não acontecem. Na bancada dá para dar um jeito e medir se precisar.

[11 - Analog 02 \(Web view\)](#)

- **Unsolved or undetected bugs**
 - Os bugs que passam não são graves... geralmente. Em um projeto, um bug passou e pode impedir o chip de ligar.
 - Eu fico um pouco frustrado porque são coisas mapeáveis e resolvíveis, que já foram ditas várias vezes

[14 - Analog 03 \(Web view\)](#)

- **Stress and extra hours**
 - Impactos negativos são principalmente hora extra e stress. No final do projeto com problemas de layout, fica com a pressão de entregar na data certa, trabalha horas extras para cumprir, trabalhar de forma corrida... frustração de não conseguir entregar um trabalho com muita qualidade. Como o layout é a ultima etapa de projeto, afeta a saúde mental.
- **No critical problems**
 - Acho que não chegou a inviabilizar um projeto, mas a qualidade ficou comprometida.

[15 - Analog 04 \(Web view\)](#)

- **Anxiety, stress and extra hours late in the project**
 - Ansiedade porque ficamos preocupados em saber se vamos conseguir entregar é o maior problema. Stress porque você fica batendo cabeça com a mesma coisa... você fica pior porque ta trabalhando muito, mas fica mais devagar e precisa trabalhar mais. Não trabalhei nos finais de semana, mas em um projeto tive que fazer horas extras por um longo periodo. Da loucura de entrega não tenho muito do que reclamar, mas bate ansiedade e stress.