

CER-PROSIT_ UE 4

Electronique et langage binaire

Electronique et langage binaire

Présenté par
NDONGO DENISE ROLANDE (X2027)

SOMMAIRE

I/ Analyse du contexte.....

II/ Définition de la problématique.....

III/ Définition des contraintes.....

IV/ Plan d'action.....

V/ Réalisation du plan d'action.....

**VI/ Validation des
hypothèses.....**

VII/ Conclusion et retour sur les objectifs.....

VIII/ Bilan critique du travail effectué.....

IX/ Synthèse du travail effectué et des résultats obtenus.....

X/ Références bibliographiques fournies dans le prosit.....

XI/ Références bibliographiques complémentaires.....

I/ ANALYSE DU CONTEXTE

Il est question pour un groupe de chercheurs d'exploiter un livret de bord afin de reproduire la machine appelée ENIAC à l'aide de transistors.

II/ DEFINITION DE LA PROBLEMATIQUE

Comment modéliser et simplifier le schéma donné en annexe afin de reproduire la machine ENIAC ?

III/ DEFINITION DES CONTRAINTES

- Seules quelques parties du livret de bord sont exploitables, la plupart des parties essentielles sont illisibles.
- Eradication de l'informatique.

IV/ PLAN D'ACTION

- Définition des mots-clés
- Modélisation du système d'équation
- Acquisition des connaissances sur le fonctionnement des transistors
- Reproduction de la machine

V/ REALISATION DU PLAN D'ACTION

1) Définition des mots-clés

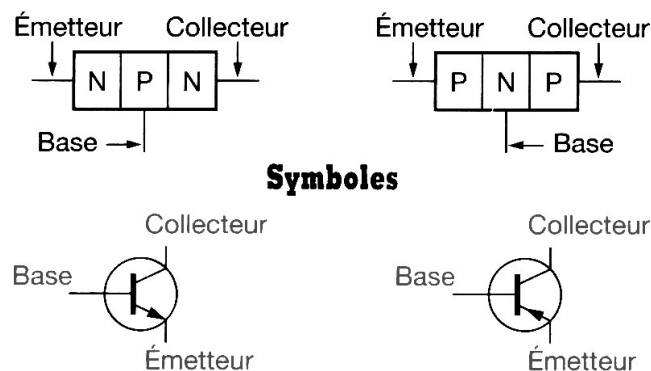
- Artéfact : un artéfact désigne une entité utilisée ou produite pendant le cycle de développement d'un logiciel
- ENIAC : L'ENIAC est en 1945 le premier ordinateur entièrement électronique pouvant être Turing-complet. Il peut être reprogrammé pour résoudre, en principe, tous les problèmes calculatoires.
- Transistor : Dispositif électronique utilisé pour redresser, moduler ou amplifier les courants électriques.
- Algèbre : Ensemble d'opérations, de résolutions d'équations avec substitution de lettres aux valeurs numériques et de la formule générale au calcul numérique particulier
- Livret de bord : Cahier sur lequel on note les principales péripéties

2) Acquisition et étude des savoirs nécessaires à la reproduction de la machine

La réalisation correcte de ladite machine nécessite bon nombre de connaissances, notamment sur les différents types de transistors, de leur fonctionnement ainsi que des schémas logiques.

➤ Généralités sur les transistors

Un transistor est constitué de 2 jonctions PN (ou diodes) montées en sens inverse. Selon le sens de montage de ces diodes on obtient 2 types de transistors :



Un transistor comporte trois connexions : L'émetteur (E), la base (B) et le collecteur (C)	
Le transistor NPN	Le transistor PNP
La base, zone de type P est située entre deux zones de type N.	La base, zone de type N, est située entre deux zones de type P.

Remarques :

L'émetteur est toujours repéré par une flèche qui indique le sens du courant dans la jonction entre base et émetteur. C'est l'effet transistor qui permet à la diode qui est en inverse de conduire quand une tension est appliquée sur la base.

Deux sources d'alimentation sont nécessaires pour assurer un fonctionnement correct du transistor. Elles sont souvent notées :

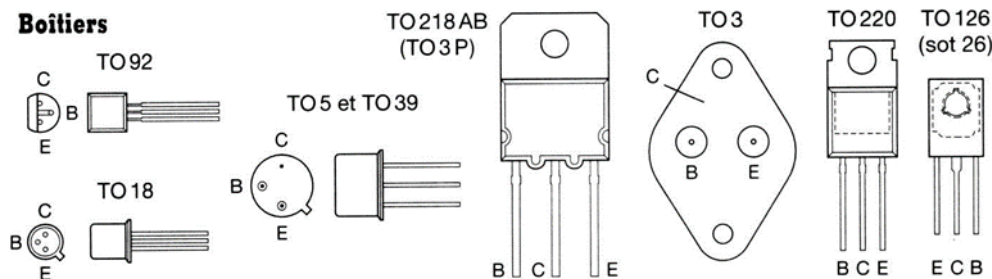
- V_{BB} : *Alimentation du circuit Base.*
- V_{CC} : *Alimentation du circuit Collecteur.*

Remarque : *L'alimentation V_{BB} est parfois réalisée à partir de V_{CC}*

Les constructeurs donnent en général les valeurs ci-dessous à ne pas dépasser afin d'éviter la détérioration du transistor :

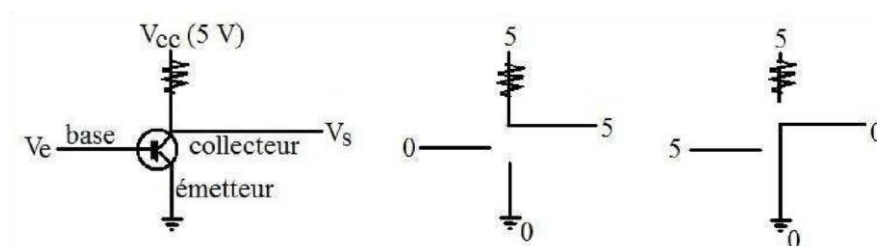
- V_{CE0} ou V_{MAX} : **Tension collecteur/emetteur maxi** (à $V_{BB} = 0$)
- V_{BEO} : **Tension base/emetteur maxi**
- $I_C \text{ max}$: **Courant maxi dans le collecteur**
- P : **Puissance maxi que peut dissiper le transistor** (avec $P = V_{CE} \cdot I_C$)

Le brochage d'un transistor varie selon le type de boîtier. On trouve essentiellement les boîtiers ci-dessous :



Le transistor (du type CMOS) comporte trois connexions externes :

- * Le collecteur est la sortie du transistor, et il est relié au fil d'où vient la tension V_{cc} (5 volts de courant continu) de l'alimentation.
 - * L'émetteur est relié à la masse (0 volt).
 - * La base constitue la connexion d'entrée. Tout dépend de la tension V_e qui lui est appliquée.
- Si l'on n'applique aucune tension à la base ($V_e = 0$), le transistor bloque le courant entre collecteur et émetteur, et la sortie passe à la tension $V_s = 5$ volts.
 - Si l'on met sur la base une tension de $V_e = 5$ volts en entrée, le courant passe entre le collecteur et l'émetteur, ce qui met la sortie à la masse, soit $V_s = 0$ volt.



Le transistor inverseur, avec blocage ou passage selon la valeur binaire de la tension V_e .

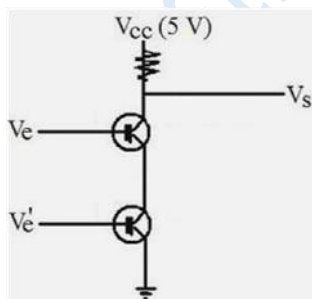
Ainsi le niveau haut de l'entrée donne un niveau bas à la sortie, et vice versa. En termes logiques, 0 est transformé en 1, et 1 en 0. On obtient un inverseur, correspondant à la porte logique baptisée NON.

➤ Utilisation des transistors

➤ Etude des schémas logiques

Avec le simple transistor précédent, nous avons obtenu une première porte logique de base. Sachant qu'en logique le chiffre 1 peut signifier « vrai » et le 0 signifie « faux », on obtient ce que l'on appelle la table de vérité du NON.

Avec dans la colonne de gauche les entrées, et les sorties correspondantes dans la colonne de droite. La fonction de passage s'écrit $f(x) = \bar{x}$, où x désigne l'entrée et $f(x)$ la sortie, étant entendu que \bar{x} est par définition le contraire (ou le complément) de x . Maintenant mettons deux transistors en série. La tension de sortie V_s ne peut être nulle que si les deux transistors laissent passer le courant entre le collecteur et l'émetteur. Dès que l'un des transistors est en état de blocage, ou encore les deux, la tension de sortie V_s est égale à 5 volts.

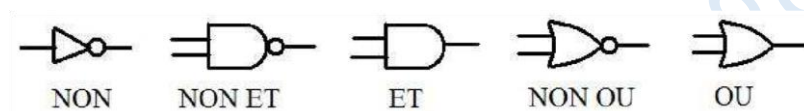


On en déduit la table de vérité de cette nouvelle porte logique, avec ses deux entrées a et b , correspondant aux signaux électriques V_e et V'_e arrivant dans les transistors, et sa sortie S .

Enfin mettons deux transistors en parallèle. Si les deux bloquent le passage du courant ($V_e = V'_e = 0$), on a $V_s = 5$ volts. Dès que l'un laisse passer le courant, on a $V_s = 0$.

La fonction logique associée n'est autre que le NON OU (*NOR*), négation de la fonction OU (*OR*).

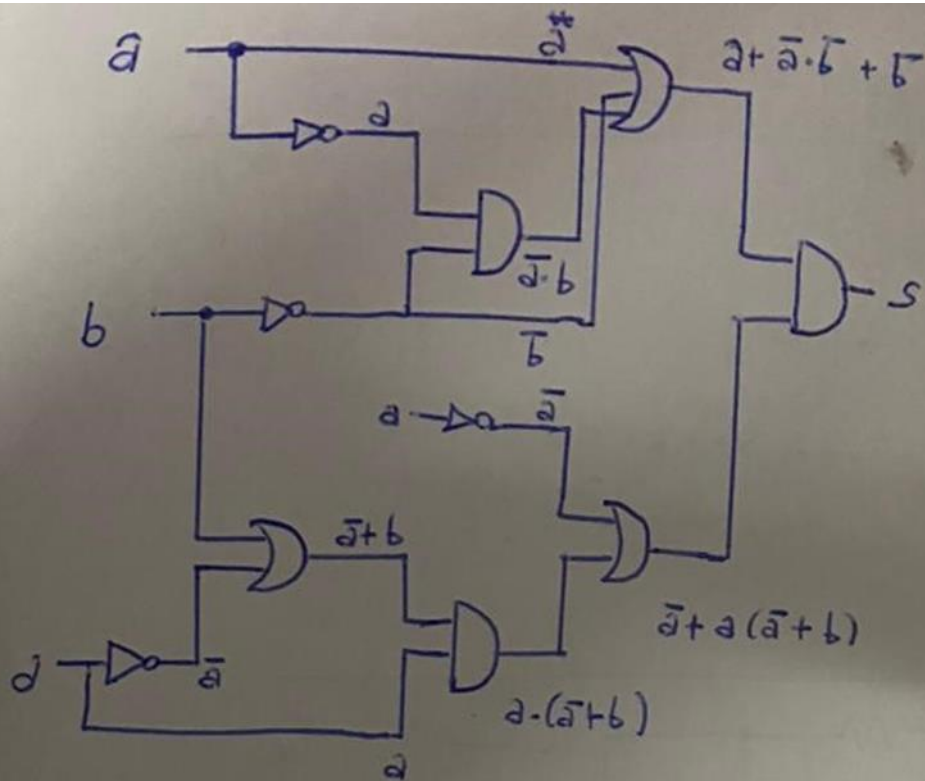
Finalement, avec un transistor, nous avons le NON, avec deux transistors nous obtenons NON ET ou NON OU, avec trois transistors nous trouvons le ET ou le OU. Nous avons là les portes logiques qui sont les composants fondamentaux des circuits intégrés. Dans les schémas électroniques, ces portes sont représentées par les symboles suivants, la présence d'un petit rond indiquant la négation.



Enfin, pour simplifier l'écriture, a ET b est noté ab , comme une multiplication, tandis que a OU b est noté $a + b$ comme une addition. On avait déjà vu que la négation était notée avec un trait vertical sur la variable concernée.

Avec le ET et le OU, ou leur négation, nous avons vu le cas où l'on avait deux entrées. Il peut y en avoir plus, mais les tables de vérité restent analogues, elles sont seulement plus longues, car avec k fils en entrée, il existe 2^k valeurs possibles pour les entrées (a_1, a_2, \dots, a_k) et autant de résultats en sortie. Par exemple avec $k = 3$, les triplets d'entrée a, b, c donnent huit cas : 000, 001, 010, 011, 100, 101, 110, 111. La sortie se présente alors comme un vecteur à 8 composantes. Cela signifie que l'on peut fabriquer $2^8 = 256$ tables de vérité différentes à partir de trois entrées, et autant de portes logiques différentes.

3) Modélisation du système d'équation



$$\begin{aligned}
 &a + \bar{a} \cdot \bar{b} + \bar{b} \\
 &(a + \bar{a})(a + \bar{b}) + \bar{b} \\
 &(a + \bar{b}) + \bar{b} \\
 &a + \bar{b}
 \end{aligned}$$

$$\begin{aligned}
 &(a + \bar{b})(\bar{a} + b) \\
 &a\bar{a} + ab + \bar{a}\bar{b} + b\bar{b} \\
 &0 + ab + \bar{a}\bar{b} + 0
 \end{aligned}$$

$$S = \bar{a}\bar{b} + ab$$

From De Morgan, on sait que $\overline{\bar{a}\bar{b}} = a + b$

$$\text{Donc, } S = \overline{\bar{a}\bar{b}} + ab$$

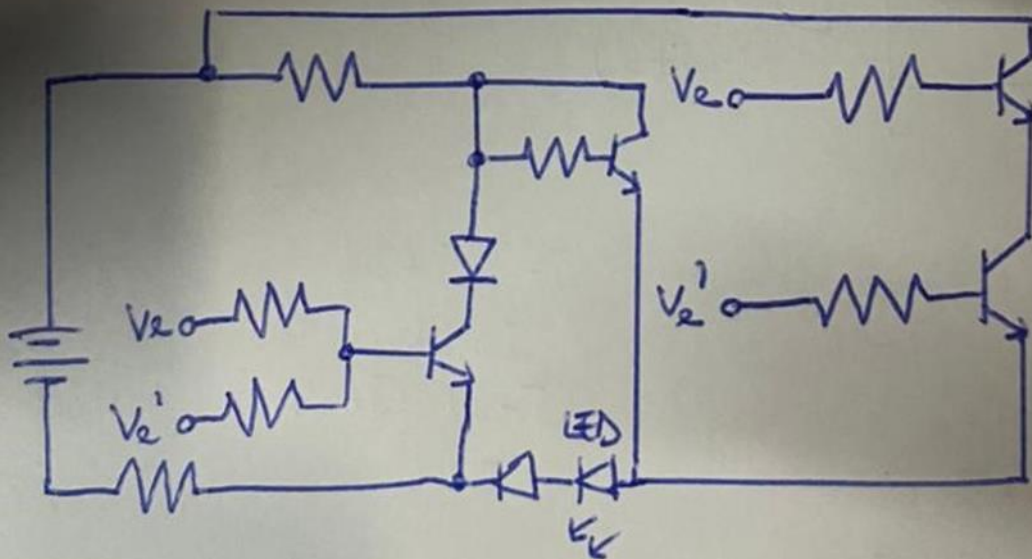
4)Modélisation de la machine ENIAC

Le schéma du circuit logique a pu être représenté et simplifié sous forme Boolean et son équivalent électrique a pu être établi.

Table de vérité

a	b	\bar{a}	\bar{b}	$a\bar{b}$	$a+b$	$\overline{a+b}$	S
0	0	1	1	0	0	1	1
0	1	1	0	0	1	0	0
1	0	0	1	0	1	0	0
1	1	0	0	1	1	0	1

Fonction XNOR₃



VI/ VALIDATION DES HYPOTHESES

Dans le but d'apporter des solutions au problème, quelques hypothèses ont été émises, entre autres : l'implémentation d'un réseau MAN avec topologie en maille, et d'un réseau MAN avec topologie en étoile.

En raison de la difficulté de mise en œuvre, de l'insuffisance des ressources et du coût élevé des équipements, l'hypothèse du réseau MAN avec topologie en maille a été réfutée. Par ailleurs, la réalisation d'une topologie en étoile, se trouve être la plus appropriée, notamment grâce à la présence de hubs, switch et routeurs, mais également grâce à la facilité de mise en œuvre. C'est donc celle-ci que j'ai choisi d'implémenter.

VII/ CONCLUSION ET RETOUR SUR LES OBJECTIFS

Par rapport au prosit-aller, il était question pour nous de :

- Réaliser une étude des transistors, de leur fonctionnement ainsi que des portes logiques.
- Reproduire la machine ENIAC en tenant compte des ressources mentionnées dans le cahier de charges.

VIII/ BILAN CRITIQUE DU TRAVAIL EFFECTUE

Sur le plan individuel, ce prosit m'a permis de renforcer les bases que je possédais sur les notions apprises durant mon parcours scolaire, notamment sur les transistors.

D'un point de vue général, ce prosit nous a appris à remplir les tâches mentionnées dans un cahier de charges en tenant compte des objectifs et du temps alloué.

IX/REFERENCES BIBLIOGRAPHIQUES FOURNIES DANS LE PROSIT

Transistors : <https://www.digikey.fr/fr/articles/transistor-basics>

X/ REFERENCES BIBLIOGRAPHIQUES SUPPLEMENTAIRES

Portes logiques : <http://www.pierreaudibert.fr/ens/6-PORTESLOGIQUES.pdf>

Cours sur les portes logiques : <http://unis.sn/wp-content/uploads/2019/10/04-Les-portes-logiques.pdf>

<https://www.courstechinfo.be/Techno/PortesLogiques.pdf>