

[illegible]

图1.1 Am2901芯片的内部组成

Am2901芯片是一个完整的运算器，只是位数较少，具有很好的典型性，作为教学实例是非常理想的。教学机的运算器的主体部分用4片Am2901芯片级联而成，了解这一芯片的内部组成与运行机制是学习计算机运算器组成与设计的基础。

Am2901芯片是一个4位的位片结构的运算器器件,其内部组成如图所示。

从图上可以看到, 该芯片的第一个组成成分是一个4位的算逻运算部件ALU, 它的输出为F, 两个输入分别用R和S标记, 还有送入ALU最低位的进位信号Cn。它能实现 $R+S$ 、 $S-R$ 、 $R-S$ 三种算术运算功能, 和 $R \vee S$ 、 $R \wedge S$ 、 $R \oplus S$ 、 $R \vee \bar{S}$ 、 $R \vee S$ 五种逻辑运算功能。在给出运算结果的同时, 还送出向高位的进位输出信号Cn+4, 溢出标志信号OVR, 最高位的状态信号F3(可能用作符号位), 以及运算结果为零的标志信号F=0000。

该芯片的第二个组成成分是由16个4位的通用寄存器组成的寄存器组。它是一个用双端口(A口和B口)控制读出, 单端口(B口)控制写入的部件。为了对其进行读写, 需通过A地址、B地址指定被读写的寄存器。两路读出数据分辨用A口、B口标记, 经锁存器线路可以送到ALU的R、S输入端的多路选择器, A口读出数据还可以用作该芯片的可选输出信号之一。寄存器组的写入数据由一组多路选择器给出, 并由B地址选择写入的寄存器。

该芯片的第三个组成成分是4位的Q寄存器,主要用于实现硬件的乘法、除法指令,能对本身的内容完成左、右移位功能,能接收ALU的输出。输出送到ALU的S输入端。

该芯片的其余组成成分是5组多路灯选通门,通过它们,实现芯片内上述三个组成成分之间的联系,实现该芯片和其外界信息的输入与输出操作,这包括:

- 外部4位的数据经D输入端送入运算器芯片之内,是直接送到ALU的R输入端;
- 一组4位的二选一器件控制把运算器内的两路4位输出数据(A口数据、ALU的运算结果数据)送出芯片,标记为Y;
- 一组4位的二选一和4位的三选一器件,分别用于组合外部送来信息D,通用寄存器组的双路读出信息A和B,乘商寄存器Q的信息,以形成ALU的两路输入R和S的值;
- 一组4位的三选一器件,完成从ALU的输出结果,ALU输出结果左移一位的值,ALU输出结果右移一位的值中选择其一,作为通用寄存器的写入信息,实现的是通用寄存器接收及移位功能。在左右移位时,其最高位和最低位可以送出或接收相应位的信息,图上用RAM3和RAM0标记,它们都是由能进行双向传送的三态门电路实现的;
- 一组4位的三选一器件,用于完成Q寄存器内容的左右移位,或接收ALU的输出结果的操作功能。在进行左右移位操作时,与通用寄存器移位类似的是,这里存在Q3和Q0的双向传送问题。

## Am2901的控制与操作

为了控制Am2901运算器按我们的意图完成预期的操作功能,就必须向其提供相应的控制信号和数据。

### 控制信号包括:

- 选择ALU的八种运算(三种算术、五种逻辑运算)功能中我们所要求的一种。这可通过提供三位功能选择码I5 I4 I3实现。如表2.1所示。
- 选择送入ALU的两个操作数据R和S的组合关系(实际来源)。表上已标明,R从D和A中选择,S从A、B和Q中选择,再考虑到两边还均可选"0"值,则我们可以从这许多可能组合中选取最有用的8种组合,即A、Q组合,A、B组合,Q、Q组合,Q、B组合,Q、A组合,D、A组合,D、Q组合,D、Q组合,并用I2 I1 I0三位操作数选择码控制二组多路选通门选取其一,具体规定如表2.1所示。
- 选择运算结果或有关数据以什么方式送往何处的处理方案,这主要指通用寄存器组和Q寄存器执不执行接收操作或移位操作,以及向芯片输出信息Y提供的是什么内容。这是通过I8 I7 I6三位结果选择码来控制三组相应的选择门电路实现的,具体规定如表2.1所示。

表2.1

			I8-6	I5-3	I2-0	
0	0	0	$F \rightarrow Q$	F	R+S	A Q
0	0	1	无	F	S-R	A B
0	1	0	$F \rightarrow B$	A	R-S	0 Q
0	1	1	$F \rightarrow B$	F	$R \vee S$	0 B
1	0	0	$F/2 \rightarrow B$ $Q/2 \rightarrow Q$	F	$R \wedge S$	0 A
1	0	1	$F/2 \rightarrow B$	F	$\neg R \wedge S$	D A
1	1	0	$2F \rightarrow B$ $2Q \rightarrow Q$	F	$R \odot S$	D Q
1	1	1	$2F \rightarrow B$	F	$R \oplus S$	D 0
			寄存器结果选择	Y 输出选择	运算功能选择	R S

### 外部的数据包括:

(1)通过D接收外部送来的数据, 这已经在ALU的操作数来源选择中解决。

(2)应正确给出芯片的最低位的进位输入信号Cn。

(3)关于左右移位操作过程中的RAM3、RAM0、Q3和Q0的处理, 左移操作时RAM3与Q3为输出, RAM0和Q0为输入; 相反, 右移操作时, RAM0和Q0为输出, RAM3和Q3为输入, 这是由I8和I7共同控制的。这几个外部信息的接收与送入, 需要在 Am2901芯片之外用另外的电路解决。

(4)四个标志位的值的接收与记忆电路, 需在Am2901芯片之外实现。

(5)当执行通用寄存器组的读操作时, 由外部送入的A地址选中的通用寄存器的内容送往A端口, 由B地址选中的通用寄存器的内容送往B端口, B地址还用作通用寄存器的写入控制。由于有16个通用寄存器, 故A、B地址均由4位组成。当A、B地址给出同一数值时, 则将选中同一通用寄存器, 此时A、B端口同时输出同一寄存器的内容。

(6)如有通用寄存器组的写操作时, 结果将写入由B地址选择的寄存器中。

(7)芯片的输出数据Y可以从AUL的运算结果F或A口的数据二者之中选择其一。

### 关于该芯片的具体线路尚需说明如下几点:

(1)芯片结果输出信号的有无还受一个/OE信号的控制, 仅当其为低电平时, 才有Y值输出, 否则输出为高阻态。

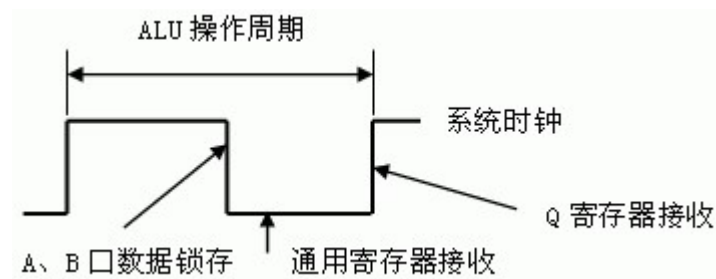
(2)标志位F=0000为集电极开路输出, 容易实现“线与”逻辑, 此管脚需经过一个电阻接到 +5V。

(3)RAM3、RAM0、Q3、Q0均为双向(入出)三态逻辑, 一定要与外部电路正确连接。

(4)通用寄存器组通过A端口、B端口读出内容的输出处均有锁存器线路支持, 以保证在执行诸如  $A + B$  结果送 B 运算时操作的正确性。

(5)该芯片还有两个用于芯片间完成高速进位的输出信号/G和/P。

(6)Am2901芯片要用一个CLK (CP) 时钟信号作为芯片内通用寄存器、锁存器和Q寄存器的打入信号。其有关规定如图2.3.2所示。请注意两个跳变沿和低电平所实现的不同控制功能。



### 四片Am2901芯片间的连接

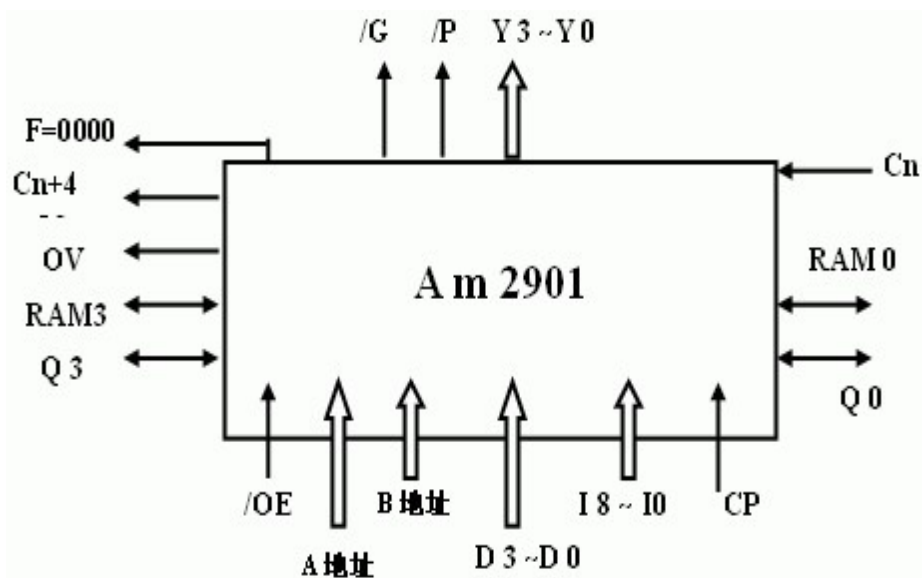


图3.1 Am2901芯片的管脚信号

在用四片Am2901芯片构成一个16位的运算器部件时, 四片间的连接关系是:

(1)16位的数据输入由4片各自的D3-D0组成, 其位序号从高位芯片向低位芯片顺序排列成D15-D0。

(2)16位的数据输出由4片各自的Y3-Y0组成, 其位序号从高位芯片向低位芯片顺序排列成为Y15-Y0。

(3)有高低位进位关系的3组信号, 在高低位相邻芯片间的连接关系是:

高位芯片的RAM0与低位芯片的RAM3相连

高位芯片的Q0与低位芯片的Q3相连

在串行进位方式下, 高位芯片的 Cn 与低位芯片的 Cn+4 相连; 若选用Am2902芯片

(与74LS182芯片功能相同, 二者可互换使用) 实现并行进位, 则低位的三个芯片的并行进位信号/G和/P应送往Am2902的相应管脚, 并将各自对应的片间进位输出信号送入相邻高位芯片Am2901的Cn管脚。为了能支持串、并行两种进位方式, 对片间的进位信号选择, 采用跳线方式进行, 如图3.2所示。同时支持串、并行两种进位方式, 是为了在教学实验中能方便地观察与

量测每种进位方式的进位延迟时间，建立计算机运算器的进位延迟时间的数量级概念。

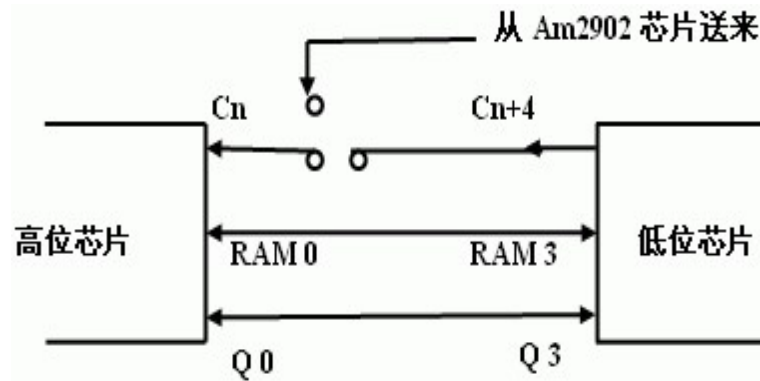


图3.2 串行与并行进位的跳线选择

此时，最低位芯片的RAM0与Q0是该16位的运算器的最低位的移位入/出信号，最高位芯片的RAM3与Q3是16位的运算器最高位的移位入/出信号，均需有另外的逻辑电路与之连接。最低位芯片的Cn是整个运算器的最低位进位输入信号。最高位芯片的Cn+4是16位完整运算器的进位输出信号。

同理，只有最高位芯片的F3和OVR有意义，低位的三个芯片的F3和OVR不被运用。

四个芯片的F=0000管脚连接在一起，并经一个电阻接到+5V电源，以得到16位的ALU的运算结果为“0”的标志位信号。

(4)其它的几组输入信号，对4片Am2901器件来说应有相同的值，包括/OE(控制选通Y的输出)，A地址、B地址，I8-I0(控制Am2901的运算功能，数据来源，结果的处置)和工作脉冲CP，故应将四个芯片的这些信号的各对应管脚连接在一起，示意如图3.3所示，请注意图中的某几个引脚的名字有所变化。

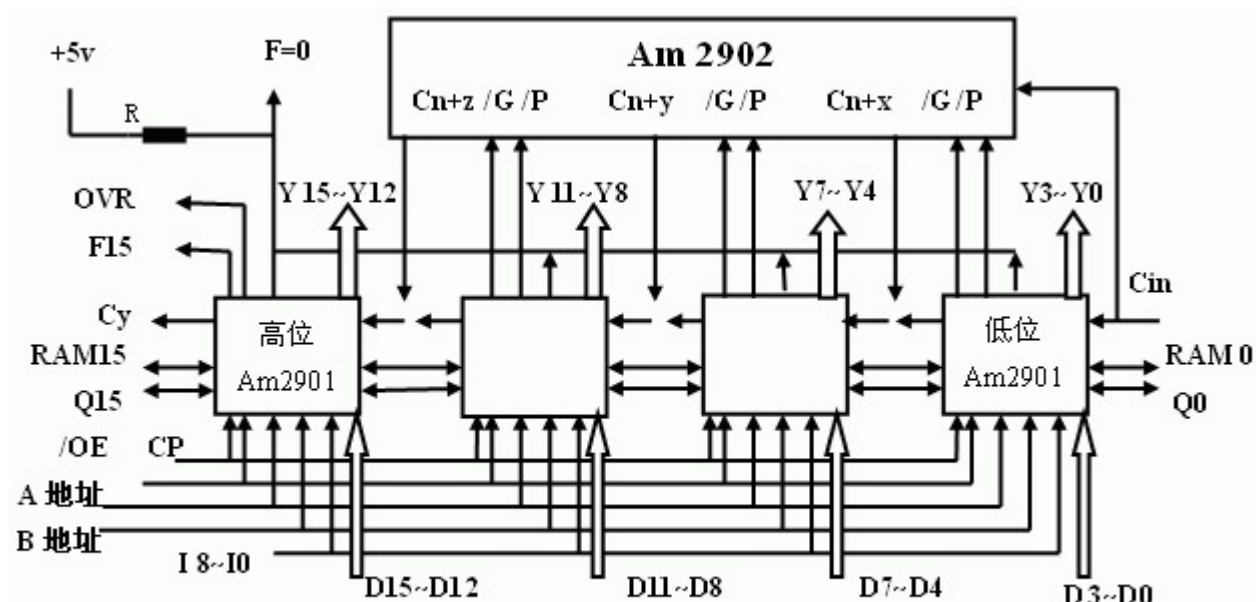


图 3.3 4片 Am2901 级联

我们可以进一步把图3.3简化表示成图3.4的样式，以便突出数据、控制信号的分类情况。



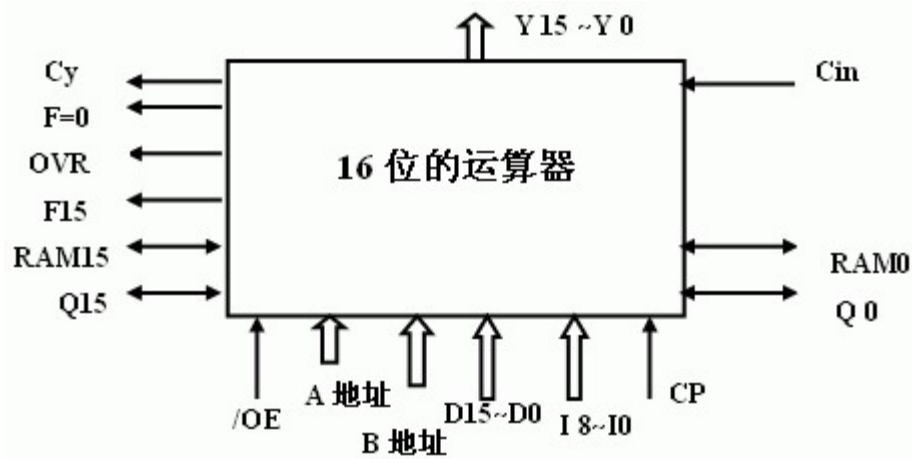


图 3.4 16 位的运算器的输入/输出信号

## Am2901 芯片之外的线路设计

### (1). 关于四个标志位信号的接收与记忆线路

共有8种控制4个状态位接收或保持状态信息的操作方式，这包括：

- 在ALU执行算术与逻辑运算指令时，应该将与计算结果有关的4个标志位的信号接收到一个在外部实现的4位（记为C,Z,V,S）的状态标志寄存器中。
- 另外的许多指令，其执行结果对4个标志位不产生任何影响，此时标志寄存器的内容应保持不变。
- 在结束中断处理，实现恢复现场操作时，状态寄存器还需接收从内存堆栈区读来的先前保存的状态信息。

还有几条指令，只影响进位标志位C，而与其它三个标志位无关。这包括：

- 清“0”C（CLC指令）
- 置“1”C（STC指令）
- 让C接收RAM15的值(循环或逻辑左移指令)
- 接收RAM0的值(循环或逻辑右移指令)
- 接收Q0的值(硬件乘法指令的通用寄存器和Q寄存器同时右移，亦称联合右移操作)。

表4.1 状态寄存器的接收与保持

SST 编码			状态位输入				说明
B34	B33	B32	C	Z	V	S	
0	0	0	C	Z	V	S	四位标志位的值保持不变
0	0	1	CY	F=0	OV	F3	接收 ALU 的标志位输出值
0	1	0	IB7	IB6	IB5	IB4	恢复标志位原现场值
0	1	1	0	Z	V	S	置 C 为 “0”，另三个标志不变
1	0	0	1	Z	V	S	置 C 为 “1”，另三个标志不变
1	0	1	RAM0	Z	V	S	右移操作，另三个标志不变
1	1	0	RAM15	Z	V	S	左移操作，另三个标志不变
1	1	1	Q0	Z	V	S	联合右移，另三个标志不变

在使用运算器时，就必须在恰当的时刻给出选择某一种操作方式的选择信号，这用3位选择码

SST就可以实现, 其具体规定如表4.1所示。

## (2)最低位进位输入信号Cin的形成

从实用的角度, Cin可以取"0"值, 可以取"1"值, 可以取进位标志位C的值(带进位加减, 双精度加减法指令要用)。从教学实验的角度, Cin也可以取一个方波输入, 当用它与各位为全"1"的信息相加时, 运算器每一位的输出都是1个方波, 对观察与量测进位波形很方便。

在教学机中, 对补码的减法处理过程采取了一点变通措施, 即实现减法运算时, 正常逻辑应为被减数小不产生向C的进位信号, 但是我们却变其为向C产生进位信号, 以使C=1表示加减运算有进位或有借位, 为此又必须在实现带借位减运算指令SBB时, 使用C的非, 而不是C。这里就有7种给出最低位进位输入信号Cin的需求, 可以用两位选择码SCi与有关指令的操作码共同加以区分, 具体规定如表4.2所示。

表4.2 形成最低位进位输入信号Cin的逻辑

SCi 编码 (B11B10)	00	01	10	11
Cin 取值	0	1	C	TCLK 方波

## (3). 左右移位时, 最高、最低位的移位输入信号设计

最高位的移位入出信号是RAM15和Q15, 最底位的移位入出信号是RAM0和Q0, 它们都是由双向三态逻辑门电路实现的。在左移操作时, RAM0和Q0可以作为输入端接收输入信号, 右移操作时, RAM15和Q15可以作为输入端接收输入信号。这些输入信号可以有O、C值(进位标志触发器)、Q15、/F15、RAM0、F15异或OVR, Cy(ALU的进位输出)。从教学计算机的指令执行需要, 可以按左、右移位区分出4种情况, 故用2位移位输入控制码SSH和左右移位命令加以区分, 具体规定如表4.3所示。

表4.3 最高、最低位的移位输入信号的形成逻辑

2 位控制码		左移		右移		说明
SSH 码编码 B9 B8		RAM0	Q0	RAM15 (RAM7)	Q15 (Q7)	
0	0	0	X	0	X	通用寄存器逻辑位移
0	1	C	X	C	X	通用寄存器与C循环移
1	0	Q15 (Q7)	/F15 (/F7)	CY	RAM0	原码除(左移)乘(右移)
1	1	X	X	F15(F7)或OVR	RAM0	右移用于补码乘法

注: 表中的X表示不必处理、不必过问该位的取值;

当通用寄存器本身移位时, Q寄存器不受影响;

乘除运算要求实现通用寄存器与Q寄存器联合移位; 没有Q寄存器单独移位功能。

## 运算器的控制与操作

当我们按图2.3.7把实验计算机的运算器实现出来之后, 完整的运算器已处于能单独操作的状态。只要我们有办法向它提供必要的数据和控制信号, 它就能完成指定的操作功能。

关于数据, 主要是D15-D0这16位数据输入, 这可以用教学计算机上的16位数据开关直接提供。

关于控制信号, 当我们不考虑教学计算机的其它功能部件, 尤其是不提供控制器支持时, 就只能用实验机上的两个12位的微型开关SW2和SW1来向运算器提供全部的控制信号, 包括I8-I0, SST, A地址、B地址、SCi, SSH共24位。其具体安排如图5.1所示。

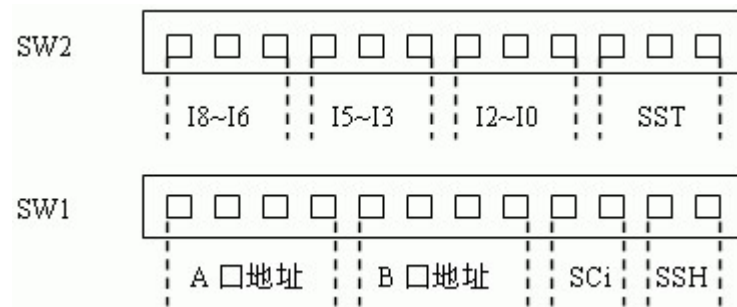


图5.1 微型开关的控制功能

这样就可以借助开关、按钮、指示灯来操作和控制运算器的运算操作, 观察运算器的运算结果, 这就是我们称之为脱机的运算器实验方式。用这种方式学习、理解运算器的组成与运行机制是足够简便直观的。

当我们把运算器部件接入教学机整机之内运行时, 就不能靠微型开关来为其提供控制信号, 而改由控制器来给出前面刚提到的这24位控制信号。在微程序控制方式下, 这些控制信号是由一个被称之为微指令寄存器PLR的相应的24位直接提供的, 它与24位的微型开关提供的信号是互斥关系, 可用二选一逻辑来指明选用它们中的哪24位控制信号。二选一逻辑的选择控制信号就是教学机上设置的FS4功能选择开关。当其状态为"1"(开关向上拨), 选通微型开关的信号作为控制信号, 为"0"时, 选通控制器的PLR的24位信号作为控制信号, 如图5.2所示。

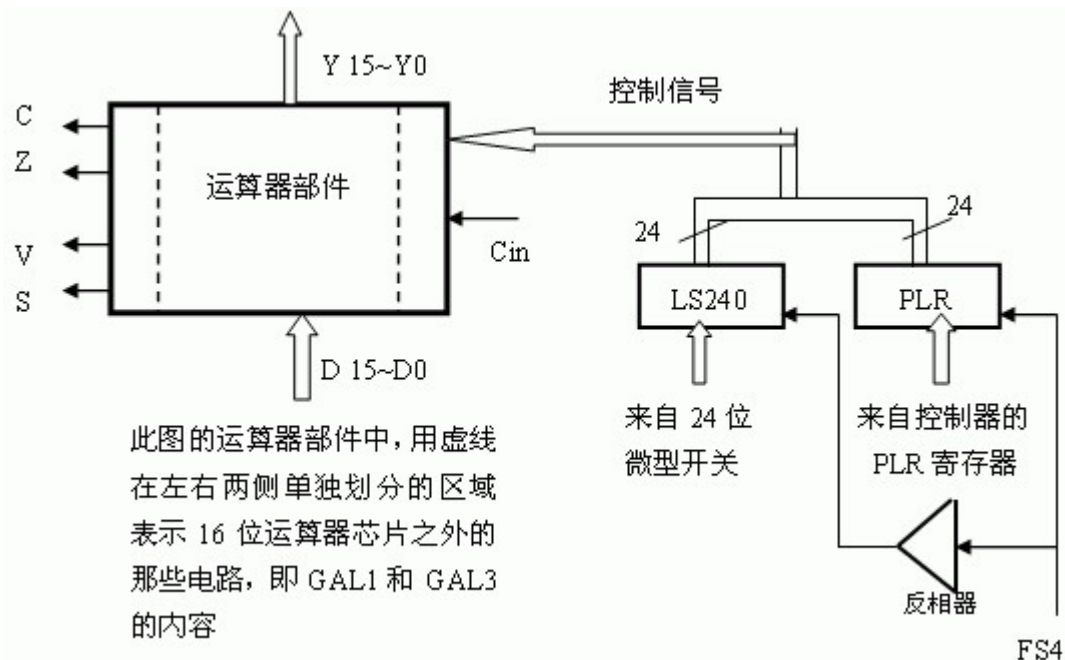


图5.2 脱机与联机方式下向运算器提供控制信号的办法

LS240器件与PLR器件的输出均有三态控制逻辑, 当选通信号为低电位时, 器件输出有效, 否则输出为高阻态。