

刘成

liucheng@ict.ac.cn

+86-13713529934

北京市海淀区中关村南路 6 号，中科院计算技术研究所

教育

香港大学

2011-09 - 2016-04

计算机工程专业，电机与电子工程系

哈尔滨工业大学

2007-09 - 2009-07

微电子学与固体电子学专业，航天学院

哈尔滨工业大学

2003-09 - 2007-07

电子信息科学与技术专业，航天学院

研究方向

FPGA 计算加速, FPGA 虚拟化, 深度学习计算加速, 软硬件协同设计, 片上网络

研究经历

中科院计算所

2018-06 - 现在

项目：低功耗深度学习硬件加速器

- 主要进行低功耗的深度学习加速器体系结构、电路设计优化以及自动化定制等研究，开发适用于物端智能处理的超低功耗 AI 加速芯片，满足物端识别、分析等智能应用需求。

计算机学院, 新加坡国立大学

2016-12 - 2018-06

项目：异构 CPU-FPGA 系统上的图计算加速

- 本项目目标是开发一个面向大型图的软件可编程高性能图计算库, 可以用于在弱耦合与紧耦合的 CPU-FPGA 计算系统上的图计算加速。目前已经在 Alpha-Data 加速卡上实现了一个 BFS 加速器的设计, 并且可以根据 FPGA 片上资源, 调整设计参数, 实现性能的优化。同时也正在进行针对紧耦合的 CPU-FPGA 系统的一般性图计算优化研究。针对 Intel 的 Harp 系统也即 Xeon-FPGA, 提出一种以数据流处理为基础的软硬件协同设计方案, 用于自动化的生成软硬件协同的图计算设计。

商汤科技

2016-04 - 2016-10

项目：Zynq 系统上 CNN 卷积加速器设计

- 设计了一个灵活可配置的卷积加速器, 能够支持任意的分块以及参数的配置, 目标是能够快速的配置, 以满足不同场景下不同 CNN 模型加速的需求。在 ZC706 上实现, 并用于大场景人脸识别的展示系统。

香港大学

2011-09 - 2015-12

项目：基于软 CGRA 的 FPGA 虚拟化研究

- 本项目的目标是提供一个 FPGA 的虚拟层, 用于多种相似的计算核心加速逻辑的快速实现, 相比通常的高层综合或者 HDL 的硬件加速方式, 可以极大的提高设计效率。为此, 我们在 FPGA 上构建了一个规则的 CGRA 虚拟层, 然后将高层语言的计算核心, 编译成数据流图, 并进一步调度到指定的 CGRA 虚拟层上。

这样不同但相似的计算核心，在整个设计过程中，可以复用 CGRA 虚拟层的硬件综合实现。此外，我们进一步针对 Xilinx Zynq 系统，开发了相应的软硬件接口模板，使得计算核心的加速对用户近乎透明，达到接近软件编译的效率，获得显著的硬件加速。

- 将 CGRA 虚拟层移植到一个简单的 RISC-V 处理器上，添加加速逻辑调用指令，分析了在通用处理器上增加可重构加速逻辑的优化潜力。

中科院计算所

2009-09 - 2011-03

项目：高可靠的片上网络微结构研究

- 针对 3D 片上网络的 TSV 的可靠性问题，设计了 TSV 共享的片上路由器结构，增加了少量的逻辑，显著的提高了设计的可靠性。

哈尔滨工业大学

2006-10 - 2009-07

项目：高性能片上路由器微结构设计

- 优化片上网络路由器的流水线，使用 tsmc 130 nm 工艺，实现了 800MHz 片上路由器的设计。针对路由器中虚拟通道的开销大的问题，实现了动态虚拟通道共享的设计，减小芯片面积开销。

论文

Book Chapter

- Xuntao Cheng, **Cheng Liu**, Bingsheng He, "Emerging Hardware Technologies", In Book Encyclopedia of Big Data Technologies, pp.1-5, Jan 2018
- Hayden Kwok-Hay So and **Cheng Liu**, "FPGA overlays", in press FPGAs for Software Engineers, Dirk Koch, Frank Hannig and Daniel Ziener, Ed., 2016.

期刊

- Ying Wang, Yinhe Han, Lei Zhang, Binzhang Fu, **Cheng Liu**, Huawei Li, and Xiaowei Li. "Economizing TSV Resources in 3-D Network-on-Chip Design." Very Large Scale Integration (VLSI) Systems, IEEE Transactions on 23, no. 3 (2015): 493-506. (cited 12)
- Yinhe Han, **Cheng Liu**, Hang Lu, Wenbo Li, Lei Zhang, and Xiaowei Li. "RevivePath: Resilient network-on-chip design through data path salvaging of router." Journal of Computer Science and Technology 28, no. 6 (2013): 1045-1053. (cited 3)
- Qingli Zhang, **Cheng Liu**, Liyi Xiao, Fangfa Fu. "Low Latency Router Design Supporting both Deterministic Routing and Adaptive Routing." Journal of Computer-Aided Design & Computer Graphics, 21(12), 2009 (in Chinese)

会议

- Dawen Xu, Kaijie Tu, Ying Wang, **Cheng Liu**, Bingsheng He, Huawei Li, FCN-Engine: Accelerating Deconvolutional Layers in Classic CNN Processors, International Conference On Computer Aided Design (ICCAD), 2018 (to appear)
- Ho-Cheung Ng, **Cheng Liu** and Hayden Kwok-Hay So. "A Soft Processor Overlay with Tightly-coupled FPGA Accelerator," Overlay Architectures for FPGAs (OLAF), Second International Workshop on, pp. 1-6, Feb, 2016.

- **Cheng Liu**, Ho-Cheung Ng, and Hayden Kwok-Hay So. "Automatic Nested Loop Acceleration on FPGAs Using Soft CGRA Overlay", FPGAs for Software Programmers (FSP), 2nd International Workshop on, Sep. 2015. (cited 12)
- **Cheng Liu**, Ho-Cheung Ng, and Hayden Kwok-Hay So. "QuickDough: A Rapid FPGA Loop Accelerator Design Framework Using Soft CGRA Overlay", Field Programmable Technology, International Conference on (FPT), Dec. 2015 (cited 11)
- **Cheng Liu**, Lei Zhang, Yinhe Han, and Xiaowei Li. "Vertical interconnects squeezing in symmetric 3D mesh Network-on-Chip." In Proceedings of the 16th Asia and South Pacific Design Automation Conference, pp. 357-362. IEEE Press, 2011. (Cited 55)
- **Cheng Liu**, Lei Zhang, Yinhe Han, and Xiaowei Li. "A resilient on-chip router design through data path salvaging." In Proceedings of the 16th Asia and South Pacific Design Automation Conference, pp. 437-442. IEEE Press, 2011. (Cited 23)

Poster

- **Cheng Liu**, and Hayden Kwok-Hay So. "Automatic Soft CGRA Overlay Customization for High-Productivity Nested Loop Acceleration on FPGAs." In Field-Programmable Custom Computing Machines (FCCM), 2015 IEEE 23rd Annual International Symposium on, pp. 101-101. IEEE, 2015.
- **Cheng Liu**, Colin Lin Yu, and Hayden Kwok-Hay So. "A soft coarse-grained reconfigurable array based high-level synthesis methodology: Promoting design productivity and exploring extreme FPGA frequency." In Field-Programmable Custom Computing Machines (FCCM), 2013 IEEE 21st Annual International Symposium on, pp. 228-228. IEEE, 2013.