

Vivado Synthesis Hang Issue with Specific Design File.

在使用 Vivado 综合设计文件时，我遇到了系统挂起的问题。我的系统运行在 Linux 上，使用的 Vivado 版本是 2024.1。我在 Ubuntu 终端中使用的相关命令如下：

```
vivado -mode tcl
```

```
read_verilog rtl.v
```

```
synth_design -part xcvp1802-lsvc4072-2MP-e-S -top top
```

考虑到每次挂起的原因可能不一样，希望本次测试用例可以对挂起问题提供一定的参考。我已附上我们的设计文件 `rtl.v` 以及使用 Vivado 综合时生成的一些系统文件和日志。

和之前一样，每次都会选择两个 part 进行验证。附件中包含两个日志，分别对应 part 选择 `xcvp1802-lsvc4072-2MP-e-S` 和 part 选择 `xc7vx485t` 的情况，两者均出现了系统挂起的问题。