



计算机组成与设计

实验内容与要求

<ftp://10.78.22.223>

用户名: fpga

密码: fpga

课程目标

- ❖ 本课程通过设计并实现一个基于RV32I指令集的流水线RISC-V微处理器，加深同学们对RISC-V指令系统和RISC-V CPU结构的理解；了解用软件方式（指令方法）设计数字系统的方法；进一步掌握数字系统的设计和调试方法；锻炼同学们从系统角度和应用角度同时考虑问题的能力；引导同学们成为有能力设计和实现复杂数字系统的工程师。



先修课程

- ❖ 理论课：计算机组成与设计
- ❖ 实验课：数字系统设计实验

实验内容

❖ 本课程要求同学们独立完成实验项目。

实验内容	实验时间	备注
上课	第1次课	
实验8 快速加法器的设计之任务1：采用“进位选择加法”技术设计32位加法器（P.146）（时序仿真选做）	第1~2次课	第3次课之前提交solutions，并上交简易电子版报告（PDF格式）。
流水线RISC-V CPU的设计 1、ID级（指令译码、分支检测、寄存器堆、冒险检测等）的设计与仿真 2、EX级（ALU、Forwarding电路等）的设计与仿真 3、IF级的设计与仿真 4、MEM级和WB级的设计 5、整体仿真 6、硬件实现下载	第3~7次课	1、IF级的指令ROM已提供； 2、1月7日之前提交solutions，并交电子版报告（PDF格式）。 3、上传作业的命名格式： 321010xxxx_labxx
验收考核	第8次课	

实验要求

❖ 1、预习

- ❖ 阅读相关教材，了解实验目的、实验任务，理解实验原理。
- ❖ 查阅相关资料。
- ❖ 编写Verilog HDL代码并进行仿真。

❖ 2、实验

- ❖ 进实验室必须签到，不准迟到；
- ❖ 独立完成实验；
- ❖ 保持安静，禁止相互走动，禁止浏览与实验无关的网页；
- ❖ 实验设备出问题及时报告指导教师。不得随意调换设备；
- ❖ 实验中有问题可求助指导教师。
- ❖ 离开实验室前,请清理实验台。

❖ 3、实验验收

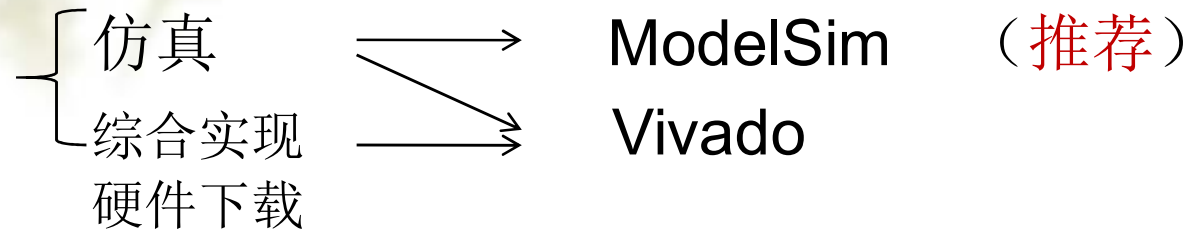
- ❖ 实验验收是必须的考核环节。验收时需要演示实验结果，并展示顶层仿真图。
- ❖ 实验完成后solutions需上传至：
ftp://10.78.22.223/upload/ (用户名：fpga，
密码：fpga)。
- ❖ 1月7日之前上交报告，越早越好。
- ❖ 当完成实验并通过老师验收后，你将在剩下的课程时间不再需要签到，可自由活动。

❖ 4、成绩核定

- ❖ 实验成绩由平时成绩和考核成绩两项组成。
- ❖ 平时成绩占85%，由实验完成情况、代码规范、代码质量、实验报告和平时到课等情况组成。
- ❖ 考核成绩占15%。
- ❖ 实验成绩最终折算成总成绩的一部分。

注意事项

❖ 1、软件的使用（ModelSim、Vivado）



❖ 2、文件管理

分类管理，防止混乱-----src、vivado、sim

❖ 3、自顶而下的设计方法

层次化、模块化

❖ 4、代码的规范性

例：描述组合电路时：

if....

if....

if....

if....

else if....

else....

❖ 5、IP内核


IP内核的生成及使用ModelSim软件进行仿真的方法请参考lab3。

❖ 6、提供的资料

2023年秋冬计组实验

2人



 扫一扫群二维码，立刻加入该群。