

实验 8 快速加法器的设计

一、实验目的

- (1) 掌握快速加法器的设计方法。
- (2) 熟悉流水线技术。
- (3) 掌握时序仿真的工作流程。

二、实验任务

1. 采用“进位选择加法”技术设计 32 位加法器，并对设计进行功能仿真和时序仿真。
2. 采用四级流水线技术设计 32 位加法器，并对设计进行功能仿真和时序仿真。

三、实验原理

1. 四位先行进位加法器的设计

两个加数分别为 $A_3A_2A_1A_0$ 和 $B_3B_2B_1B_0$ ， C_{-1} 为最低位进位。设两个辅助变量分别为 $G_3G_2G_1G_0$ 和 $P_3P_2P_1P_0$ ： $G_i = A_i \& B_i$ 、 $P_i = A_i \oplus B_i$ 。

一位全加器的逻辑表达式可转化为

$$\begin{cases} S_i = P_i \bar{G}_i \oplus C_{i-1} \\ C_i = G_i + P_i C_{i-1} \end{cases} \quad (5.12)$$

利用上述关系，一个四位加法器的进位计算就变转化为

$$\begin{cases} C_0 = G_0 + P_0 C_{-1} \\ C_1 = G_1 + P_1 C_0 = G_1 + P_1 G_0 + P_1 P_0 C_{-1} \\ C_2 = G_2 + P_2 C_1 = G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 C_{-1} \\ C_3 = G_3 + P_3 C_2 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0 + P_3 P_2 P_1 P_0 C_{-1} \end{cases} \quad (5.13)$$

由式 (5.13) 可以看出，每一个进位的计算都直接依赖于整个加法器的最初输入，而不需要等待相邻低位的进位传递。理论上，每一个进位的计算都只需要三个门延迟时间，即产生 $G[i]$ 、 $P[i]$ 的与门和或门，输入为 $G[i]$ 、 $P[i]$ 、 C_{-1} 的与门，以及最终的或门。同样道理，理论上最终结果 sum 的得到只需要四个门延迟时间。

实际上，当加数位数较大时，输入需要驱动的门数较多，其 VLSI 实现的输出时延增加很多，考虑到互连线的延时情况将会更加糟糕。因此，通常在芯片实现时先设计位数较少的超前进位加法器结构，而后以此为基本结构来构造位数较大的加法器。

2. 进位选择加法器结构

实际上，由超前进位加法器级联构成的多位加法器只是提高了进位传递的速度，其计算过程与行波进位加法器同样需要等待进位传递的完成。

借鉴并行计算的思想，人们提出了进位选择加法器结构，或者称为有条件的加法器结构 (conditional sum adder)，其算法的实质是增加硬件面积换取速度性能的提高。二进制加法的特点是进位或者为逻辑 1，或者为逻辑 0，二者必居其一。将进位链较长的加法器分为 M 块

分别进行加法计算,对除去最低位计算块外的 $M-1$ 块加法结构复制两份,其进位输入分别预定为逻辑 1 和逻辑 0。于是, M 块加法器可以同时并行进行各自的加法运算,然后根据各自相邻低位加法运算结果产生的进位输出,选择正确的加法结果输出。图 5.6 所示为 12 位进位选择加法器的逻辑结构图。12 位加法器划分为 3 块,最低一块(4 位)由 4 位超前进位加法器直接构成,后两块分别假设前一块的进位为 0 或 1 将两种结果都计算出来,再根据前级进位选择正确的和与进位。如果每一块加法结构内部都采用速度较快的超前进位加法器结构,那么进位选择加法器的计算时延为

$$t_{\text{CSA}} = t_{\text{carry}} + (M-2)t_{\text{MUX}} + t_{\text{sum}} \quad (5.14)$$

其中, t_{sum} 、 t_{carry} 分别为加法器的和与加法器的进位时延, t_{MUX} 为数据选择器的时延。

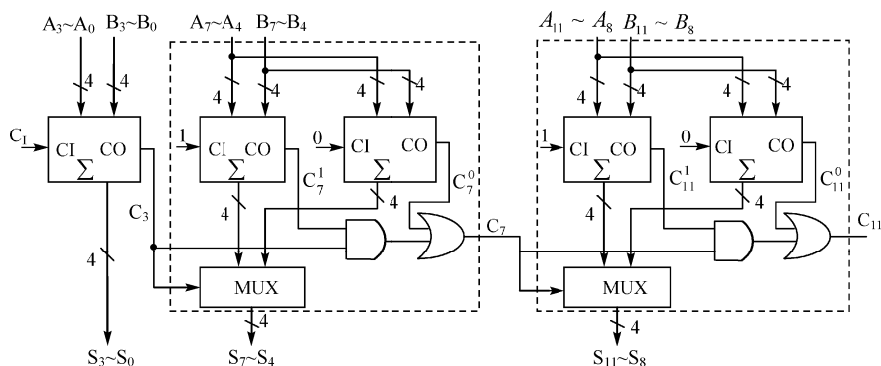


图 5.6 12 位进位选择加法器原理图

3. 流水线加法的设计

在数字系统中,如果完成某些复杂逻辑功能需要较长的时延,就会使系统很难运行在较高的工作频率上。流水线设计(pipeline design)是经常用于提高系统运行速度的一种有效方法,即在长时延的逻辑功能块中插入触发器,将复杂的逻辑操作分步进行,减少每个部分的操作,从而提高系统的运行速度。

图 5.7 所示为采用 4 级流水线技术的 32 位加法器的原理框图,采用了 5 级锁存、4 级 8 位加法,整个加法只受 8 位加法器工作速度的限制,从而提高了整个加法器工作速度。

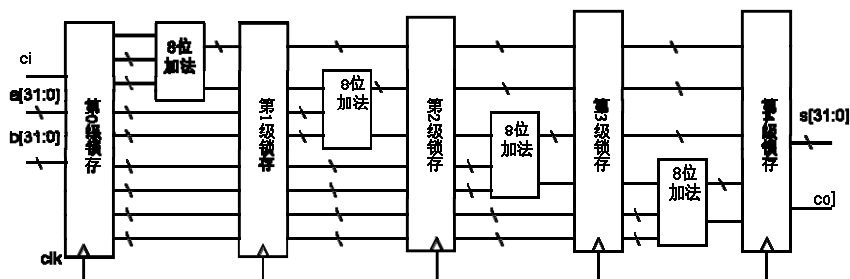


图 5.7 采用 4 级流水线技术的 32 位加法器原理框图

四、实验设备

装有 Vivado、ModelSim SE 软件的计算机。

五、提供的代码

- (1) 4 位加法器测试代码 `adder_4bits_tb.v`。
- (2) 32 位进位选择加法器测试代码 `adder_32bits_tb.v`。
- (3) 32 位流水线加法器测试代码 `pipeline_adder_tb.v`。

六、实验内容

1. 编写 4 位先行进位加法器的 Verilog HDL 代码，并用 ModelSim 软件进行功能仿真。
2. 32 位进位选择加法器的设计

- (1) 编写用 32 位进位选择加法器的 Verilog HDL 代码，并用 ModelSim 软件进行功能。
- (2) 对 32 位加法器进行时序仿真

时序仿真需设置仿真环境，详见附录 D。时序仿真步骤如下。

①建立 Vivado 工程，除了加入设计文件外，还需加入仿真测试文件 `adder_32bits_tb.v`，同时设置测试文件 `adder_32bits_tb.v` 的属性为 Simulation only，如图 5.8 所示。

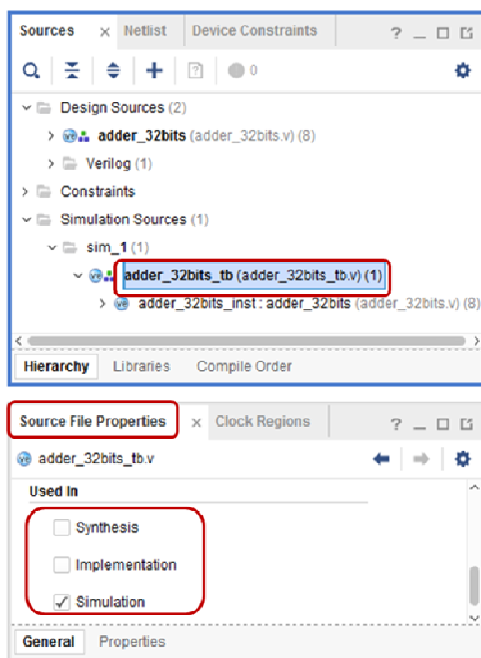


图 5.8 设置文件属性

②对 32 位进位选择加法器进行综合、实现，注意本例不需约束。

③在工程界面的 Flow Navigator 窗口中，右击 SIMULATION 在弹出的快捷菜单中选择 Simulation Setting...命令，然后在图 5.9 所示的对话框中，选择仿真器：ModelSim Simulator；选择仿真测试文件；并指定仿真库存储路径（仿真库存储路径与你的电脑有关，例作者存在

D:\modeltech64_10.4\xilinx_lib 文件下); 最后, 点击 OK 按钮。

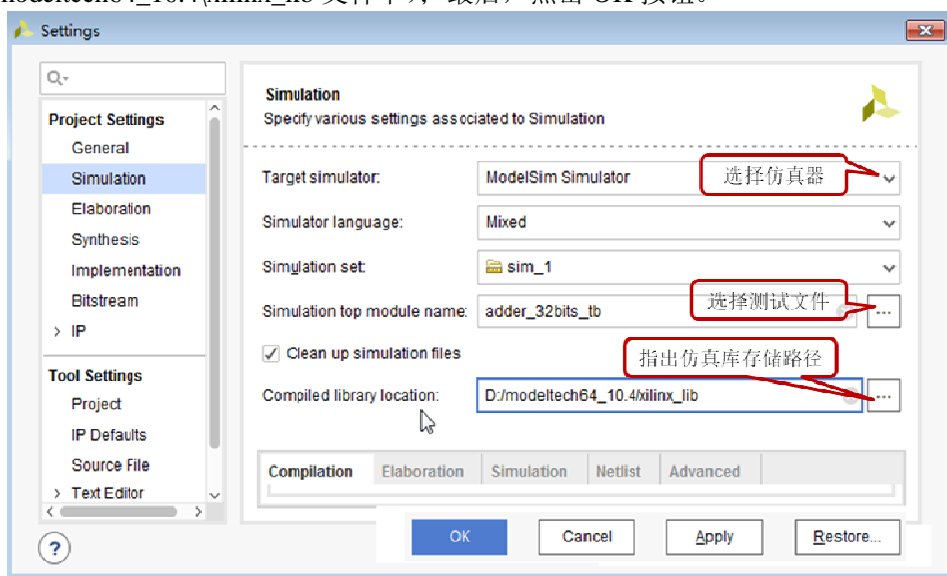


图 5.9 仿真设置

④在工程界面的 Flow Navigator 窗口中, 点击 SIMULATION⇒Run Simulation 选项, 在随后弹出的快捷菜单中选择 Run Post-ImplementationTiming Simulation 命令, 启动时序仿真。Vivado 软件会自动启动 ModelSim 软件并进行仿真。仿真结果如图 5.11 所示, 从波形图可看出信号的时延。

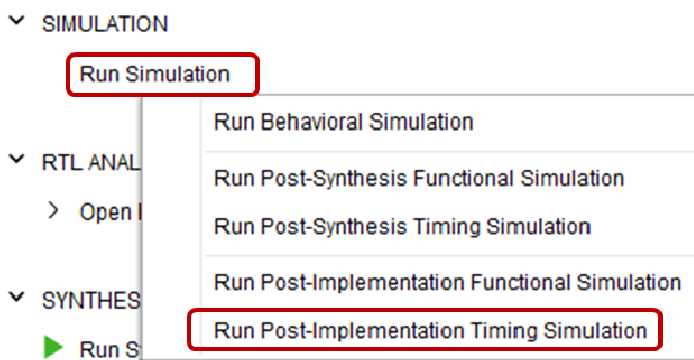


图 5.10 启动时序仿真

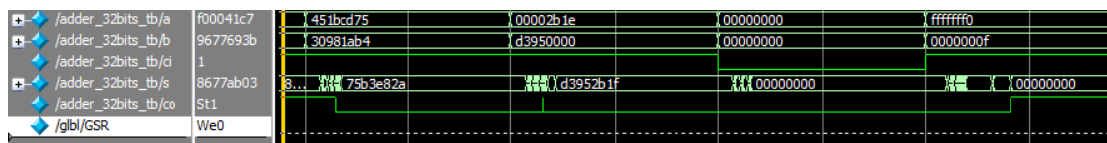


图 5.11 时序仿真结果。

3.编写采用 4 级流水线技术的 32 位加法器的 Verilog HDL 代码, 并对设计进行时序仿真。

八、实验报告要求

- (1) 写出设计原理、列出 Verilog HDL 代码并对设计作适当说明。
- (2) 记录 ModelSim 仿真波形，并对仿真波形作适当解释，分析是否符合预期功能。
- (3) 记录实验结果，分析设计是否正确。
- (4) 记录实验中碰到的问题和解决方法。

九、思考题

1. 为什么要进行时序仿真？
2. 采用流水线技术有什么优缺点？