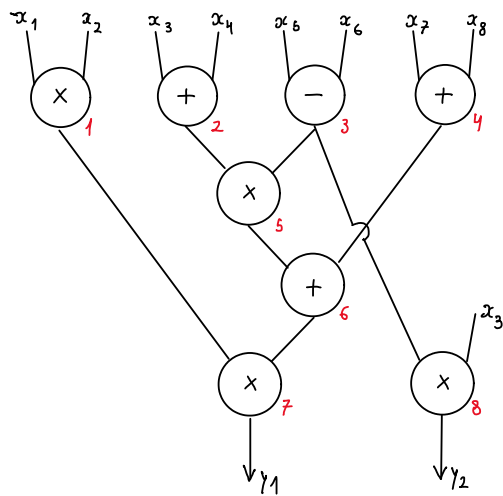
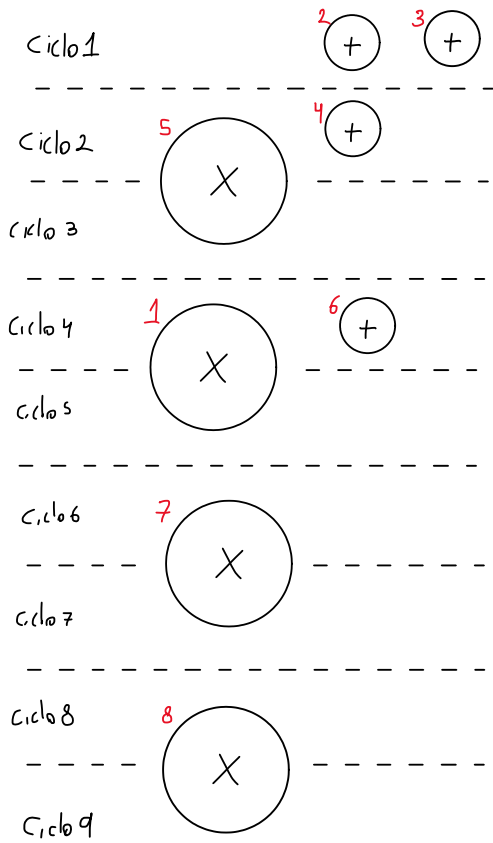


1 a) $y_1 = (x_1 \times x_2) \times ((x_3 + x_4) \times (x_5 - x_6) + (x_7 + x_8))$
 $y_2 = (x_5 - x_6) \times x_3$

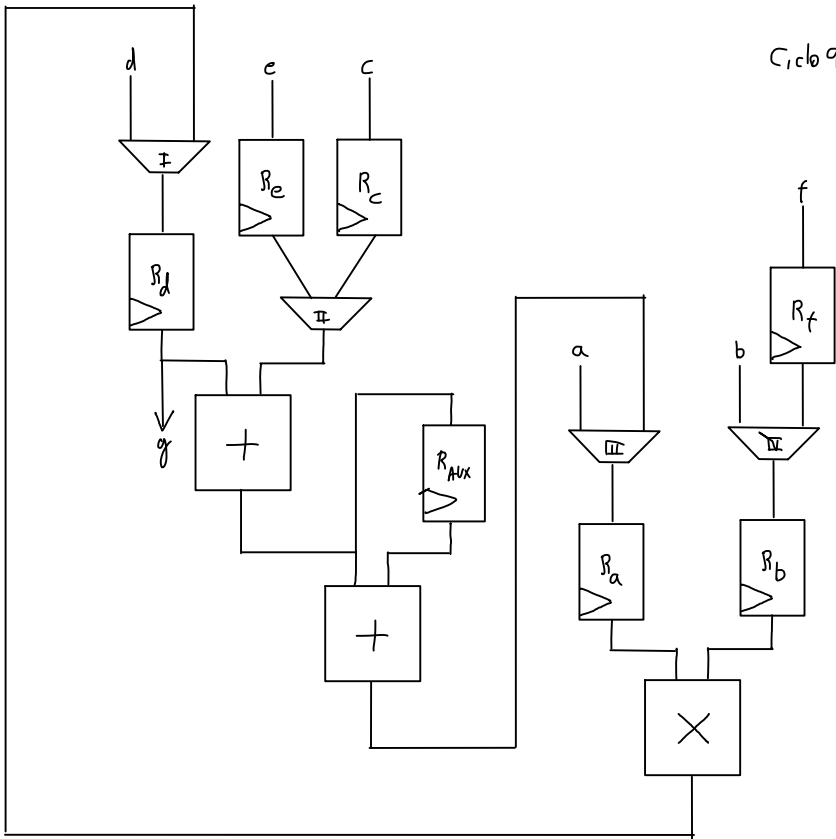


	Op	Critical Path	Dep				
1	X	2	—	2	+	4	— ✓
2	+	4	—	3	—	4	— ✓
3	—	4	—	4	+	3	— ✓
4	+	3	—	5	X	3	2, 3 ✓
5	X	3	2, 3	1	X	2	— ✓
6	+	2	4, 5	6	+	2	4, 5 ✓
7	X	1	1, 6	7	X	1	1, 6 ✓
8	X	1	3	8	X	1	3 ✓

target clk = 12ms => Critical path 1 adder $[t_{P_{Adder}} + t_{P_{FF}} + t_{SET} + t_{MUX} = 5 + 2 + 1 + 4 = 12ms!]$



2.



Minimizar a area:

- Primeiramente ver o essencial, no caso os 2 adders e o Mul, destes não nos livramos
- Depois ver area de cada um dos componentes não essenciais ie Mux e Reg
 - o Mux 2:1 = 16
 - o Mux 4:1 = 32
 - o Reg = 10
- A ideia agora é minimizar o numero de componentes dando prioridade ao uso de Reg's, visto que tem área menor que os Mux2:1. Dai usarmos um Reg aux e não um multiplexer para colocar o valor num registo já existente.

Area = 2 x Add + Mul + 4 x Mux2:1 + 7 x Reg = 2 x 16 + 120 + 4 x 16 + 7 x 10 = 286

$t_{clk} = \text{Max} \begin{cases} t_{P_{FF}} + t_{P_{Mul}} + t_{P_{MUX}} + t_{SET} = 2 + 1 + 3 + 14 = 20ms \\ t_{P_{FF}} + 2t_{P_{MUX}} + 2t_{P_{Add}} + t_{SET} = 2 + 1 + 2 \times 3 + 2 \times 5 = 19ms \end{cases}$

Latency = 20ms x 3 = 60ms

	Ra	Rb	Rc	Rd	Re	Rf	Raux
C1	a	b		d			
C2				z1	e	f	
C3		f	c	g			z2

$z_1 = a \times b$
 $z_2 = d + e$
 $z_3 = z_1 + c + z_2$

3.

$$\sigma = \frac{1}{N} \sum_{i=1}^N (x_i - \mu)^2$$

$N = 2048$
 $x \Rightarrow 18 \text{ bit}$

$RAMB36E1 \Rightarrow SDP \Rightarrow 512 \text{ linhas } 72 \text{ bits} \mid \Rightarrow 512 \text{ linhas para os } 2048 \text{ } x_i$
 $1 \text{ linha} \rightarrow 4 \text{ } x$

a) Temos metade das linhas, mas o dobro dos bits nas linhas

b) $(x_i - \mu) : Q_{18.0} \text{ e } Q_{18.11} \Rightarrow Q_{19.11}$

$(x_i - \mu)^2 : Q_{19.11}^2 \Rightarrow Q_{38.22}$

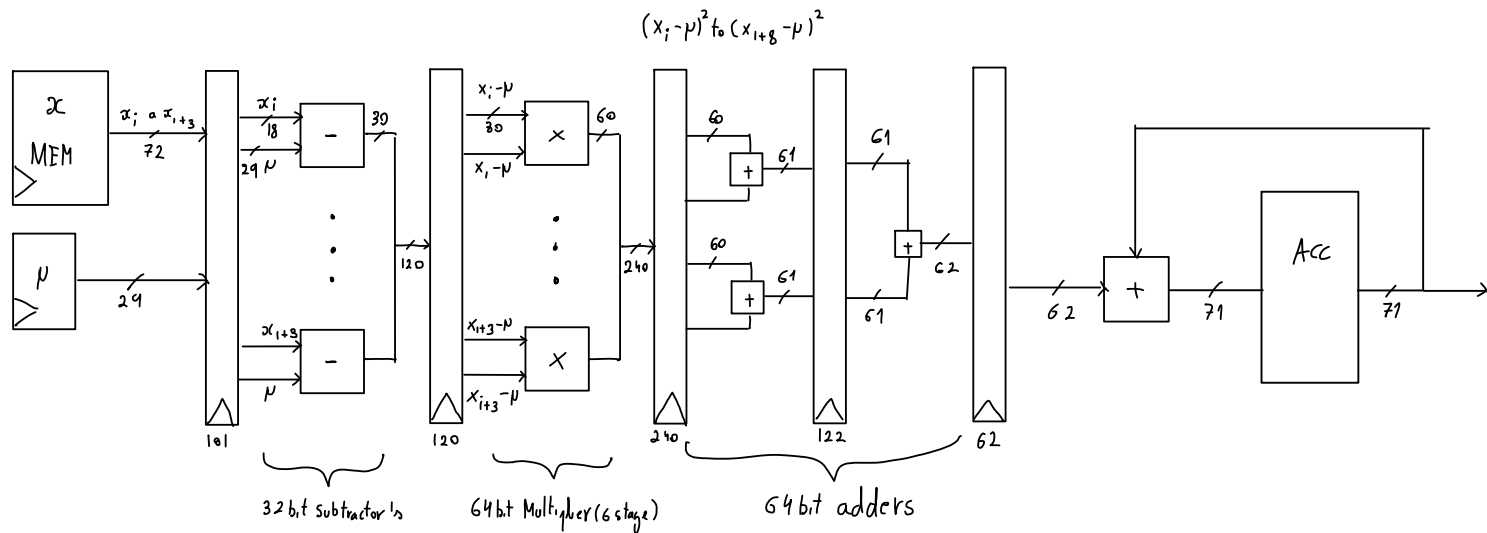
$\sum_{i=1}^N : Q_{38.22} \Rightarrow Q_{38 + \log_2(N) \cdot 22} = Q_{49.22}$

$\frac{1}{N} : Q_{49.22} \Rightarrow \text{Basta mover o ponto!! } 11 \text{ bits para a esquerda} = Q_{38.33}$

c) 1 BRAM de 36 kb

512 x 72

Permite ler 4 x por ciclo => 4 MAC's



$$\text{Critical Path: } t_{P_{MUL}} + t_{P_{FF}} + t_{SET} = 12 + 2 + 1 = 15 \text{ ns}$$

$$\text{Latency} = 5 + \frac{2048}{4} = 517 \times t_{CLK} \approx 7.755 \mu s$$

4

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.NUMERIC_STD.ALL;

entity addm is

Port (x : in std_logic_vector (15 downto 0);
y : in std_logic_vector (15 downto 0);
c : in std_logic_vector (17 downto 0);
mi : out std_logic_vector (17 downto 0);
mf : out std_logic_vector (26 downto 0));

end addm;

architecture behavioral of addm is

Signal auxX, auxY : std_logic_vector(25 downto 0);
signal Z1 : signed (26 downto 0);
signal Z2 : signed (44 downto 0);

begin

auxX <= x & "00000000000";
auxY <= (25 to 16 => y(15)) & y ;

Z1 <= Sig(auxX) + Sig(auxY);

Z2 <= Z1 * Sig(c);

mi <= std_logic_vector(Z2(44 downto 27));
mf <= std_logic_vector(Z2(26 downto 0));

end behavioral;

5

6 Pre-adder é de 25 bits => Logo não faz x+y!

É preciso 1 DSP apenas para esta norma

6 multiplicador é de 25x18 => Logo é preciso 2 para fazer $c \times (x+y)$

Vamos considerar de 3 DSP (ou 2 se fizermos cascading do Pre-adder)

$$6 \text{ a) } t_{\text{max}} = t_{P_{\text{Reg}}} + t_{P_{L2}} + t_{P_{\text{mux}}} + t_{P_{\text{MUL}}} + t_{SET} = 3 + 6 + 4 + 8 + 2 = 23 \text{ ns}$$

$$WNS = 25 - 23 = 2 \text{ ns}$$

b) Simm, Colocar um registro à saída de L2 e ir buscar o estado à saída de L1 e mão do Reg state

ou podemos fazer output based state assignment

$$t_{CLK} = t_{P_{\text{Reg}}} + t_{P_{\text{mux}}} + t_{P_{\text{MUL}}} + t_{SET} = 17 \text{ ns}$$

c) Como n queremos saber da relação de fase entre o relógio input e output a realimentação pode ser interna ao MMCM, ou seja podemos só ligar o CLKFBOUT ao CLKFBIN diretamente sem buffer.

O relógio externo entre em CLKIN1 e o relógio interno sai no CLKOUT0

$$F_{VCO} = F_{CLK_{in}} \times \frac{M}{D} \quad \begin{matrix} M=8 \\ D=1 \end{matrix} \rightarrow F_{VCO} = 800 \text{ MHz}$$

$$F_{CLK_{out}} = F_{CLK_{in}} \times \frac{M}{D \times U_0} \quad \begin{matrix} M=8 \\ D=20 \end{matrix} \rightarrow F_{CLK_{out}} = 40 \text{ MHz}$$