



Universidad
de Huelva

Fundamentos de Computadores

1º Curso del Grado en Ingeniería Informática

Práctica 3

Realización de funciones lógicas con decodificadores y multiplexores

Curso 2020/2021

Objetivos

- Comprensión del modo de funcionamiento de varios bloques funcionales MSI combinacionales.
- Realización de funciones lógicas mediante multiplexores.
- Realización de funciones lógicas mediante decodificadores y puertas.
- Visualización de números mediante displays de siete segmentos.

Material disponible

- PC con el paquete de software Digital Works 3.0.5.0 instalado.
- Puertas NAND de 2 entradas (C.I. 7400).
- Puertas NAND de 4 entradas (C.I. 7420).
- Puertas NAND de 8 entradas (C.I. 7430).
- Multiplexores de 8 canales (C.I. 74151).
- Decodificadores de 4 a 16 líneas (C.I. 74154).

Especificaciones

Un sistema digital puede recibir las 16 combinaciones posibles de 4 bits a través de su conjunto de líneas de entrada: $D_3D_2D_1D_0$.

Primera parte: Basándose en el empleo de un multiplexor, diseñar un circuito cuya salida **E** adopte un nivel alto cuando la combinación presente a la entrada pertenezca al código **BCD Exceso 3**.

Segunda parte: Empleando decodificadores y puertas lógicas, diseñar un circuito que represente en un display de 7 segmentos (**controlado a través de un conversor BCD/7 segmentos**) la siguiente información:


- Si la combinación presente a la entrada corresponde a un dígito decimal mayor que **0** expresado en código **BCD Exceso 3**, en el display se visualizará el valor de dicho dígito decrementado en una unidad.
- Si la combinación presente a la entrada corresponde al dígito **0** expresado en **BCD Exceso 3**, en el display se visualizará el valor **9**.
- Si la combinación de entrada no pertenece al código **BCD Exceso 3**, en el display aparecerá el valor **0**.

Proceso operativo

1. Representar la tabla de verdad correspondiente al primer circuito y obtener la expresión canónica numérica disyuntiva de la función **E**.
2. Obtener el diagrama lógico del primer circuito basándose en el empleo de un multiplexor.
3. Dibujar en Digital Works el **diagrama lógico** obtenido en el apartado 2 y simularlo para comprobar su correcto funcionamiento.
4. Dibujar en Digital Works el **diagrama hardware** correspondiente al diagrama lógico del apartado 3 y simularlo para comprobar su correcto funcionamiento.
5. Representar la tabla de verdad correspondiente al segundo circuito y obtener las expresiones canónicas numéricas disyuntivas de las diferentes funciones de salida.

6. Obtener el diagrama lógico correspondiente al segundo circuito, realizado mediante decodificadores y puertas lógicas.
7. Dibujar en Digital Works el **diagrama lógico** obtenido en el apartado 6 y simularlo para comprobar su correcto funcionamiento.
8. Dibujar en Digital Works el **diagrama hardware** correspondiente al diagrama lógico del apartado 7 y simularlo para comprobar su correcto funcionamiento.
9. Representar tabla de verdad del sistema indicado por el profesor durante la sesión de laboratorio y obtener las expresiones canónicas numéricas disyuntivas de las diferentes funciones de salida.
10. Obtener el diagrama lógico del circuito correspondiente a la tabla de verdad del apartado 9 usando el material indicado por el profesor.
11. Dibujar en Digital Works el **diagrama lógico** del circuito obtenido en el apartado 10 y ejecutar su simulación, contrastando los resultados con la tabla de verdad del apartado 9.
12. Dibujar en Digital Works el **diagrama hardware** correspondiente al diagrama lógico obtenido en el apartado 11 y ejecutar su simulación, contrastando los resultados con la tabla de verdad del apartado 9.

Notas:

- Los símbolos lógicos de los conversores BCD/7 segmentos y de las puertas NAND de 8 entradas pueden encontrarse en la carpeta **Símbolos** de **Parts Centre**.
- El símbolo lógico del conversor BCD/7 segmentos se empleará **tanto para el diagrama lógico como para el diagrama hardware**.
- Las simulaciones en Digital Works correspondientes a los apartados **3, 4, 7 y 8** deben realizarse como trabajo previo antes de acudir a la sesión de laboratorio y mostrarse a profesor para que las compruebe al comienzo de la clase.
- Los apartados desde el **9** hasta el **12** se realizarán durante la sesión de laboratorio.
- Para introducir las variables de entrada, tanto en los diagramas lógicos como en los diagramas hardware, se utilizarán las entradas de generación de secuencias (**Sequence Generator** \Rightarrow ) y se configurarán éstas adecuadamente para realizar un recorrido por la tabla de verdad de forma ordenada desde la primera combinación hasta la última.