

# ARTIX-7 FPGA 开发平台

## 用户手册

---

# AX7103B

REV 1.2 版

芯驿电子科技（上海）有限公司

黑金动力社区

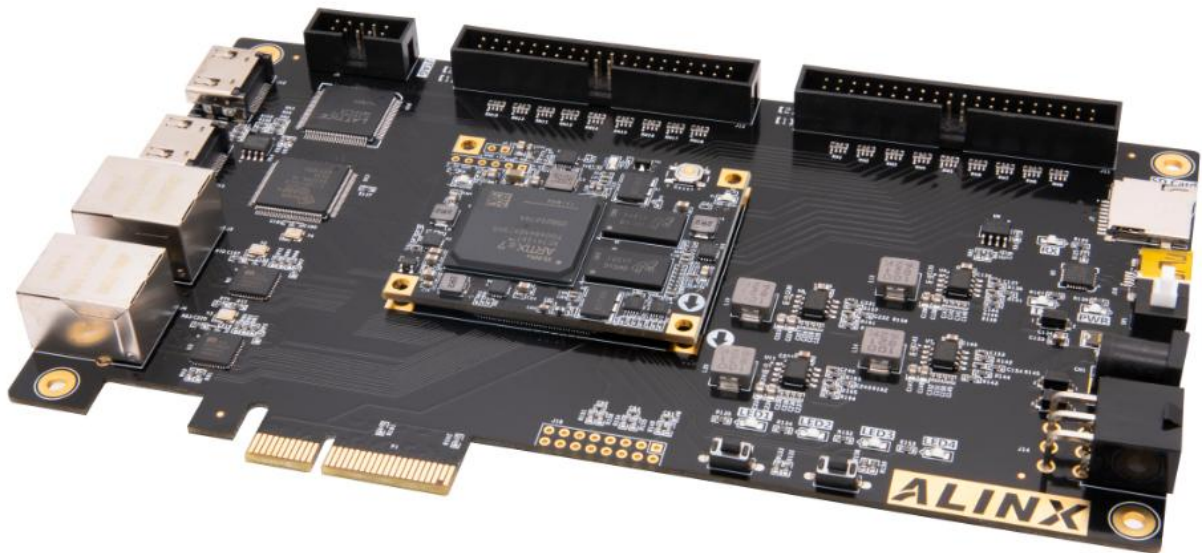
# 目录

一、 开发板简介 .....	5
二、 FPGA 核心板 .....	8
(一) 简介 .....	8
(二) FPGA .....	10
(三) 有源差分晶振 .....	11
(四) DDR3 .....	13
(五) QSPI Flash .....	17
(六) LED 灯 .....	19
(七) 复位按键 .....	20
(八) JTAG 接口 .....	20
(九) 电源接口 .....	21
(十) 扩展接口 .....	22
(十一) 电源 .....	28
(十二) 结构图 .....	31
三、 扩展板 .....	32
(一) 简介 .....	32
(二) 千兆以太网接口 .....	32
(三) PCIe x4 接口 .....	34
(四) HDMI 输出接口 .....	36
(五) HDMI 输入接口 .....	37
(六) SD 卡槽 .....	39
(七) USB 转串口 .....	40
(八) EEPROM 24LC04 .....	41
(九) 扩展口 .....	42
(十) JTAG 接口 .....	46
(十一) XADC 接口 (默认不安装) .....	47
(十二) 按键 .....	48

(十三) LED 灯 .....	48
(十四) 供电电源 .....	49

黑金 ARTIX-7 系列的高端 FPGA 开发平台（型号：AX7103B）正式发布了，为了让您对此开发平台可以快速了解，我们编写了此用户手册。

这款 ARTIX-7 FPGA 开发平台采用核心板加扩展板的模式，方便用户对核心板的二次开发利用。在底板设计上我们设计了丰富的外围接口，比如一路 PClex4 接口，两路千兆以太网接口，一路 HDMI 输出接口，一路 HDMI 输入接口，Uart 接口，SD 卡接口等等。满足用户各种 PCIe 高速数据传输，视频图像处理和工业控制的要求，是一款“全能级”的 FPGA 开发平台。为高速视频传输，网络和 PCIe 通信及数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 FPGA 开发的学生、工程师等群体。



## 一、开发板简介

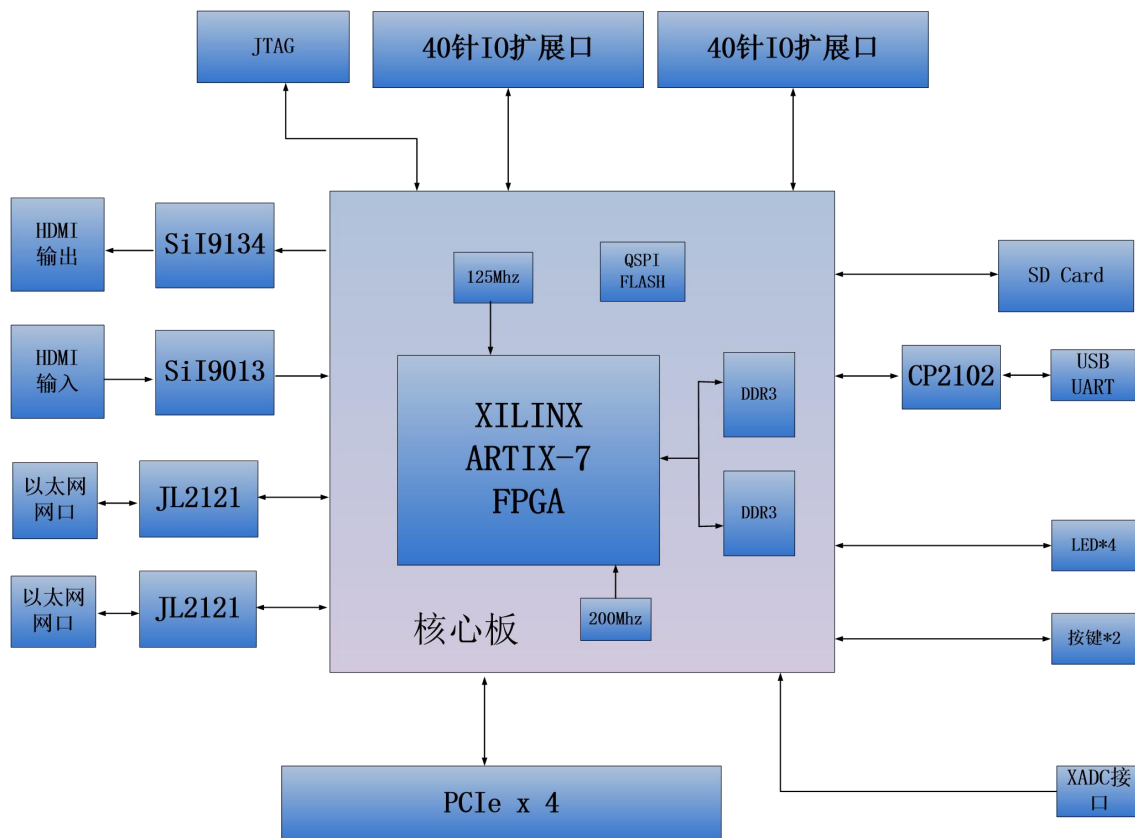
在这里，对这款 AX7103B FPGA 开发平台进行简单的功能介绍。

开发板的整个结构，继承了我们一贯的核心板+扩展板的模式来设计的。核心板和扩展板之间使用高速板间连接器连接。

核心板主要由 FPGA + 2 个 DDR3 + QSPI FLASH 构成，承担 FPGA 高速数据处理和存储的功能，加上 FPGA 和两片 DDR3 之间的高速数据读写，数据位宽为 32 位，整个系统的带宽高达 25Gb/s (800M\*32bit)；另外两片 DDR3 容量高达 8Gbit，满足数据处理过程中对高缓冲区的需求。我们选用的 FPGA 为 XILINX 公司 ARTIX-7 系列的 XC7A100T 芯片。我们选用的 FPGA 是 BGA 484 封装。XC7A100T 和 DDR3 之间通信的时钟频率达到 400Mhz，数据速率为 800Mhz，充分满足了高速多路数据处理的需求。另外 XC7A100T FPGA 带有 4 路 GTP 高速收发器，每路速度高达 6.6Gb/s，非常适合用于光纤通信和 PCIe 数据通信。

底板为核心板扩展了丰富的外围接口，其中包含一个 PCIe x4 接口、2 路千兆以太网接口、1 路 HDMI 输出接口、1 路 HDMI 输入接口、1 路 UART 串口接口、1 路 SD 卡接口、1 个 XADC 连接器接口、2 路 40 针的扩展口和一些按键，LED 和 EEPROM 电路。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能实现的功能。

- Artix-7 FPGA 核心板

由 XC7A100T+8Gb DDR3+128Mb QSPI FLASH 组成,另外有两个高精度 Sitime 公司的 LVDS 差分晶振，一个是 200MHz，另一个是 125MHz，为 FPGA 系统和 GTP 模块提供稳定的时钟输入。

- 1 路 PCIe x4 接口

支持 PCI Express 2.0 标准，提供 PCIe x4 高速数据传输接口，单通道通信速率可高达 5GBaud。

- 2 路 10/100M/1000M 以太网 RJ-45 接口

千兆以太网接口芯片采用景略公司的 JL2121 工业级 GPHY 芯片为用户提供网络通信服务。JL2121 芯片支持 10/100/1000 Mbps 网络传输速率; 全双工和自适应。

- 一路 HDMI 输出

我们选用了 Sillion Image 公司的 SIL9134 HDMI 编码芯片，最高支持 1080P@60Hz 输出，支持 3D 输出。

- 一路 HDMI 输入

我们选用了 Sillion Image 公司的 SIL9013 HDMI 解码芯片，最高支持 1080P@60Hz 输入，支持不同格式的数据输出。

- 一路 USB Uart 接口

一路 Uart 转 USB 接口,用于和电脑通信,方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口。

- Micro SD 卡座

一路 Micro SD 卡座，支持 SD 模式和 SPI 模式。

- EEPROM

板载一片 IIC 接口的 EEPROM 24LC04;

- 二路 40 针扩展口

预留 2 个 40 针 2.54mm 间距的扩展口，可以外接黑金的各种模块（双目摄像头，TFT LCD 屏，高速 AD 模块等等）。扩展口包含 5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。

- JTAG 口

10 针 2.54mm 标准的 JTAG 口，用于 FPGA 程序的下载和调试;

- 按键

2 个用户按键，1 个复位按键(在核心板);

- LED 灯

5 个用户发光二级管 LED (1 个在核心板, 4 个在扩展板);

## 二、FPGA 核心板

### (一) 简介

AC7100B(核心板型号, 下同)核心板, 是基于 XILINX 公司的 ARTIX-7 系列 100T 的 XC7A100T-2FGG484I 这款芯片开发的高性能核心板, 具有高速, 高带宽, 高容量等特点, 适合高速数据通信, 视频图像处理, 高速数据采集等方面使用。

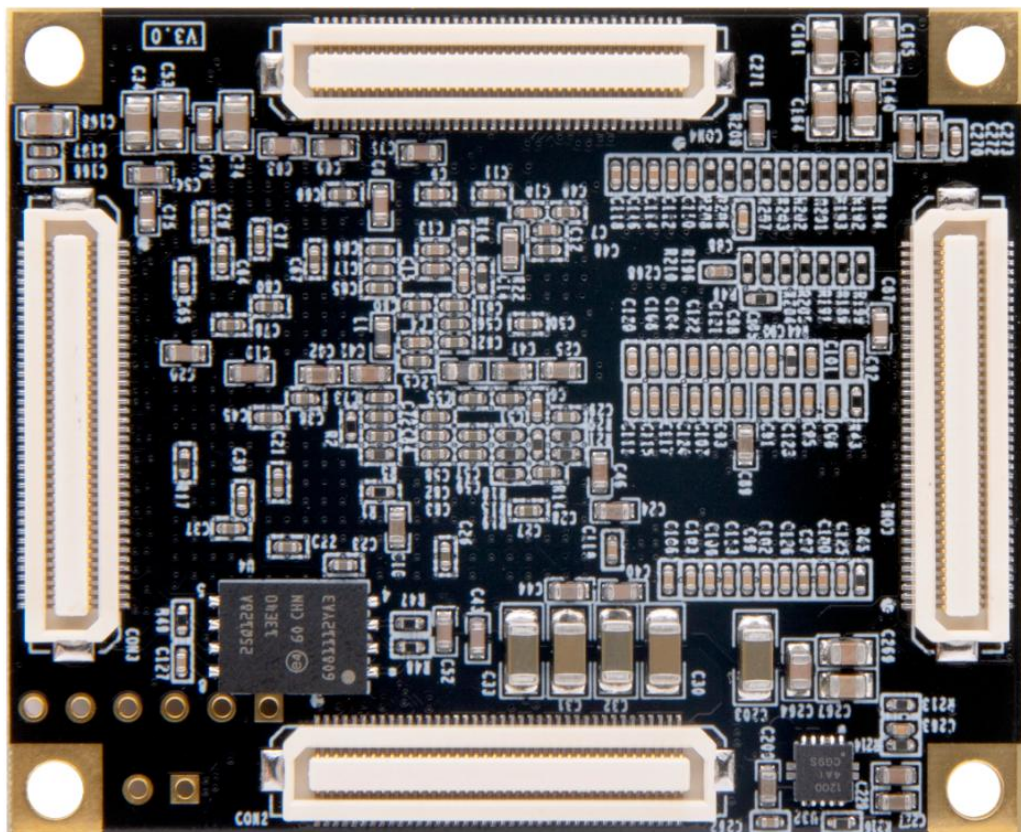
这款核心板使用了 2 片 MICRON 公司的 MT41J256M16HA-125 这款 DDR3 芯片, 每片 DDR 的容量为 4Gbit; 2 片 DDR 芯片组合成 32bit 的数据总线宽度, FPGA 和 DDR3 之间的读写数据带宽高达 25Gb; 这样的配置, 可以满足高带宽的数据处理的需求。

这款核心板扩展出 180 个 3.3V 电平标准普通 IO 口, 15 个 1.5V 电平标准的普通 IO 口, 还有 4 对 GTP 高速 RX/TX 差分信号。对于需要大量 IO 的用户, 此核心板将是不错的选择。而且, FPGA 芯片到接口之间走线做了等长和差分处理, 并且核心板尺寸仅为 45\*55 (mm), 对于二次开发来说, 非常适合。





AC7100B 核心板正面图



AC7100B 核心板背面图

## (二) FPGA

前面已经介绍过了，我们所使用的 FPGA 型号为 **XC7A100T-2FBG484I**，属于 Xilinx 公司 Artix-7 系列的产品，速度等级为 2，温度等级为工业级。此型号为 FBG484 封装，484 个引脚。Xilinx ARTIX-7 FPGA 的芯片命名规则如下：

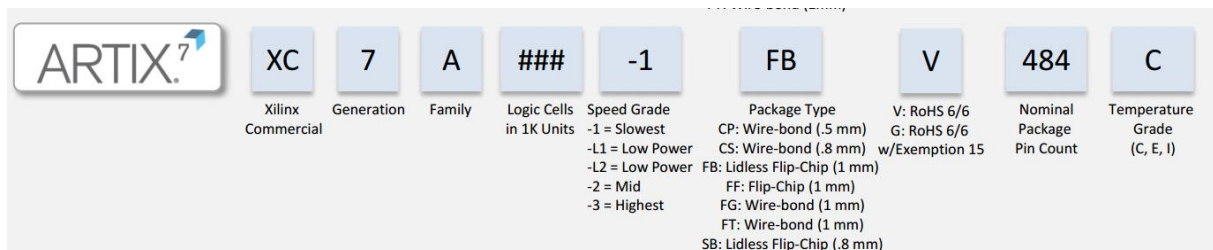


图 2-2-1 为开发板所用的 FPGA 芯片实物图。



图 2-2-1 FPGA 芯片实物

其中 FPGA 芯片 XC7A100T 的主要参数如下所示：

名称	具体参数
逻辑单元 Logic Cells	101440
查找表(Slices)	15850
触发器(CLB flip-flops)	126800
Block RAM (kb) 大小	4860

DSP 处理单元 (DSP Slices)	240
PCIe Gen2	1
模数转换/XADC	1 个 12bit, 1Mbps AD
GTP Transceiver	4 个, 6.6Gb/s max
速度等级	-2
温度等级	工业级

## FPGA 供电系统

Artix-7 FPGA 电源有  $V_{CCINT}$ ,  $V_{CCBRAM}$ ,  $V_{CCAUX}$ ,  $V_{CCO}$ ,  $V_{MGTAVCC}$  和  $V_{MGTAVTT}$ 。  $V_{CCINT}$  为 FPGA 内核供电引脚, 需接 1.0V;  $V_{CCBRAM}$  为 FPGA Block RAM 的供电引脚; 接 1.0V;  $V_{CCAUX}$  为 FPGA 辅助供电引脚, 接 1.8V;  $V_{CCO}$  为 FPGA 的各个 BANK 的电压, 包含 BANK0, BANK13~16, BANK34~35, 在 AC7100B 核心板上, BANK34, BANK35 因为需要连接 DDR3, BANK 的电压连接的是 1.5V, 其它 BANK 的电压都是 3.3V, 其中 BANK15 和 BANK16 的  $V_{CCO}$  是由 LDO 供电, 可以通过更换 LDO 芯片更改 BANK 的电平。  $V_{MGTAVCC}$  为 FPGA 内部 GTP 收发器的供电电压, 接 1.0V,  $V_{MGTAVTT}$  为 GTP 收发器的端接电压, 接 1.2V。

Artix-7 FPGA 系统要求上电顺序分别为先  $V_{CCINT}$  供电, 再是  $V_{CCBRAM}$ , 然后是  $V_{CCAUX}$ , 最后为  $V_{CCO}$ 。如果  $V_{CCINT}$  和  $V_{CCBRAM}$  的电压一样, 可以同时上电。断电的顺序则相反。GTP 收发器的上电顺序为  $V_{CCINT}$ , 再是  $V_{MGTAVCC}$ , 然后是  $V_{MGTAVTT}$ 。如果  $V_{CCINT}$  和  $V_{MGTAVCC}$  的电压一样, 可以同时上电。断电顺序刚好和上电顺序相反。

## (三) 有源差分晶振

AC7100B 核心板上配有两个 Sitime 公司的有源差分晶振, 一个是 200MHz, 型号为 SiT9102-200.00MHz, 用于 FPGA 的系统主时钟和用于产生 DDR3 控制时钟; 另一个为 125MHz, 型号为 SiT9102-125MHz, 用于 GTP 收发器的参考时钟输入。

### 1). 200Mhz 差分时钟

图 3.1 中的 G1 即为我们上述提到的给开发板提供的系统时钟源 200M 有源差分晶振电路。晶振输出连接到 FPGA 的 BANK34 全局时钟管脚 MRCC(R4 和 T4), 这个 200Mhz 的差分时钟可以用来驱动 FPGA 内的用户逻辑电路, 用户可以通过配置 FPGA 内部的 PLLs 和 DCMs 来产生不同频率的时钟。



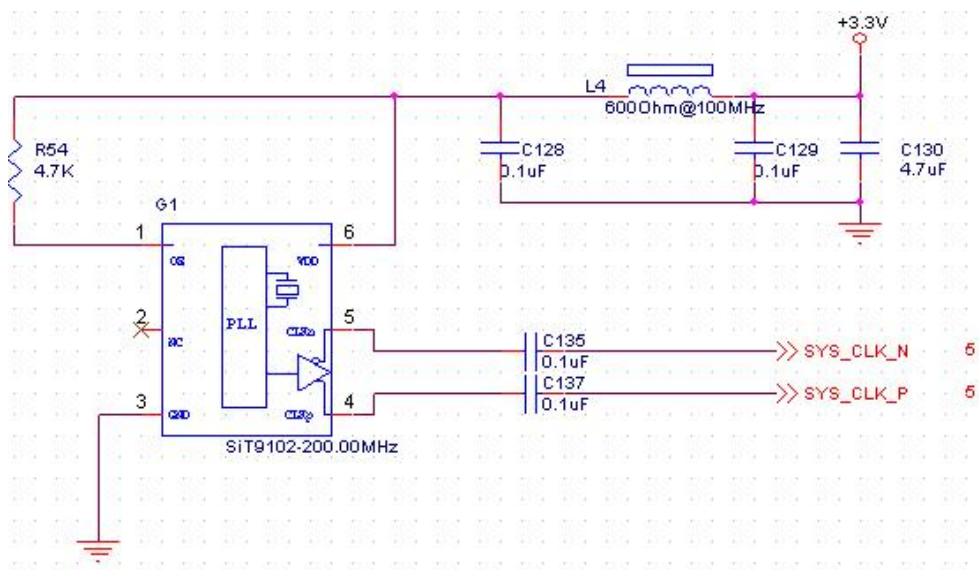


图 2-3-1 200M 有源差分晶振

图 2-3-2 为 200Mhz 差分有源晶振实物图

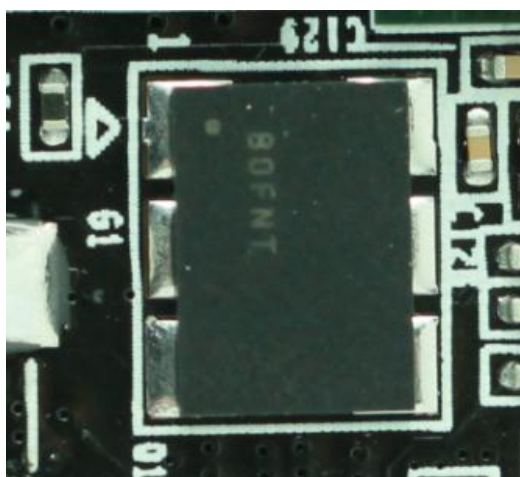


图 2-3-2 200M 有源差分晶振实物图

时钟引脚分配:

引脚名称	FPGA 引脚
SYS_CLK_P	R4
SYS_CLK_N	T4

## 2). 125Mhz 差分时钟

图 2-3-3 中的 G2 即为 125M 有源差分晶振电路，此时钟是给 FPGA 内部的 GTP 模块提供的参考输入时钟。晶振输出连接到 FPGA GTP 的 BANK216 时钟管脚 MGTREFCLK0P (F6)和 MGTREFCLK0N(E6)。

## GTP CLOCK

125MHz

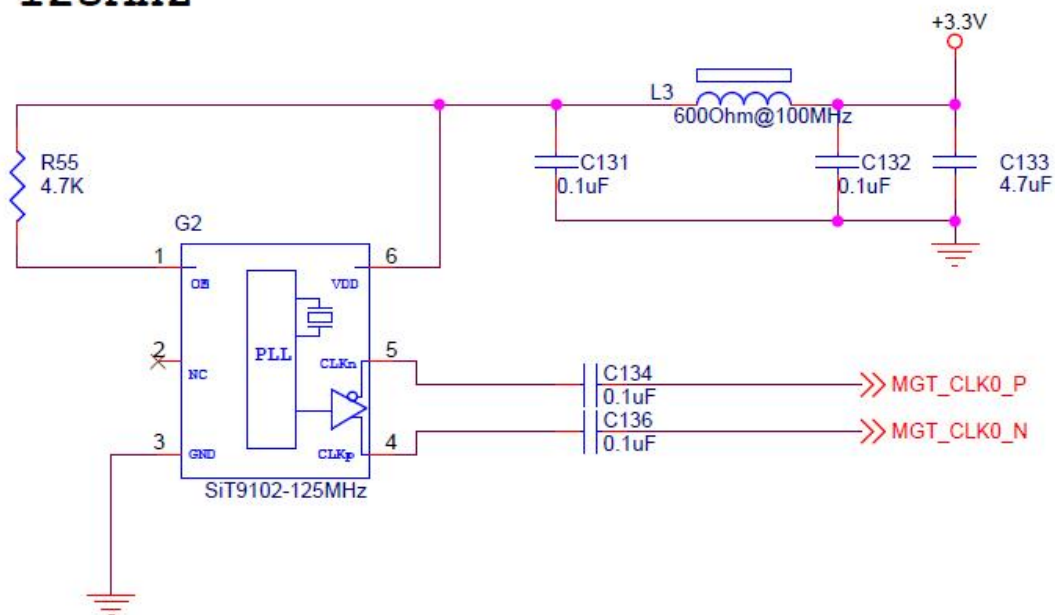


图 2-3-3 125Mhz 有源差分晶振

图 2-3-4 为 125M 差分有源晶振实物图

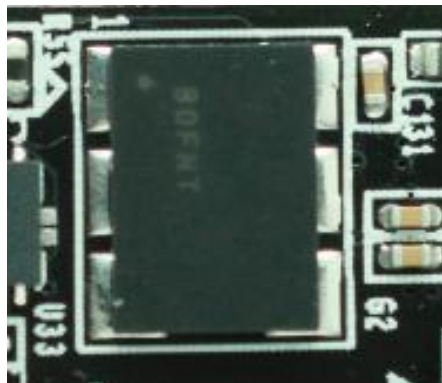


图 2-3-4 125M 有源晶振实物图

时钟引脚分配:

引脚名称	FPGA 引脚
MGT_CLK0_P	F6
MGT_CLK0_N	E6

## (四) DDR3

AC7100B 核心板上配有两个 Micron(美光) 的 4Gbit (512MB) 的 DDR3 芯片(共

计 8Gbit),型号为 MT41J256M16HA-125 (兼容 MT41K256M16HA-125)。DDR 的总线宽度共为 32bit。DDR3 SDRAM 的最高运行时钟速度可达 400MHz(数据速率 800Mbps)。该 DDR3 存储系统直接连接到了 FPGA 的 BANK 34 和 BANK35 的存储器接口上。DDR3 SDRAM 的具体配置如下表 2-4-1 所示。

表 2-4-1 DDR3 SDRAM 配置

位号	芯片类型	容量	厂家
U5,U6	MT41J256M16HA-125	256M x 16bit	micron

DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制，走线等长控制，保证 DDR3 的高速稳定的工作。

DDR3 DRAM 的硬件连接示意图如图 2-4-所示:

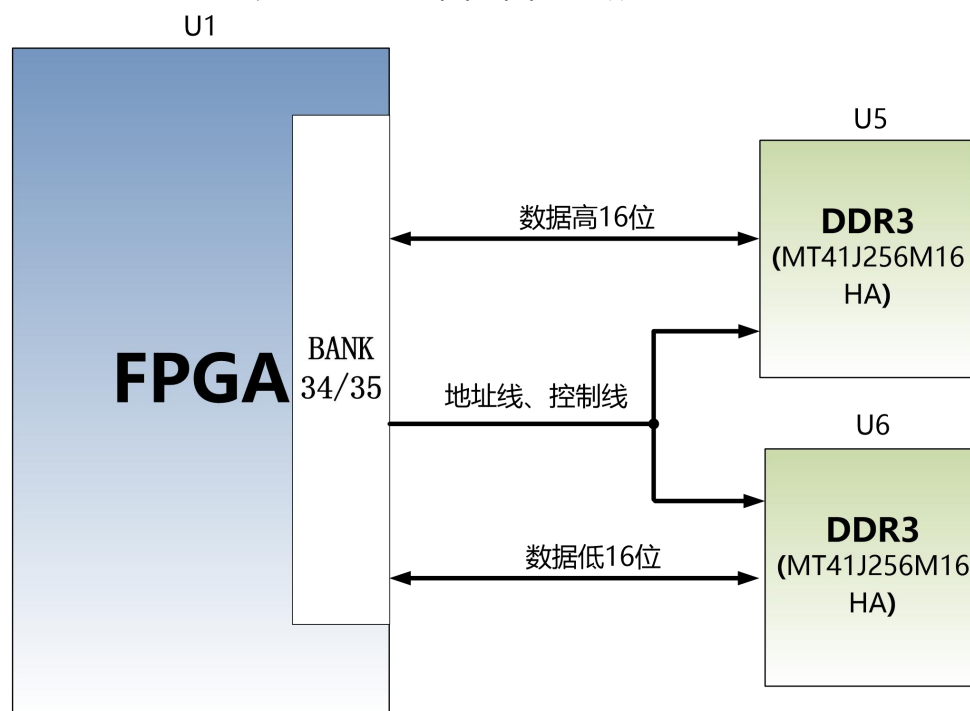


图2-4-1 DDR3 DRAM原理图示意图

图 2-4-2 为 DDR3 DRAM 实物图

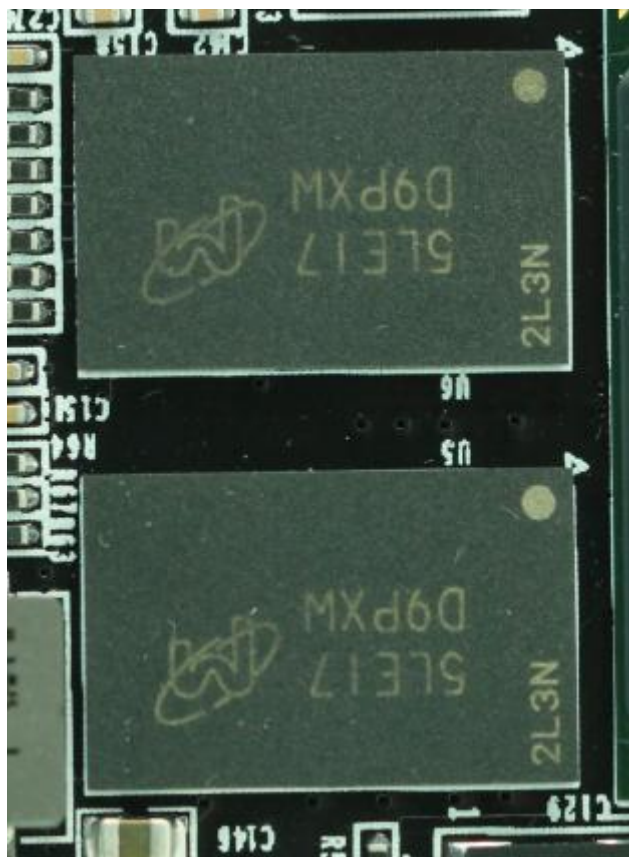


图2-4-2 DDR3 DRAM实物图

## DDR3 DRAM 引脚分配:

信号名称	FPGA 引脚名	FPGA 管脚号
DDR3_DQS0_P	IO_L3P_T0_DQS_AD5P_35	E1
DDR3_DQS0_N	IO_L3N_T0_DQS_AD5N_35	D1
DDR3_DQS1_P	IO_L9P_T1_DQS_AD7P_35	K2
DDR3_DQS1_N	IO_L9N_T1_DQS_AD7N_35	J2
DDR3_DQS2_P	IO_L15P_T2_DQS_35	M1
DDR3_DQS2_N	IO_L15N_T2_DQS_35	L1
DDR3_DQS3_P	IO_L21P_T3_DQS_35	P5
DDR3_DQS3_N	IO_L21N_T3_DQS_35	P4
DDR3_DQ[0]	IO_L2P_T0_AD12P_35	C2
DDR3_DQ [1]	IO_L5P_T0_AD13P_35	G1
DDR3_DQ [2]	IO_L1N_T0_AD4N_35	A1
DDR3_DQ [3]	IO_L6P_T0_35	F3
DDR3_DQ [4]	IO_L2N_T0_AD12N_35	B2
DDR3_DQ [5]	IO_L5N_T0_AD13N_35	F1

<b>DDR3_DQ [6]</b>	<b>IO_L1P_T0_AD4P_35</b>	<b>B1</b>
<b>DDR3_DQ [7]</b>	<b>IO_L4P_T0_35</b>	<b>E2</b>
<b>DDR3_DQ [8]</b>	<b>IO_L11P_T1_SRCC_35</b>	<b>H3</b>
<b>DDR3_DQ [9]</b>	<b>IO_L11N_T1_SRCC_35</b>	<b>G3</b>
<b>DDR3_DQ [10]</b>	<b>IO_L8P_T1_AD14P_35</b>	<b>H2</b>
<b>DDR3_DQ [11]</b>	<b>IO_L10N_T1_AD15N_35</b>	<b>H5</b>
<b>DDR3_DQ [12]</b>	<b>IO_L7N_T1_AD6N_35</b>	<b>J1</b>
<b>DDR3_DQ [13]</b>	<b>IO_L10P_T1_AD15P_35</b>	<b>J5</b>
<b>DDR3_DQ [14]</b>	<b>IO_L7P_T1_AD6P_35</b>	<b>K1</b>
<b>DDR3_DQ [15]</b>	<b>IO_L12P_T1_MRCC_35</b>	<b>H4</b>
<b>DDR3_DQ [16]</b>	<b>IO_L18N_T2_35</b>	<b>L4</b>
<b>DDR3_DQ [17]</b>	<b>IO_L16P_T2_35</b>	<b>M3</b>
<b>DDR3_DQ [18]</b>	<b>IO_L14P_T2_SRCC_35</b>	<b>L3</b>
<b>DDR3_DQ [19]</b>	<b>IO_L17N_T2_35</b>	<b>J6</b>
<b>DDR3_DQ [20]</b>	<b>IO_L14N_T2_SRCC_35</b>	<b>K3</b>
<b>DDR3_DQ [21]</b>	<b>IO_L17P_T2_35</b>	<b>K6</b>
<b>DDR3_DQ [22]</b>	<b>IO_L13N_T2_MRCC_35</b>	<b>J4</b>
<b>DDR3_DQ [23]</b>	<b>IO_L18P_T2_35</b>	<b>L5</b>
<b>DDR3_DQ [24]</b>	<b>IO_L20N_T3_35</b>	<b>P1</b>
<b>DDR3_DQ [25]</b>	<b>IO_L19P_T3_35</b>	<b>N4</b>
<b>DDR3_DQ [26]</b>	<b>IO_L20P_T3_35</b>	<b>R1</b>
<b>DDR3_DQ [27]</b>	<b>IO_L22N_T3_35</b>	<b>N2</b>
<b>DDR3_DQ [28]</b>	<b>IO_L23P_T3_35</b>	<b>M6</b>
<b>DDR3_DQ [29]</b>	<b>IO_L24N_T3_35</b>	<b>N5</b>
<b>DDR3_DQ [30]</b>	<b>IO_L24P_T3_35</b>	<b>P6</b>
<b>DDR3_DQ [31]</b>	<b>IO_L22P_T3_35</b>	<b>P2</b>
<b>DDR3_DM0</b>	<b>IO_L4N_T0_35</b>	<b>D2</b>
<b>DDR3_DM1</b>	<b>IO_L8N_T1_AD14N_35</b>	<b>G2</b>
<b>DDR3_DM2</b>	<b>IO_L16N_T2_35</b>	<b>M2</b>
<b>DDR3_DM3</b>	<b>IO_L23N_T3_35</b>	<b>M5</b>
<b>DDR3_A[0]</b>	<b>IO_L11N_T1_SRCC_34</b>	<b>AA4</b>



DDR3_A[1]	IO_L8N_T1_34	AB2
DDR3_A[2]	IO_L10P_T1_34	AA5
DDR3_A[3]	IO_L10N_T1_34	AB5
DDR3_A[4]	IO_L7N_T1_34	AB1
DDR3_A[5]	IO_L6P_T0_34	U3
DDR3_A[6]	IO_L5P_T0_34	W1
DDR3_A[7]	IO_L1P_T0_34	T1
DDR3_A[8]	IO_L2N_T0_34	V2
DDR3_A[9]	IO_L2P_T0_34	U2
DDR3_A[10]	IO_L5N_T0_34	Y1
DDR3_A[11]	IO_L4P_T0_34	W2
DDR3_A[12]	IO_L4N_T0_34	Y2
DDR3_A[13]	IO_L1N_T0_34	U1
DDR3_A[14]	IO_L6N_T0_VREF_34	V3
DDR3_BA[0]	IO_L9N_T1_DQS_34	AA3
DDR3_BA[1]	IO_L9P_T1_DQS_34	Y3
DDR3_BA[2]	IO_L11P_T1_SRCC_34	Y4
DDR3_S0	IO_L8P_T1_34	AB3
DDR3_RAS	IO_L12P_T1_MRCC_34	V4
DDR3_CAS	IO_L12N_T1_MRCC_34	W4
DDR3_WE	IO_L7P_T1_34	AA1
DDR3_ODT	IO_L14N_T2_SRCC_34	U5
DDR3_RESET	IO_L15P_T2_DQS_34	W6
DDR3_CLK_P	IO_L3P_T0_DQS_34	R3
DDR3_CLK_N	IO_L3N_T0_DQS_34	R2
DDR3_CKE	IO_L14P_T2_SRCC_34	T5

## (五) QSPI Flash

核心板上使用了一片 128Mbit 大小的 QSPI FLASH 芯片，型号为 N25Q128，它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中，QSPI FLASH 可以作为 FPGA 系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、软核的应用程序代

码以及其它的用户数据文件。

SPI FLASH的具体型号和相关参数见下表

位号	芯片类型	容量	厂家
U8	N25Q128	128M Bit	Numonyx

表2-5-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 FPGA 芯片的 BANK0 和 BANK14 的专用管脚上，其中时钟管脚连接到 BANK0 的 CCLK0 上，其它数据和片选信号分别连接到 BANK14 的 D00~D03 和 FCS 管脚上。图 2-5-1 为 QSPI Flash 在硬件连接示意图。

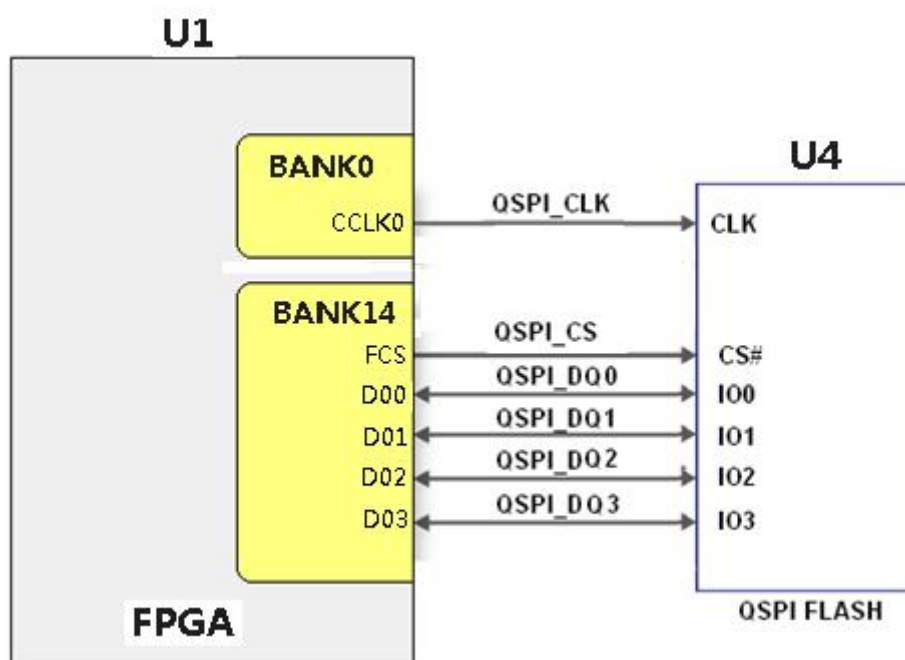


图2-5-1 QSPI Flash连接示意图

配置芯片引脚分配：

信号名称	FPGA 引脚名	FPGA 管脚号
QSPI_CLK	CCLK_0	L12
QSPI_CS	IO_L6P_T0_FCS_B_14	T19
QSPI_DQ0	IO_L1P_T0_D00_MOSI_14	P22
QSPI_DQ1	IO_L1N_T0_D01_DIN_14	R22
QSPI_DQ2	IO_L2P_T0_D02_14	P21
QSPI_DQ3	IO_L2N_T0_D03_14	R21

图 2-5-2 为开发板上 QSPI Flash 的实物图

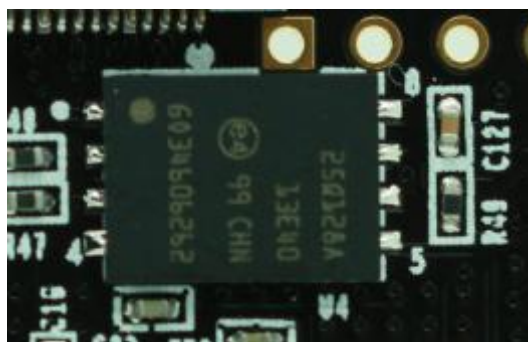


图 2-5-2 QSPI FLASH 部分实物图

## (六) LED 灯

AC7100B 核心板上有 3 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，1 个是配置 LED 灯(DONE)，另外一个为用户 LED 灯 (LED1)。当核心板供电后，电源指示灯会亮起；当 FPGA 配置程序后，配置 LED 灯会亮起。用户 LED 灯用户连接到 BANK34 的 IO 上, 可以通过程序来控制亮和灭, 当连接用户 LED 灯的 IO 电压为高时, 用户 LED 灯点亮, 当连接 IO 电压为低时, 用户 LED 会被熄灭。LED 灯硬件连接的示意图如图 2-6-1 所示:

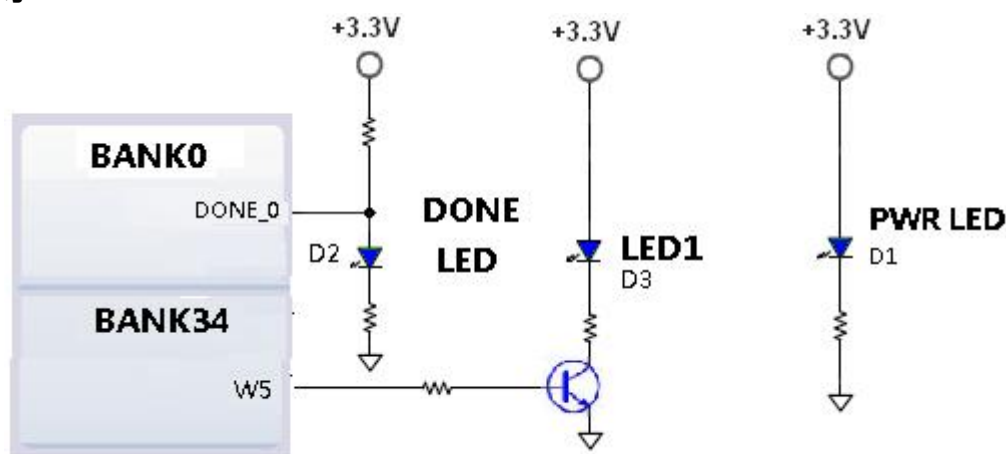


图 2-6-1 核心板 LED 灯硬件连接示意图

### 用户 LED 灯的引脚分配

信号名称	FPGA 引脚名	FPGA 管脚号	备注
LED1	IO_L15N_T2_DQS_34	W5	用户LED灯

## (七) 复位按键

AC7100B 开发板上有一个复位按键 Reset, 复位按键连接到 FPGA 芯片的 BANK34 的普通 IO 上, 用户可以使用这个复位按键来初始化 FPGA 的程序。设计中按键按下, 输入到 IO 上的信号电压为低, 复位信号有效; 按键没有按下时, 输入到 IO 上信号为高。复位按键连接的示意图如图 2-7-1 所示:

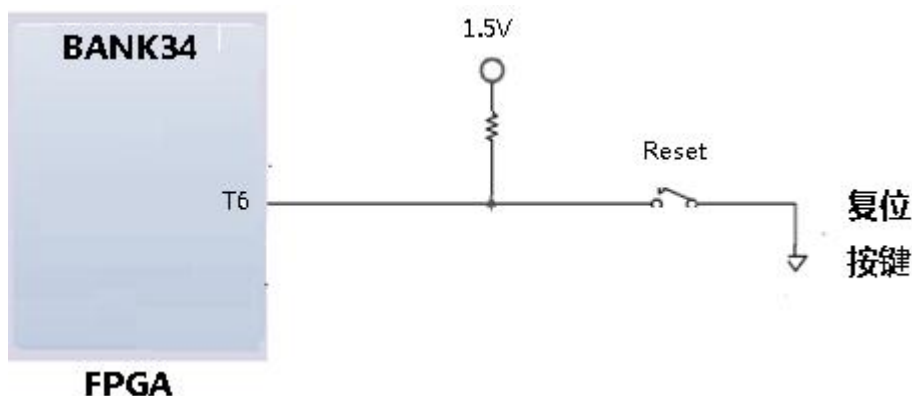


图 2-7-1 复位按键连接示意图

图 2-7-2 为复位按键实物图

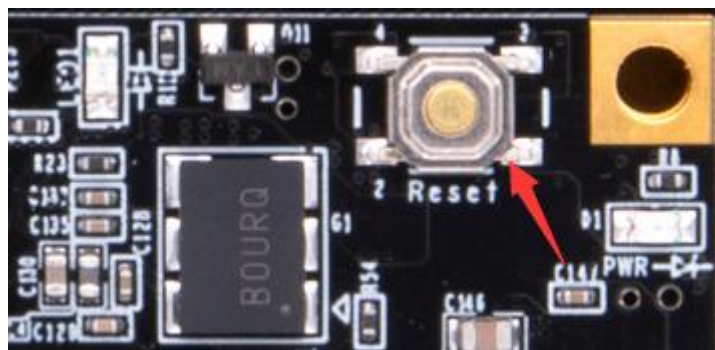


图 2-7-2 复位按键实物图

### 复位按键的引脚分配

信号名称	FPGA 引脚名	FPGA 引脚号	备注
RESET_N	IO_L17N_T2_34	T6	复位按键Reset

## (八) JTAG 接口

在 AC7100B 核心板上我们也预留了 JTAG 的测试座 J1, 用来核心板单独 JTAG 下载和调试, 图 2-8-1 就是 JTAG 口的原理图部分, 其中涉及到 TMS, TDI, TDO, TCK, GND, +3.3V 这六个信号。

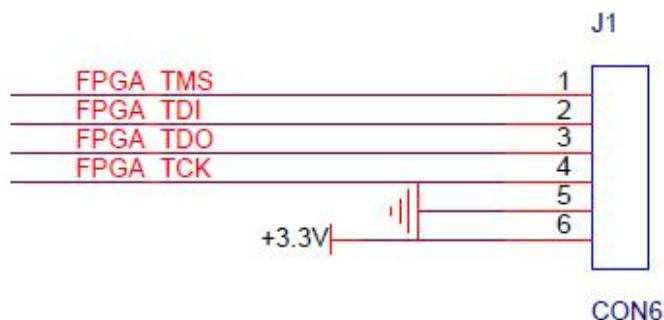


图 2-8-1 核心板原理图中 JTAG 接口部分

核心板上 JTAG 接口 J1 采用 6 针的 2.54mm 间距的单排测试孔，用户如果需要在核心板上用 JTAG 连接调试的话，需要焊接 6 针的单排排针。图 2-8-2 为 JTAG 接口在开发板上的实物图

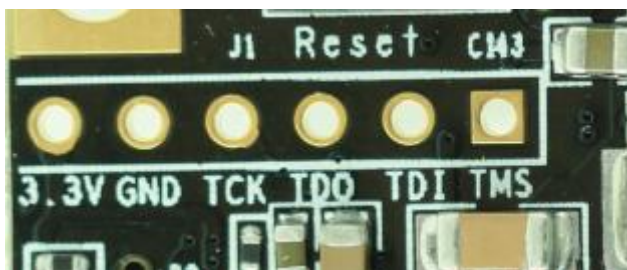


图 2-8-2 JTAG 接口实物图

## (九) 电源接口

如果没有底板的情况下，为了能使核心板单独工作，我们为核心板预留了 2 PIN 的接口 (J3)，通过连接 5V 电源单独给核心板供电。其中 PIN1 脚接+5V，PIN2 脚接地，正负不要接错。

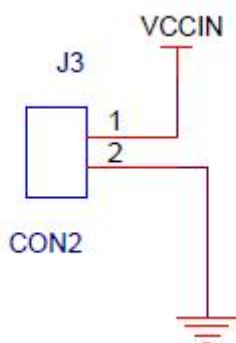


图 2-9-1 J3 接口电路

图 2-9-2 为 J3 接口在开发板上的实物图

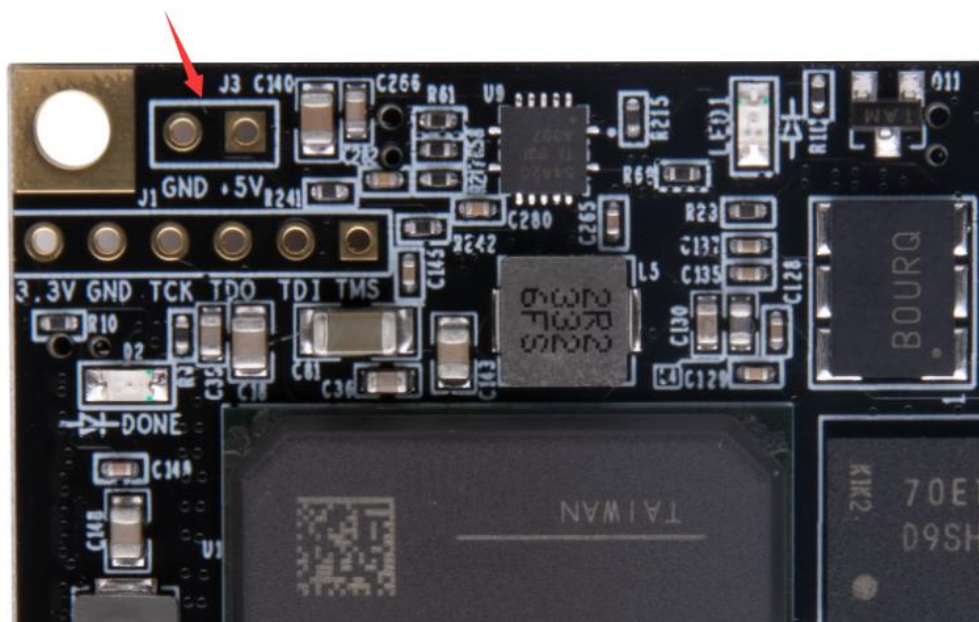


图 2-9-2 J3 接口实物图

## (十) 扩展接口

核心板的背面一共扩展出 4 个高速扩展口，使用 4 个 80Pin 的板间连接器和底板连接，FPGA 的 IO 口通过差分走线方式连接到这 4 个扩展口上。连接器的 PIN 脚间距为 0.5mm，和底板的母座连接器配置实现高速数据通信。

## 扩展口 CON1

80Pin 的连接器 CON1 用来连接底板的 VCCIN 电源(+5V),地和 FPGA 的普通 IO, 这里需要注意, CON1 的有 15 个管脚是连接到 BANK34 的 IO 口, 因为 BANK34 连接是连接到 DDR3 的, 所以这个 BANK34 的所有 IO 的电压标准都是 1.5V 的。CON1 扩展口的管脚分配如表 2-10-1 所示:

### 2-10-1 表：扩展口 CON1 引脚分配

CON1 管脚	信号 名称	FPGA 管脚号	电平 标准	CON1 管脚	信号 名称	FPGA 管脚号	电平 标准
PIN1	VCCIN	-	+5V	PIN2	VCCIN	-	+5V
PIN3	VCCIN	-	+5V	PIN4	VCCIN	-	+5V
PIN5	VCCIN	-	+5V	PIN6	VCCIN	-	+5V
PIN7	VCCIN	-	+5V	PIN8	VCCIN	-	+5V



PIN9	GND	-	地	PIN10	GND	-	地
PIN11	NC	-	空脚	PIN12	NC	-	空脚
PIN13	NC	-	空脚	PIN14	NC	-	空脚
PIN15	NC	-	空脚	PIN16	B13_L4_P	AA15	3.3V
PIN17	NC	-	空脚	PIN18	B13_L4_N	AB15	3.3V
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	B13_L5_P	Y13	3.3V	PIN22	B13_L1_P	Y16	3.3V
PIN23	B13_L5_N	AA14	3.3V	PIN24	B13_L1_N	AA16	3.3V
PIN25	B13_L7_P	AB11	3.3V	PIN26	B13_L2_P	AB16	3.3V
PIN27	B13_L7_P	AB12	3.3V	PIN28	B13_L2_N	AB17	3.3V
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	B13_L3_P	AA13	3.3V	PIN32	B13_L6_P	W14	3.3V
PIN33	B13_L3_N	AB13	3.3V	PIN34	B13_L6_N	Y14	3.3V
PIN35	B34_L23_P	Y8	1.5V	PIN36	B34_L20_P	AB7	1.5V
PIN37	B34_L23_N	Y7	1.5V	PIN38	B34_L20_N	AB6	1.5V
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	B34_L18_N	AA6	1.5V	PIN42	B34_L21_N	V8	1.5V
PIN43	B34_L18_P	Y6	1.5V	PIN44	B34_L21_P	V9	1.5V
PIN45	B34_L19_P	V7	1.5V	PIN46	B34_L22_P	AA8	1.5V
PIN47	B34_L19_N	W7	1.5V	PIN48	B34_L22_N	AB8	1.5V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	XADC_VN	M9	模拟	PIN52	NC		
PIN53	XADC_VP	L10	模拟	PIN54	B34_L25	U7	1.5V
PIN55	NC	-	空脚	PIN56	B34_L24_P	W9	1.5V
PIN57	NC	-	空脚	PIN58	B34_L24_N	Y9	1.5V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	B16_L1_N	F14	3.3V	PIN62	NC	-	空脚
PIN63	B16_L1_P	F13	3.3V	PIN64	NC	-	空脚
PIN65	B16_L4_N	E14	3.3V	PIN66	NC	-	空脚
PIN67	B16_L4_P	E13	3.3V	PIN68	NC	-	空脚
PIN69	GND	-	地	PIN70	GND	-	地

PIN71	B16_L6_N	D15	3.3V	PIN72	NC	-	空脚
PIN73	B16_L6_P	D14	3.3V	PIN74	NC	-	空脚
PIN75	B16_L8_P	C13	3.3V	PIN76	NC	-	空脚
PIN77	B16_L8_N	B13	3.3V	PIN78	NC	-	空脚
PIN79	NC	-	空脚	PIN80	NC	-	空脚

### 扩展口 CON2

80Pin 的连接器 CON2 用来扩展 FPGA 的 BANK13 和 BANK14 的普通 IO, 这两个 BANK 的电压标准都是 3.3V 的。CON2 扩展口的管脚分配如表 2-10-2 所示:

**2-10-2 表: 扩展口 CON2 引脚分配**

CON2 管脚	信号 名称	FPGA 管脚号	电平 标准	CON2 管脚	信号 名称	FPGA 管脚号	电平 标准
PIN1	B13_L16_P	W15	3.3V	PIN2	B14_L16_P	V17	3.3V
PIN3	B13_L16_N	W16	3.3V	PIN4	B14_L16_N	W17	3.3V
PIN5	B13_L15_P	T14	3.3V	PIN6	B13_L14_P	U15	3.3V
PIN7	B13_L15_N	T15	3.3V	PIN8	B13_L14_N	V15	3.3V
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	B13_L13_P	V13	3.3V	PIN12	B14_L10_P	AB21	3.3V
PIN13	B13_L13_N	V14	3.3V	PIN14	B14_L10_N	AB22	3.3V
PIN15	B13_L12_P	W11	3.3V	PIN16	B14_L8_N	AA21	3.3V
PIN17	B13_L12_N	W12	3.3V	PIN18	B14_L8_P	AA20	3.3V
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	B13_L11_P	Y11	3.3V	PIN22	B14_L15_N	AB20	3.3V
PIN23	B13_L11_N	Y12	3.3V	PIN24	B14_L15_P	AA19	3.3V
PIN25	B13_L10_P	V10	3.3V	PIN26	B14_L17_P	AA18	3.3V
PIN27	B13_L10_N	W10	3.3V	PIN28	B14_L17_N	AB18	3.3V
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	B13_L9_N	AA11	3.3V	PIN32	B14_L6_N	T20	3.3V
PIN33	B13_L9_P	AA10	3.3V	PIN34	B13_IO0	Y17	3.3V
PIN35	B13_L8_N	AB10	3.3V	PIN36	B14_L7_N	W22	3.3V
PIN37	B13_L8_P	AA9	3.3V	PIN38	B14_L7_P	W21	3.3V
PIN39	GND	-	地	PIN40	GND	-	地



PIN41	B14_L11_N	V20	3.3V	PIN42	B14_L4_P	T21	3.3V
PIN43	B14_L11_P	U20	3.3V	PIN44	B14_L4_N	U21	3.3V
PIN45	B14_L14_N	V19	3.3V	PIN46	B14_L9_P	Y21	3.3V
PIN47	B14_L14_P	V18	3.3V	PIN48	B14_L9_N	Y22	3.3V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	B14_L5_N	R19	3.3V	PIN52	B14_L12_N	W20	3.3V
PIN53	B14_L5_P	P19	3.3V	PIN54	B14_L12_P	W19	3.3V
PIN55	B14_L18_N	U18	3.3V	PIN56	B14_L13_N	Y19	3.3V
PIN57	B14_L18_P	U17	3.3V	PIN58	B14_L13_P	Y18	3.3V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	B13_L17_P	T16	3.3V	PIN62	B14_L3_N	V22	3.3V
PIN63	B13_L17_N	U16	3.3V	PIN64	B14_L3_P	U22	3.3V
PIN65	B14_L21_N	P17	3.3V	PIN66	B14_L20_N	T18	3.3V
PIN67	B14_L21_P	N17	3.3V	PIN68	B14_L20_P	R18	3.3V
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	B14_L22_P	P15	3.3V	PIN72	B14_L19_N	R14	3.3V
PIN73	B14_L22_N	R16	3.3V	PIN74	B14_L19_P	P14	3.3V
PIN75	B14_L24_N	R17	3.3V	PIN76	B14_L23_P	N13	3.3V
PIN77	B14_L24_P	P16	3.3V	PIN78	B14_L23_N	N14	3.3V
PIN79	B14_IO0	P20	3.3V	PIN80	B14_IO25	N15	3.3V

### 扩展口 CON3

80Pin 的连接器 CON3 用来扩展 FPGA 的 BANK15 和 BANK16 的普通 IO, 另外还有 4 个 JTAG 的信号也通过 CON3 连接器连接到底板上。BANK15 和 BANK16 的电压标准都是可以通过一个 LDO 芯片来调整, 默认安装的 LDO 是 3.3V 的, 如果用户想输出其它标准的电平, 可以更换合适的 LDO 来实现。CON3 扩展口的管脚分配如表 2-10-3 所示:

**2-10-3 表: 扩展口 CON3 引脚分配**

CON3 管脚	信号 名称	FPGA 管脚号	电平 标准	CON3 管脚	信号 名称	FPGA 管脚号	电平 标准
PIN1	B15_IO0	J16	3.3V	PIN2	B15_IO25	M17	3.3V
PIN3	B16_IO0	F15	3.3V	PIN4	B16_IO25	F21	3.3V

PIN5	B15_L4_P	G17	3.3V	PIN6	B16_L21_N	A21	3.3V
PIN7	B15_L4_N	G18	3.3V	PIN8	B16_L21_P	B21	3.3V
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	B15_L2_P	G15	3.3V	PIN12	B16_L23_P	E21	3.3V
PIN13	B15_L2_N	G16	3.3V	PIN14	B16_L23_N	D21	3.3V
PIN15	B15_L12_P	J19	3.3V	PIN16	B16_L22_P	E22	3.3V
PIN17	B15_L12_N	H19	3.3V	PIN18	B16_L22_N	D22	3.3V
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	B15_L11_P	J20	3.3V	PIN22	B16_L24_P	G21	3.3V
PIN23	B15_L11_N	J21	3.3V	PIN24	B16_L24_N	G22	3.3V
PIN25	B15_L1_N	G13	3.3V	PIN26	B15_L8_N	G20	3.3V
PIN27	B15_L1_P	H13	3.3V	PIN28	B15_L8_P	H20	3.3V
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	B15_L5_P	J15	3.3V	PIN32	B15_L7_N	H22	3.3V
PIN33	B15_L5_N	H15	3.3V	PIN34	B15_L7_P	J22	3.3V
PIN35	B15_L3_N	H14	3.3V	PIN36	B15_L9_P	K21	3.3V
PIN37	B15_L3_P	J14	3.3V	PIN38	B15_L9_N	K22	3.3V
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	B15_L19_P	K13	3.3V	PIN42	B15_L15_N	M22	3.3V
PIN43	B15_L19_N	K14	3.3V	PIN44	B15_L15_P	N22	3.3V
PIN45	B15_L20_P	M13	3.3V	PIN46	B15_L6_N	H18	3.3V
PIN47	B15_L20_N	L13	3.3V	PIN48	B15_L6_P	H17	3.3V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	B15_L14_P	L19	3.3V	PIN52	B15_L13_N	K19	3.3V
PIN53	B15_L14_N	L20	3.3V	PIN54	B15_L13_P	K18	3.3V
PIN55	B15_L21_P	K17	3.3V	PIN56	B15_L10_P	M21	3.3V
PIN57	B15_L21_N	J17	3.3V	PIN58	B15_L10_N	L21	3.3V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	B15_L23_P	L16	3.3V	PIN62	B15_L18_P	N20	3.3V
PIN63	B15_L23_N	K16	3.3V	PIN64	B15_L18_N	M20	3.3V
PIN65	B15_L22_P	L14	3.3V	PIN66	B15_L17_N	N19	3.3V

PIN67	B15_L22_N	L15	3.3V	PIN68	B15_L17_P	N18	3.3V
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	B15_L24_P	M15	3.3V	PIN72	B15_L16_P	M18	3.3V
PIN73	B15_L24_N	M16	3.3V	PIN74	B15_L16_N	L18	3.3V
PIN75	NC	-		PIN76	NC	-	
PIN77	FPGA_TCK	V12	3.3V	PIN78	FPGA_TDI	R13	3.3V
PIN79	FPGA_TDO	U13	3.3V	PIN80	FPGA_TMS	T13	3.3V

### 扩展口 CON4

80Pin 的连接器 CON4 用来扩展 FPGA 的 BANK16 的普通 IO 和 GTP 的高速数据和时钟信号。BANK16 的 IO 口的电压标准可以通过一个 LDO 芯片来调整，默认安装的 LDO 是 3.3V 的，如果用户想输出其它标准的电平，可以更换合适的 LDO 来实现。GTP 的高速数据和时钟信号在核心板上严格差分走线，数据线等长及保持一定的间隔，防止信号干扰。CON4 扩展口的管脚分配如表 2-10-4 所示：

**2-10-4 表：扩展口 CON4 引脚分配**

CON4 管脚	信号 名称	FPGA 管脚号	电平 标准	CON4 管脚	信号 名称	FPGA 管脚号	电平 标准
PIN1	NC		空脚	NC		空脚	NC
PIN3	NC		空脚	NC		空脚	NC
PIN5	NC		空脚	NC		空脚	NC
PIN7	NC		空脚	NC		空脚	NC
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	NC		空脚	PIN12	MGT_TX2_P	B6	差分
PIN13	NC		空脚	PIN14	MGT_TX2_N	A6	差分
PIN15	GND	-	地	PIN16	GND	-	地
PIN17	MGT_TX3_P	D7	差分	PIN18	MGT_RX2_P	B10	差分
PIN19	MGT_TX3_N	C7	差分	PIN20	MGT_RX2_N	A10	差分
PIN21	GND	-	地	PIN22	GND	-	地
PIN23	MGT_RX3_P	D9	差分	PIN24	MGT_TX0_P	B4	差分
PIN25	MGT_RX3_N	C9	差分	PIN26	MGT_TX0_N	A4	差分
PIN27	GND	-	地	PIN28	GND	-	地

PIN29	MGT_TX1_P	D5	差分	PIN30	MGT_RX0_P	B8	差分
PIN31	MGT_TX1_N	C5	差分	PIN32	MGT_RX0_N	A8	差分
PIN33	GND	-	地	PIN34	GND	-	地
PIN35	MGT_RX1_P	D11	差分	PIN36	MGT_CLK1_P	F10	差分
PIN37	MGT_RX1_N	C11	差分	PIN38	MGT_CLK1_N	E10	差分
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	B16_L5_P	E16	3.3V	PIN42	B16_L2_P	F16	3.3V
PIN43	B16_L5_N	D16	3.3V	PIN44	B16_L2_N	E17	3.3V
PIN45	B16_L7_P	B15	3.3V	PIN46	B16_L3_P	C14	3.3V
PIN47	B16_L7_N	B16	3.3V	PIN48	B16_L3_N	C15	3.3V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	B16_L9_P	A15	3.3V	PIN52	B16_L10_P	A13	3.3V
PIN53	B16_L9_N	A16	3.3V	PIN54	B16_L10_N	A14	3.3V
PIN55	B16_L11_P	B17	3.3V	PIN56	B16_L12_P	D17	3.3V
PIN57	B16_L11_N	B18	3.3V	PIN58	B16_L12_N	C17	3.3V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	B16_L13_P	C18	3.3V	PIN62	B16_L14_P	E19	3.3V
PIN63	B16_L13_N	C19	3.3V	PIN64	B16_L14_N	D19	3.3V
PIN65	B16_L15_P	F18	3.3V	PIN66	B16_L16_P	B20	3.3V
PIN67	B16_L15_N	E18	3.3V	PIN68	B16_L16_N	A20	3.3V
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	B16_L17_P	A18	3.3V	PIN72	B16_L18_P	F19	3.3V
PIN73	B16_L17_N	A19	3.3V	PIN74	B16_L18_N	F20	3.3V
PIN75	B16_L19_P	D20	3.3V	PIN76	B16_L20_P	C22	3.3V
PIN77	B16_L19_N	C20	3.3V	PIN78	B16_L20_N	B22	3.3V
PIN79	NC	-		PIN80	NC	-	

## (十一) 电源

AC7100B 核心板供电电压为 DC5V，单独使用时通过 J3 接口供电，连接底板时通过底板供电，请注意不要 J3 和底板同时供电，以免造成损坏。板上的电源设计示意图如下图 2-11-1 所示:

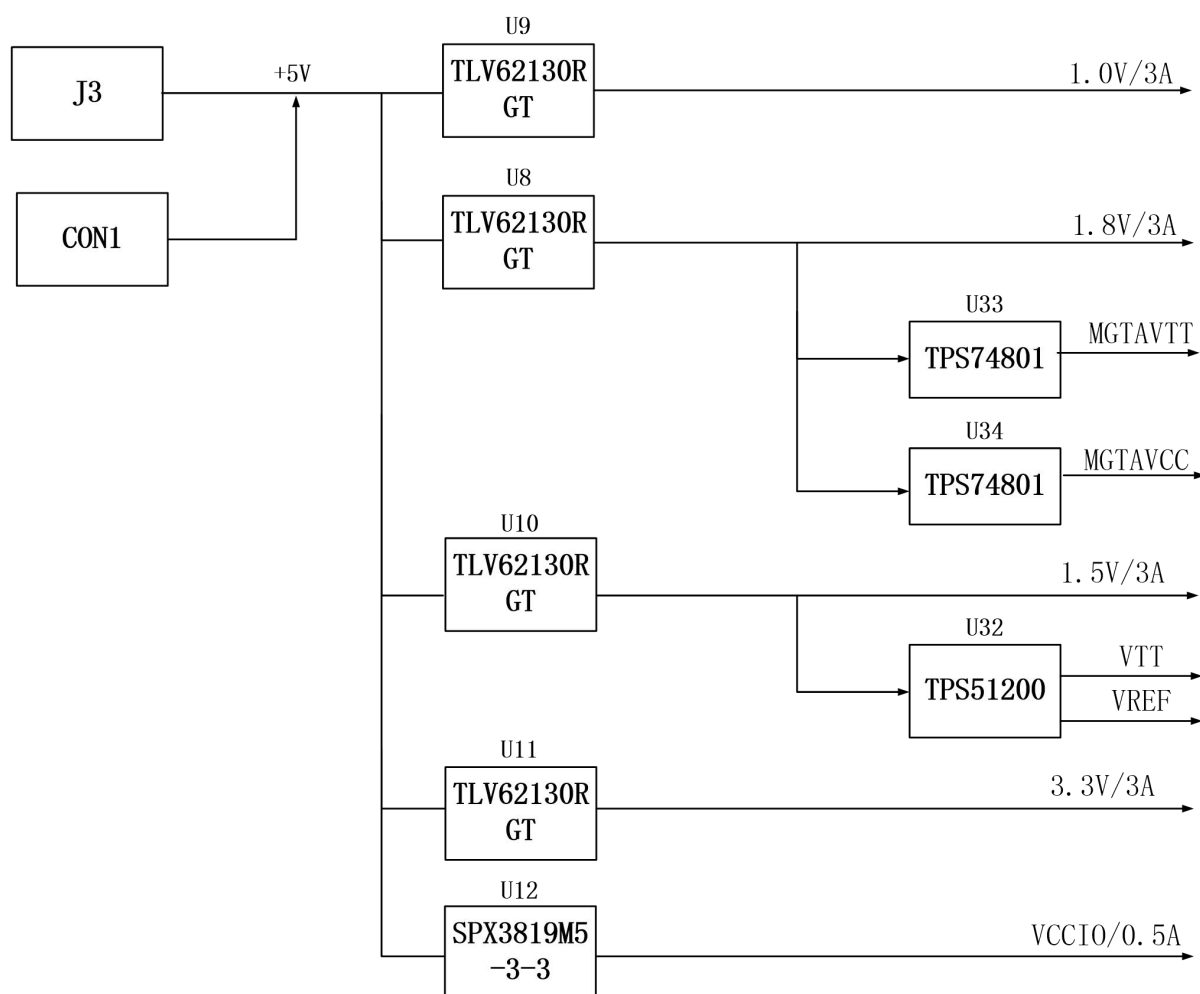


图 2-11-1 原理图中电源接口部分

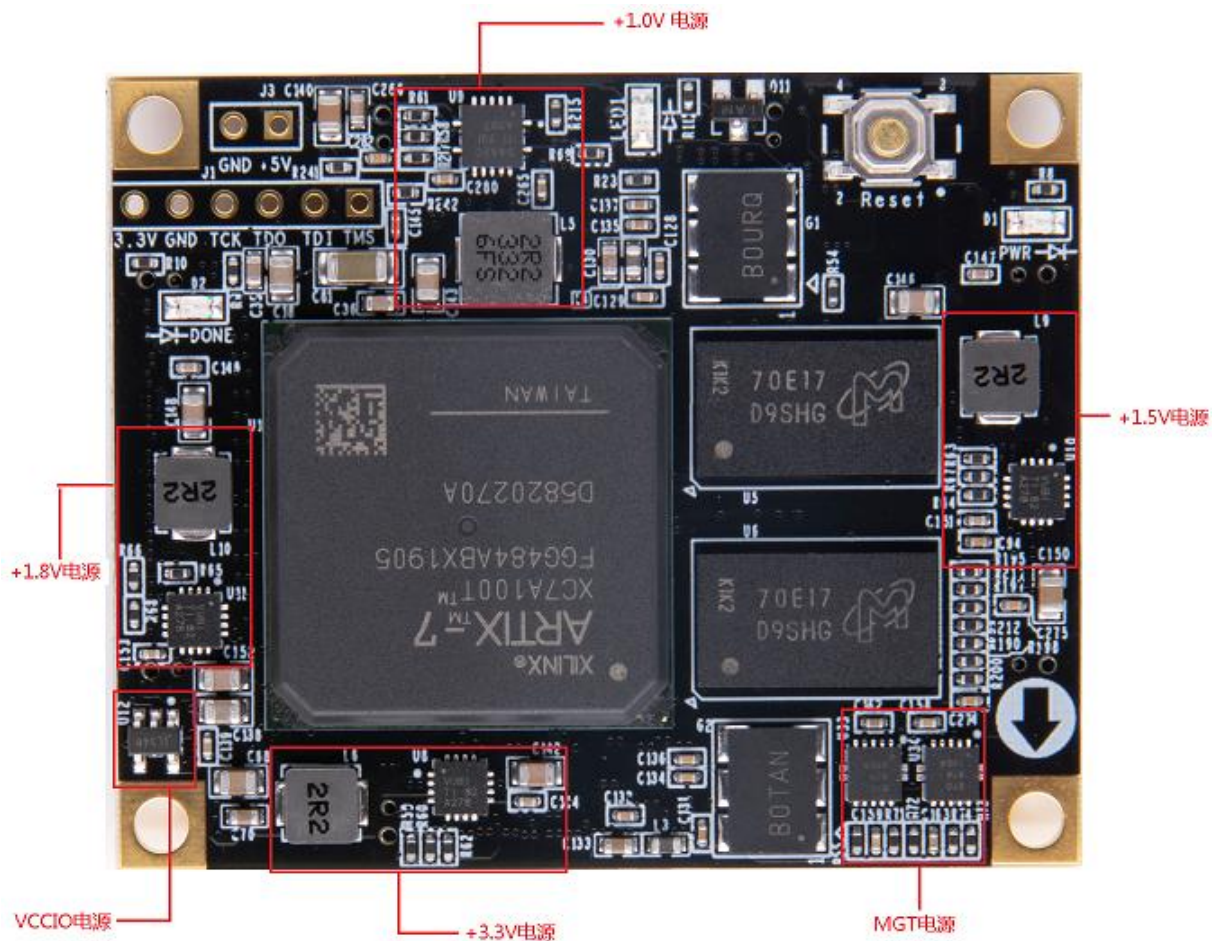
核心板通过+5V 供电, 通过四路 DC/DC 电源芯片 TLV62130RGT 转化成+3.3V, +1.5V, +1.8V, +1.0V 四路电源, 每路输出电流可高达 3A。通过一路 LDO SPX3819M5-3-3 产生 VCCIO 电源, VCCIO 主要是对 FPGA 的 BANK15, BANK16 进行供电, 用户可以通过更换其它的 LDO 芯片, 使得 BANK15, 16 的 IO 适应不同的电压标准。1.5V 通过 TI 的 TPS51200 生成 DDR3 需要的 VTT 和 VREF 电压。1.8V 通过 TI 的 TPS74801 芯片产生 GTP 收发器的电源 MGTAVTT 和 MGTAVCC。各个电源分配的功能如下表所示:

电源	功能
+3.3V	FPGA Bank0,Bank13,Bank14 的 VCCIO, QSIP FLASH, Clock 晶振
+1.8V	FPGA 辅助电压, TPS74801 供电
+1.0V	FPGA 的核心电压
+1.5V	DDR3, FPGA Bank34 和 Bank35
VREF, VTT (+0.75V)	DDR3

VCCIO(+3.3V)	FPGA Bank15, Bank16
MGTAVTT(+1.2V)	FPGA GTP 收发器 Bank216
MGTAVCC(+1.0V)	FPGA GTP 收发器 Bank216

因为 Artix-7 FPGA 的电源有上电顺序的要求，在电路设计中，我们已经按照 芯片的电源要求设计，上电依次为 1.0V->1.8V->（1.5 V、3.3V、VCCIO）和 1.0V->MGTAVCC -> MGTAVTT 的电路设计，保证芯片的正常工作。

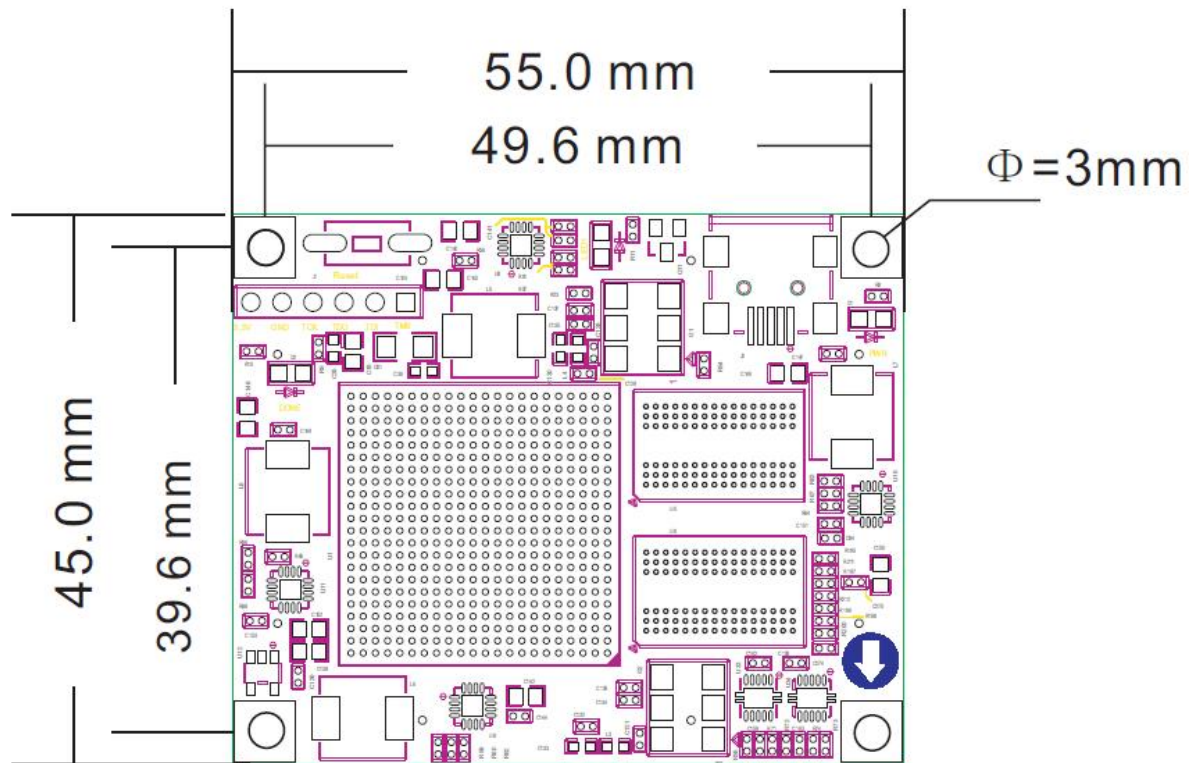
AC7100B 核心板的电源电路在板上的分别实物图所下图 2-11-2 所示。



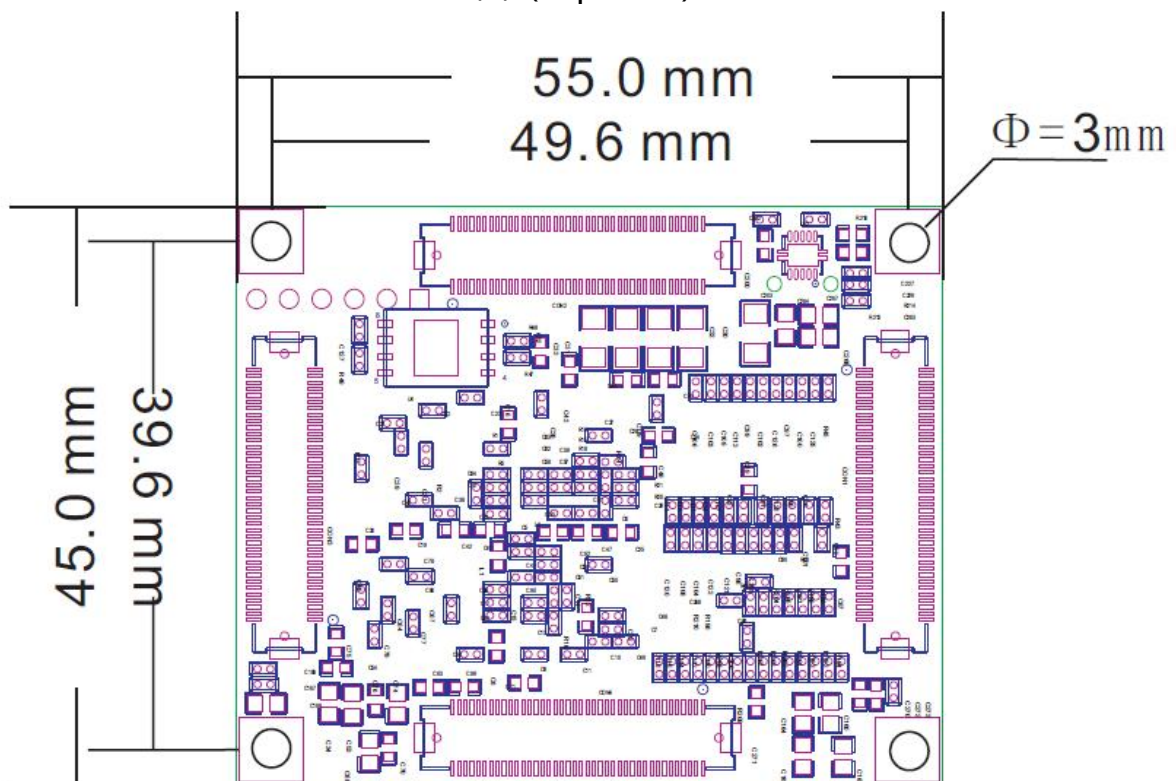
2-11-2 核心板电源部分实物图



## (十二) 结构图



正面图 (Top View)



背面图 (Top View)

## 三、 扩展板

### (一) 简介

通过前面的功能简介，我们可以了解到扩展板部分的功能

- 一路 PCIe x4 高速数据传输接口
- 二路 10/100M/1000M 以太网 RJ-45 接口
- 一路 HDMI 视频输入接口
- 一路 HDMI 视频输出接口
- 一路 USB Uart 通信接口
- SD 卡接口
- XADC 接口
- EEPROM
- 二路 40 针扩展口
- JTAG 调试口
- 2 个独立按键
- 4 个用户 LED 灯

### (二) 千兆以太网接口

AX7103B 开发板上通过 2 片景略半导体的工业级以太网 GPHY 芯片 (JL2121-N040I) 为用户提供网络通信服务。JL2121 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟 FPGA 的 MAC 层进行数据通信。JL2121D 支持 MDI/MDX 自适应，各种速度自适应，Master/Slave 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

JL2121 上电会检测一些特定的 IO 的电平状态，从而确定自己的工作模式。表 3-2-1 描述了 GPHY 芯片上电之后的默认设定信息。

配置 Pin 脚	说明	配置值
RXD3_ADR0 RXC_ADR1 RXCTL_ADR2	MDIO/MDC 模式的 PHY 地址	PHY Address 为 001
RXD1_TXDLY	TX 时钟 2ns 延时	延时
RXD0_RXDLY	RX 时钟 2ns 延时	延时



表 3-2-1 PHY 芯片默认配置值

当网络连接到千兆以太网时, FPGA 和 PHY 芯片 JL2121 的数据传输时通过 RGMII 总线通信, 传输时钟为 125Mhz, 数据在时钟的上升沿和下降样采样。

当网络连接到百兆以太网时, FPGA 和 PHY 芯片 JL2121 的数据传输时通过 RMII 总线通信, 传输时钟为 25Mhz。数据在时钟的上升沿和下降样采样。

图 3-2-1 为 FPGA 与 2 片以太网 PHY 芯片连接示意图:

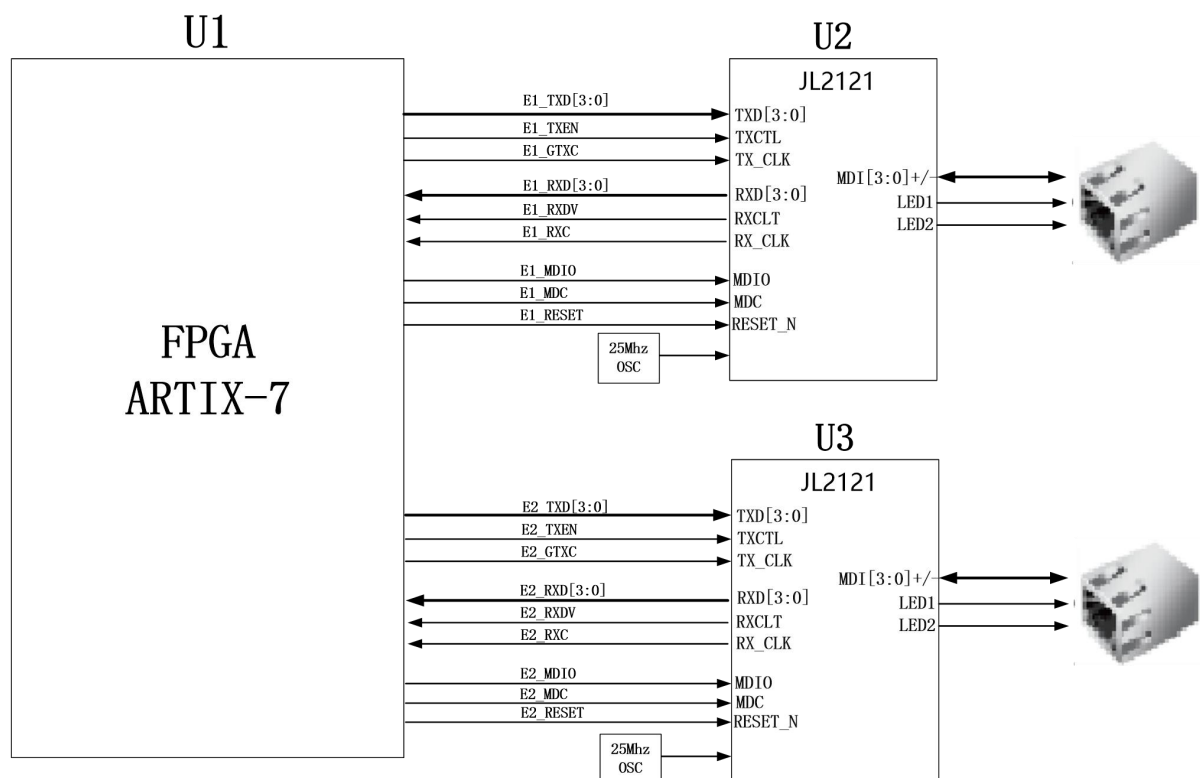


图 3-2-1 FPGA 与 PHY 芯片连接示意图

以太网 PHY1 的 FPGA 引脚分配如下:

信号名称	FPGA 引脚号	备注
E1_GTXC	E18	RGMII 发送时钟
E1_TXD0	C20	发送数据 bit 0
E1_TXD1	D20	发送数据 bit1
E1_TXD2	A19	发送数据 bit2
E1_TXD3	A18	发送数据 bit3
E1_TXEN	F18	发送使能信号
E1_RXC	B17	RGMII 接收时钟
E1_RXD0	A16	接收数据 Bit0

E1_RXD1	B18	接收数据 Bit1
E1_RXD2	C18	接收数据 Bit2
E1_RXD3	C19	接收数据 Bit3
E1_RXDV	A15	接收数据有效信号
E1_MDC	B16	MDIO 管理时钟
E1_MDIO	B15	MDIO 管理数据
E1_RESET	D16	PHY 芯片复位

以太网 PHY2 的 FPGA 引脚分配如下:

信号名称	FPGA 引脚号	备注
E2_GTXC	A14	RGMII 发送时钟
E2_TXD0	E17	发送数据 bit 0
E2_TXD1	C14	发送数据 bit1
E2_TXD2	C15	发送数据 bit2
E2_TXD3	A13	发送数据 bit3
E2_TXEN	D17	发送使能信号
E2_RXC	E19	RGMII 接收时钟
E2_RXD0	A20	接收数据 Bit0
E2_RXD1	B20	接收数据 Bit1
E2_RXD2	D19	接收数据 Bit2
E2_RXD3	C17	接收数据 Bit3
E2_RXDV	F19	接收数据有效信号
E2_MDC	F20	MDIO 管理时钟
E2_MDIO	C22	MDIO 管理数据
E2_RESET	B22	PHY 芯片复位

### (三) PCIe x4 接口

AX7103B 扩展板上提供一个工业级高速数据传输 PCIe x4 接口, PCIE 卡的外形尺寸符合标准 PCIe 卡电气规范要求, 可直接在普通 PC 的 x4 PCIe 插槽上使用。

PCIe 接口的收发信号直接跟 FPGA 的 GTP 收发器相连接, 四通道的 TX 信号和 RX 信号都是以差分信号方式连接到 FPGA, 单通道通信速率可高达 5G bit 带宽。PCIe 的

参考时钟由 PC 的 PCIe 插槽提供给开发板，参考时钟频率为 100Mhz。

开发板的 PCIe 接口的设计示意图如下图 3-3-1 所示,其中 TX 发送信号和参考时钟 CLK 信号用 AC 耦合模式连接。

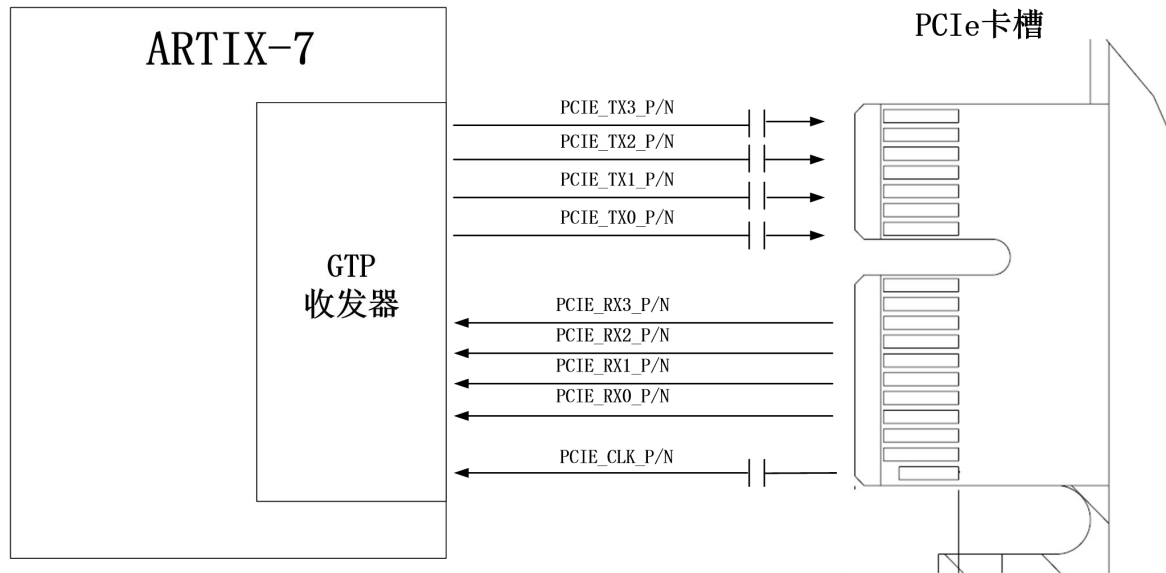


图 3-3-1 PCIe x4 设计示意图

PCIe x4 接口 FPGA 引脚分配如下：

网络名称	FPGA 引脚	备注
PCIE_RX0_P	D11	PCIE 通道 0 数据接收 Positive
PCIE_RX0_N	C11	PCIE 通道 0 数据接收 Negative
PCIE_RX1_P	B8	PCIE 通道 1 数据接收 Positive
PCIE_RX1_N	A8	PCIE 通道 1 数据接收 Negative
PCIE_RX2_P	B10	PCIE 通道 2 数据接收 Positive
PCIE_RX2_N	A10	PCIE 通道 2 数据接收 Negative
PCIE_RX3_P	D9	PCIE 通道 3 数据接收 Positive
PCIE_RX3_N	C9	PCIE 通道 3 数据接收 Negative
PCIE_TX0_P	D5	PCIE 通道 0 数据发送 Positive
PCIE_TX0_N	C5	PCIE 通道 0 数据发送 Negative
PCIE_TX1_P	B4	PCIE 通道 1 数据发送 Positive
PCIE_TX1_N	A4	PCIE 通道 1 数据发送 Negative
PCIE_TX2_P	B6	PCIE 通道 2 数据发送 Positive
PCIE_TX2_N	A6	PCIE 通道 2 数据发送 Negative

PCIE_TX3_P	D7	PCIE 通道 3 数据发送 Positive
PCIE_TX3_N	C7	PCIE 通道 3 数据发送 Negative
PCIE_CLK_P	F10	PCIE 的参考时钟 Positive
PCIE_CLK_N	E10	PCIE 的参考时钟 Negative

#### (四) HDMI 输出接口

HDMI 输出接口的实现，是选用 Silion Image 公司的 SIL9134 HDMI (DVI) 编码芯片，最高支持 1080P@60Hz 输出，支持 3D 输出。

其中，SIL9134 的 IIC 配置接口也与 FPGA 的 IO 相连，通过 FPGA 的编程来对 SIL9134 进行初始化和控制操作，HDMI 输出接口的硬件连接如图 3-4-1 所示。

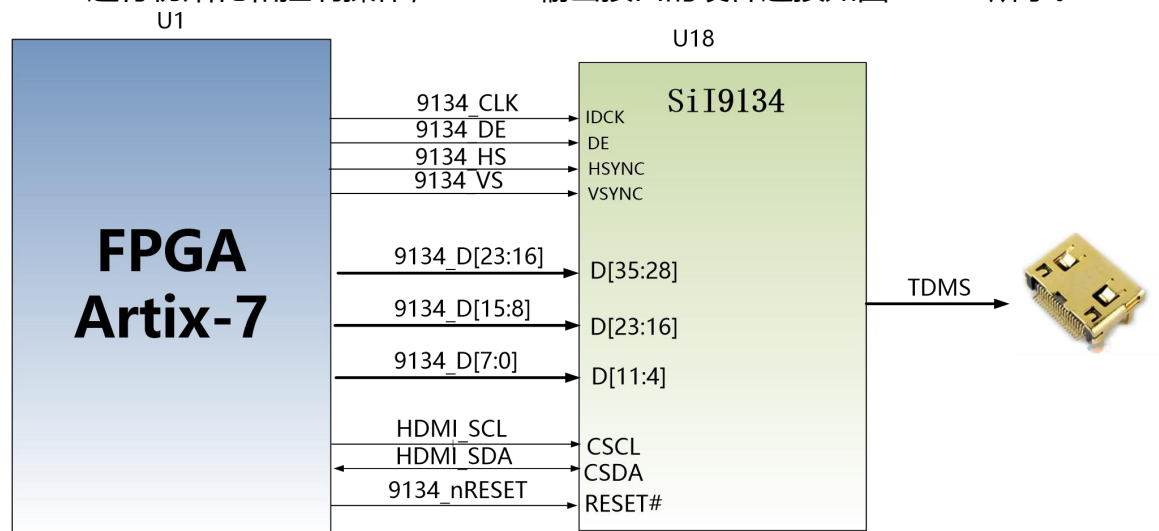


图 3-4-1 HDMI 输出接口原理图

#### FPGA 引脚分配:

引脚名称	FPGA 引脚
9134_nRESET	J19
9134_CLK	M13
9134_HS	T15
9134_VS	T14
9134_DE	V13
9134_D[0]	V14
9134_D[1]	H14
9134_D[2]	J14

9134_D[3]	K13
9134_D[4]	K14
9134_D[5]	L13
9134_D[6]	L19
9134_D[7]	L20
9134_D[8]	K17
9134_D[9]	J17
9134_D[10]	L16
9134_D[11]	K16
9134_D[12]	L14
9134_D[13]	L15
9134_D[14]	M15
9134_D[15]	M16
9134_D[16]	L18
9134_D[17]	M18
9134_D[18]	N18
9134_D[19]	N19
9134_D[20]	M20
9134_D[21]	N20
9134_D[22]	L21
9134_D[23]	M21

## (五) HDMI 输入接口

我们采用了 Silion Image 公司的 SIL9013 HDMI 解码芯片，最高支持 1080P@60Hz 输入，支持不同格式的数据输出。；

其中，SIL9013 的 IIC 配置接口也与 FPGA 的 IO 相连，通过 FPGA 的编程来对 SIL9013 进行初始化和控制操作，HDMI 输入接口的硬件连接如图 3-5-1 所示。

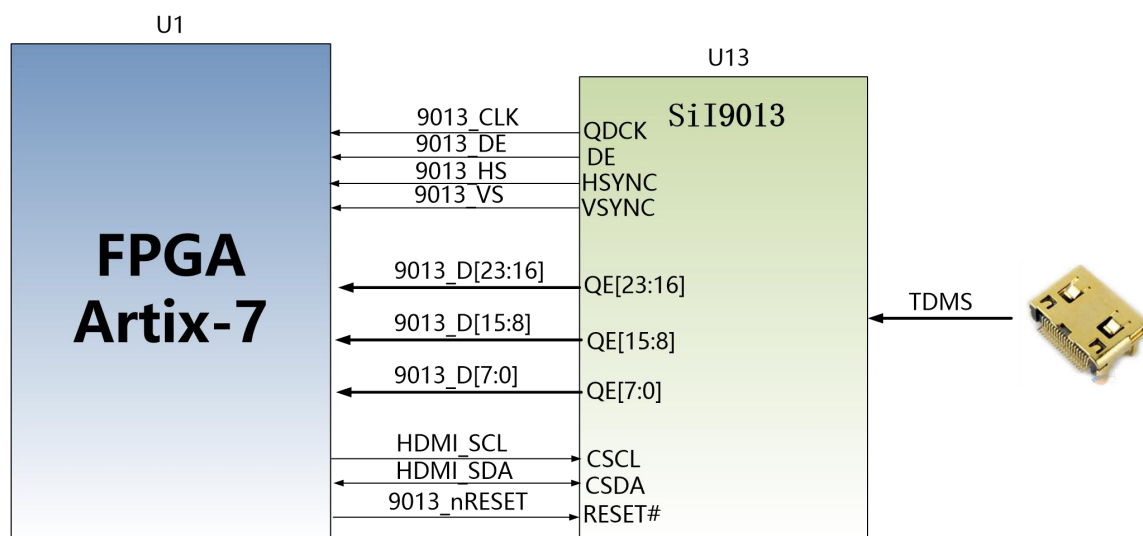


图 3-5-1 HDMI 输入原理图

## FPGA 引脚分配:

引脚名称	FPGA 引脚
9013_nRESET	H19
9013_CLK	K21
9013_HS	K19
9013_VS	K18
9013_DE	H17
9013_D[0]	H18
9013_D[1]	N22
9013_D[2]	M22
9013_D[3]	K22
9013_D[4]	J22
9013_D[5]	H22
9013_D[6]	H20
9013_D[7]	G20
9013_D[8]	G22
9013_D[9]	G21
9013_D[10]	D22
9013_D[11]	E22
9013_D[12]	D21

9013_D[13]	E21
9013_D[14]	B21
9013_D[15]	A21
9013_D[16]	F21
9013_D[17]	M17
9013_D[18]	J16
9013_D[19]	F15
9013_D[20]	G17
9013_D[21]	G18
9013_D[22]	G15
9013_D[23]	G16

## (六) SD 卡槽

SD 卡(Secure Digital Memory Card)是一种基于半导体闪存工艺的存储卡，1999 年由日本松下主导概念，参与者东芝和美国 SanDisk 公司进行实质研发而完成。2000 年这几家公司发起成立了 SD 协会(Secure Digital Association 简称 SDA)，阵容强大，吸引了大量厂商参加。其中包括 IBM，Microsoft，Motorola，NEC、Samsung 等。在这些领导厂商的推动下，SD 卡已成为目前消费数码设备中应用最广泛的一种存储卡。

SD 卡是现在非常常用的存储设备，我们扩展出来的 SD 卡，支持 SPI 模式和 SD 模式，使用的 SD 卡为 MicroSD 卡。原理图如下图 3-6-1 所示。

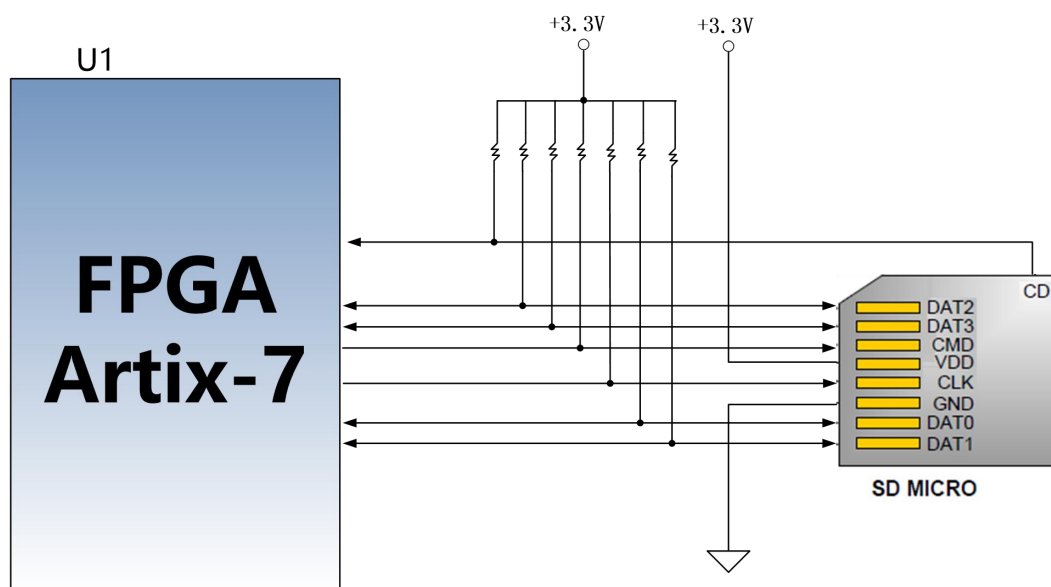


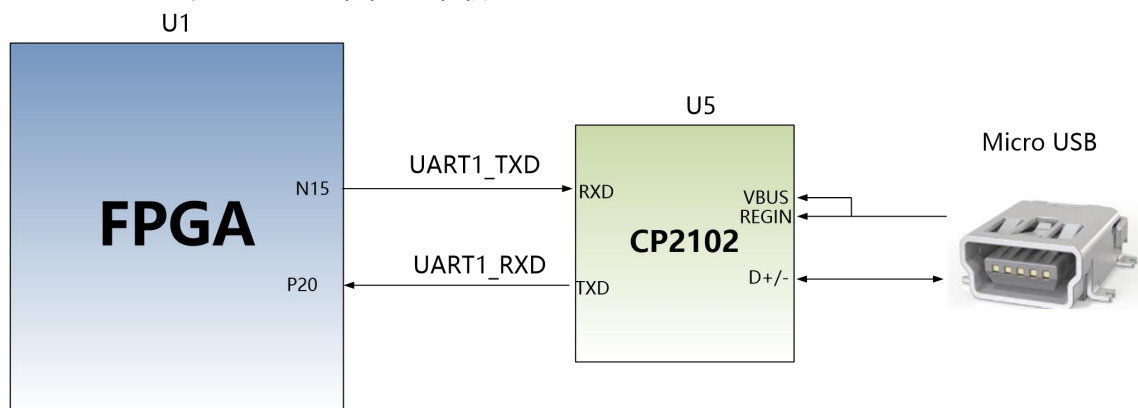
图 3-6-1 SD 卡槽原理图

## SD 卡槽引脚分配

SD 模式	
引脚名称	FPGA 引脚
SD_CLK	AB12
SD_CMD	AB11
SD_CD_N	F14
SD_DAT0	AA13
SD_DAT1	AB13
SD_DAT2	Y13
SD_DAT3	AA14

## (七) USB 转串口

AX7103B 开发板包含了 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口,可以用一根 USB 线将它连接到上 PC 的 USB 口进行串口数据通信。USB Uart 电路设计的示意图如下图所示:

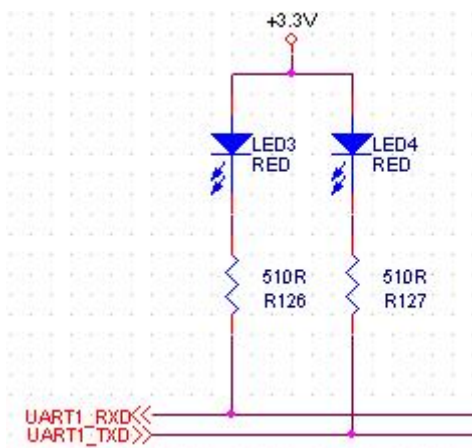


3-7-1 USB 转串口示意图

下图为 USB 转串口的实物图

同时对串口信号设置了 2 个 PCB 上丝印为 TX 和 RX 的 LED 指示灯(LED3 和 LED4), TX 和 RX LED 灯会指示串口是否有数据发出或者是否有数据接受, 如下图所示,





3-7-3 USB 转串口信号指示灯

UART 转串口的 FPGA 引脚分配:

引脚名称	FPGA 引脚
UART1_RXD	P20
UART1_TXD	N15

## (八) EEPROM 24LC04

AX7103B 开发板板载了一片 EEPROM，型号为 24LC04, 容量为：4Kbit (2\*256\*8bit)，由 2 个 256byte 的 block 组成, 通过 IIC 总线进行通信。板载 EEPROM 就是为了学习 IIC 总线的通信方式。EEPROM 的 I2C 信号连接的 FPGA 端的 BANK14 IO 口上。下图 3-8-1 为 EEPROM 的设计示意图

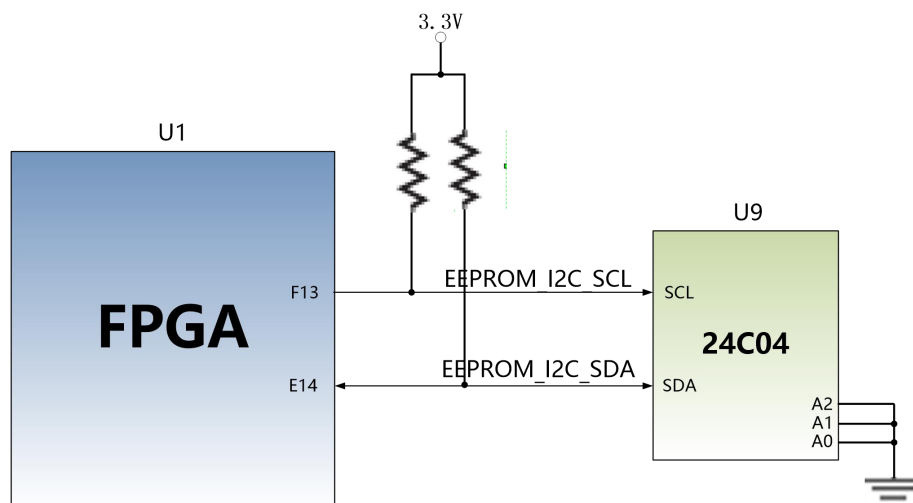


图 3-8-1 EEPROM 原理图部分

下图为 EEPROM 实物图

EEPROM 引脚分配:

引脚名称	FPGA 引脚
EEPROM_I2C_SCL	F13
EEPROM_I2C_SDA	E14

## (九) 扩展口

扩展板预留 2 个 2.54mm 标准间距的 40 针的扩展口 J11 和 J13, 用于连接黑金的各个模块或者用户自己设计的外面电路, 扩展口有 40 个信号, 其中, 5V 电源 1 路, 3.3V 电源 2 路, 地 3 路, IO 口 34 路。**切勿 IO 直接跟 5V 设备直接连接, 以免烧坏 FPGA。如果要接 5V 设备, 需要接电平转换芯片。**

在扩展口和 FPGA 连接之间串联了 33 欧姆的排阻, 用于保护 FPGA 以免外界电压或电流过高造成损坏, 扩展口(J11)的电路如下图 3-9-1 所示

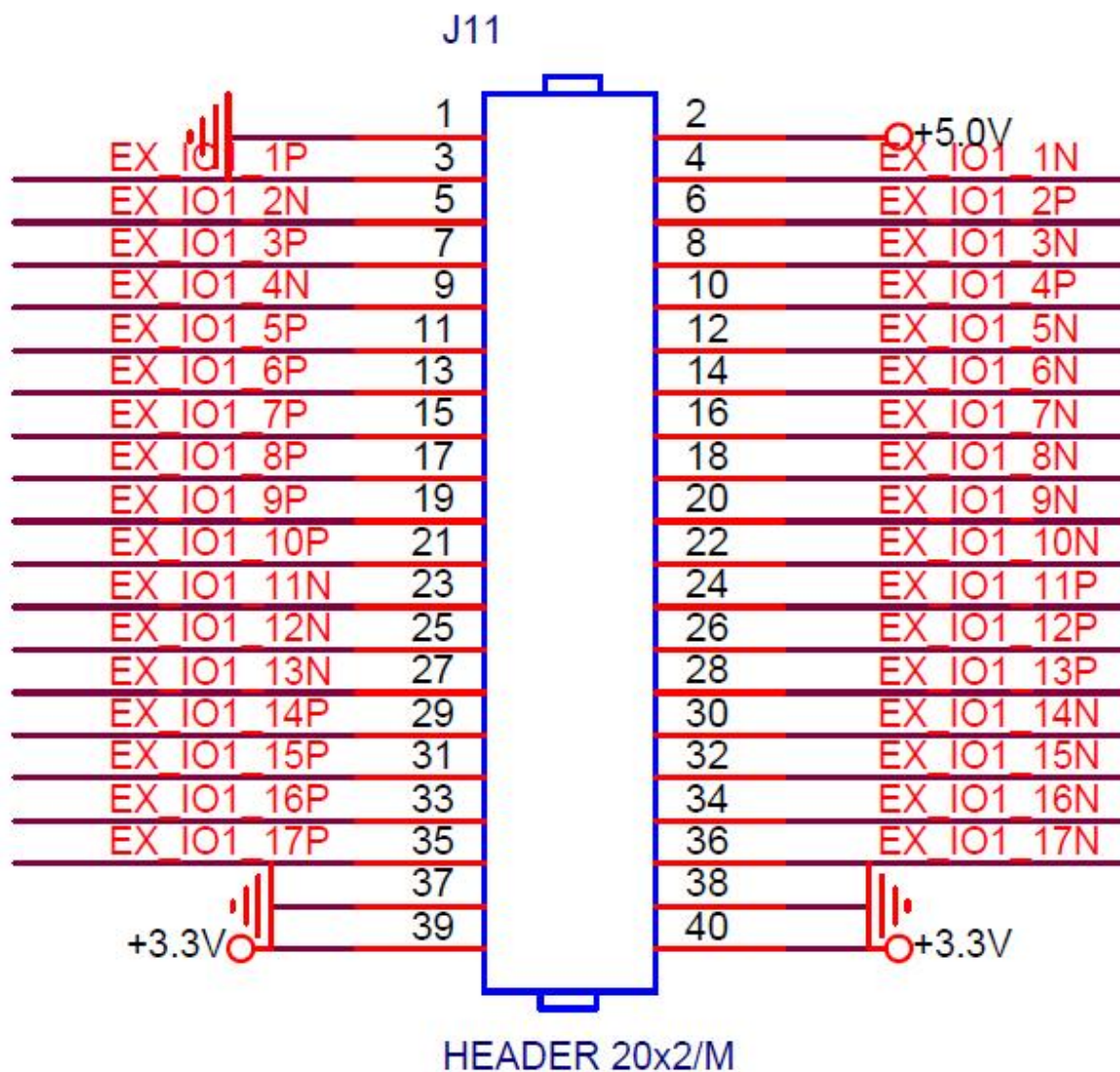


图 3-9-1 扩展口 J11 原理图

## J11 扩展口 FPGA 的引脚分配

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	+5V
3	P16	4	R17
5	R16	6	P15
7	N17	8	P17
9	U16	10	T16
11	U17	12	U18
13	P19	14	R19
15	V18	16	V19

<b>17</b>	U20	<b>18</b>	V20
<b>19</b>	AA9	<b>20</b>	AB10
<b>21</b>	AA10	<b>22</b>	AA11
<b>23</b>	W10	<b>24</b>	V10
<b>25</b>	Y12	<b>26</b>	Y11
<b>27</b>	W12	<b>28</b>	W11
<b>29</b>	AA15	<b>30</b>	AB15
<b>31</b>	Y16	<b>32</b>	AA16
<b>33</b>	AB16	<b>34</b>	AB17
<b>35</b>	W14	<b>36</b>	Y14
<b>37</b>	GND	<b>38</b>	GND
<b>39</b>	+3.3V	<b>40</b>	+3.3V

扩展口(J13)的电路如下图 3-9-3 所示

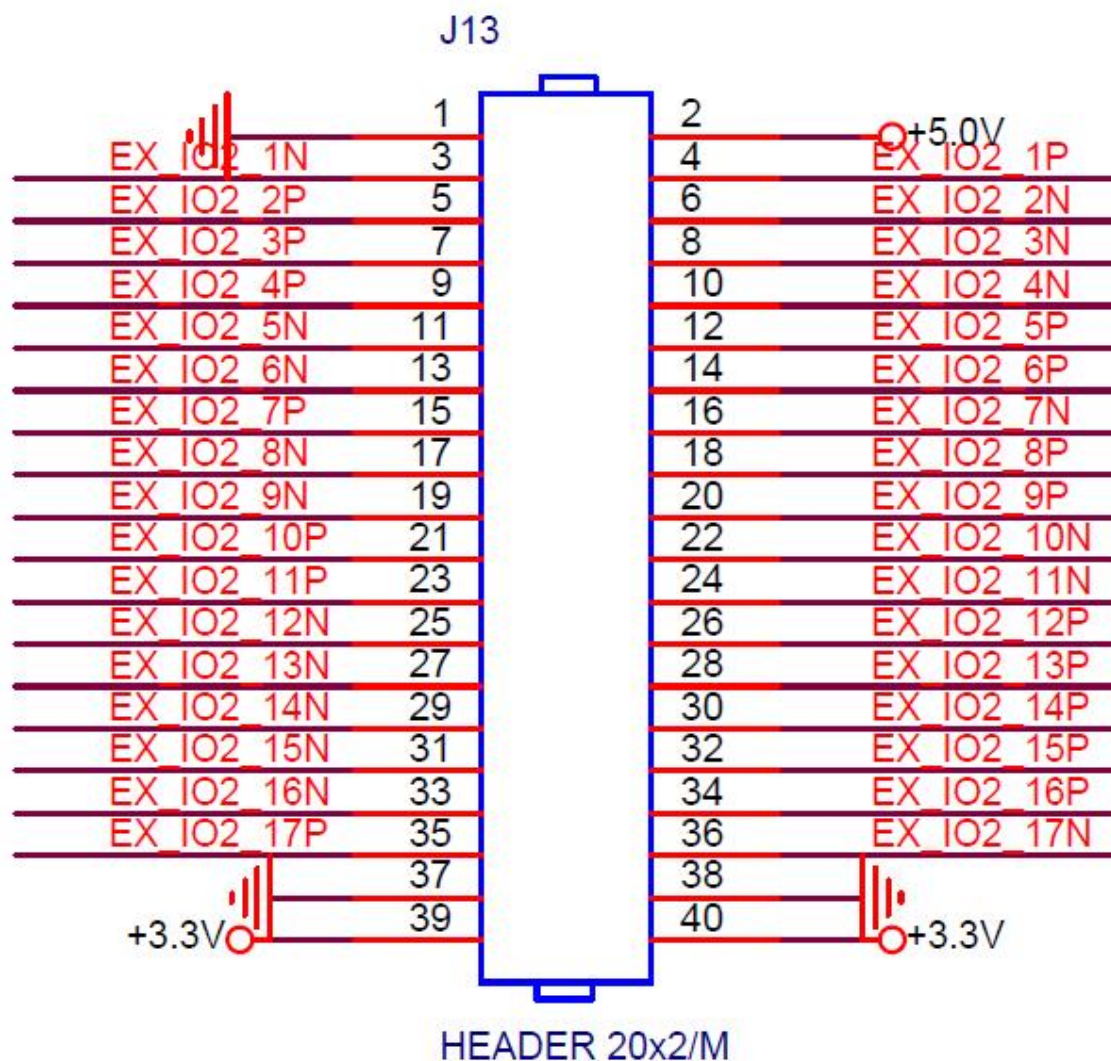


图 3-9-3 扩展口 J13 原理图

## J13 扩展口 FPGA 的引脚分配

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	+5V
3	W16	4	W15
5	V17	6	W17
7	U15	8	V15
9	AB21	10	AB22
11	AA21	12	AA20
13	AB20	14	AA19
15	AA18	16	AB18

17	T20	18	Y17
19	W22	20	W21
21	T21	22	U21
23	Y21	24	Y22
25	W20	26	W19
27	Y19	28	Y18
29	V22	30	U22
31	T18	32	R18
33	R14	34	P14
35	N13	36	N14
37	GND	38	GND
39	+3.3V	40	+3.3V

## (十) JTAG 接口

开发板预留了一个 JTAG 接口，用于下载 FPGA 程序或者固化程序到 FLASH。为了带电插拔造成对 FPGA 芯片的损坏，我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围，避免 FPGA 的损坏。

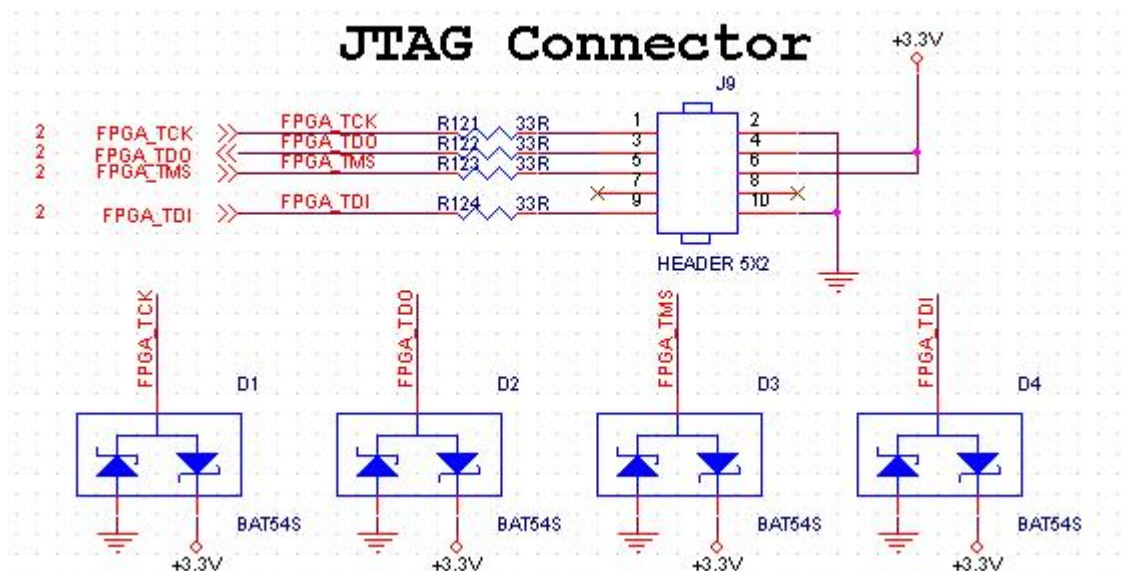


图 3-10-1 JTAG 接口原理图

JTAG 线插拔的时候注意不要热插拔。



## (十一) XADC 接口 (默认不安装)

AX7103B 扩展板上扩展 XADC 的连接接口, 连接器使用的是 2x8 2.54mm 间距的双排针。XADC 接口扩展了 3 对 ADC 差分输入接口, 连接到 FPGA 的 12-Bit 1Msps 的模数转换器。其中一对差分接口连接到 FPGA 的专用差分模拟输入通道 VP/VN, 另外 2 对差分连接到辅助模拟输入通道 (模拟通道 0 和模拟通道 9)。下图 3-11-1 为 3 路差分 XADC 输入设计的抗混叠滤波器。

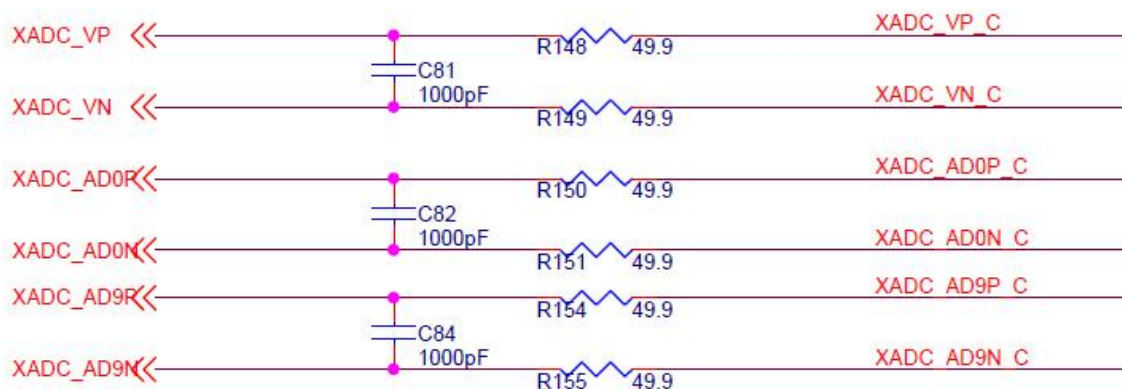


图 3-11-1 抗混叠滤波电路

XADC 接口的连接原理图如 3-11-2 下图所示:

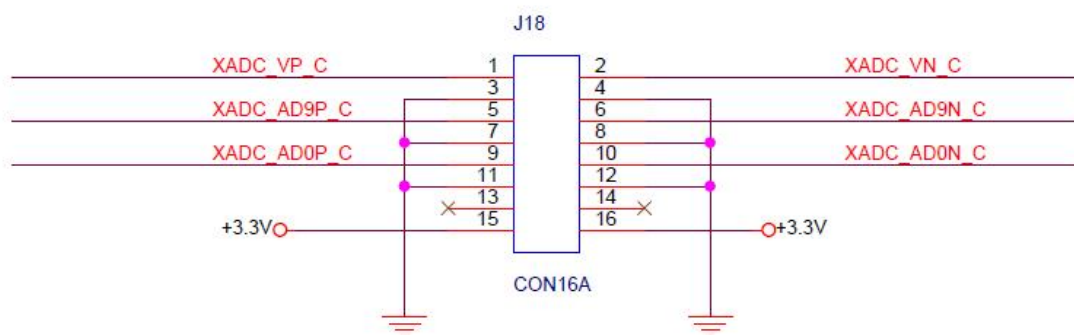


图 3-11-2 XADC 连接器

### XADC 接口的引脚分配

XADC 接口	FPGA 引脚	输入幅度	描述
1, 2	VP_0 : L10 VN_0 : M9	峰峰值 1V	FPGA 专用 XADC 输入通道
5, 6	AD9P : J15 AD9N : H15	峰峰值 1V	FPGA 辅助 XADC 输入通道 9 (可作为普通 IO 使用)。

9, 10	AD0P : H13 AD0N : G13	峰峰值 1V	FPGA 辅助 XADC 输入通道 0 (可作为普通 IO 使用)
-------	--------------------------	--------	--------------------------------------

## (十二) 按键

扩展板上含有 2 个用户按键 KEY1~KEY2，两个按键都连接到 FPGA 的普通的 IO 上，按键低电平有效，当按键按下，FPGA 的 IO 输入电压为低，当没有按键按下是，FPGA 的 IO 输入电压为高。按键部分电路如下图 3-12-1 所示

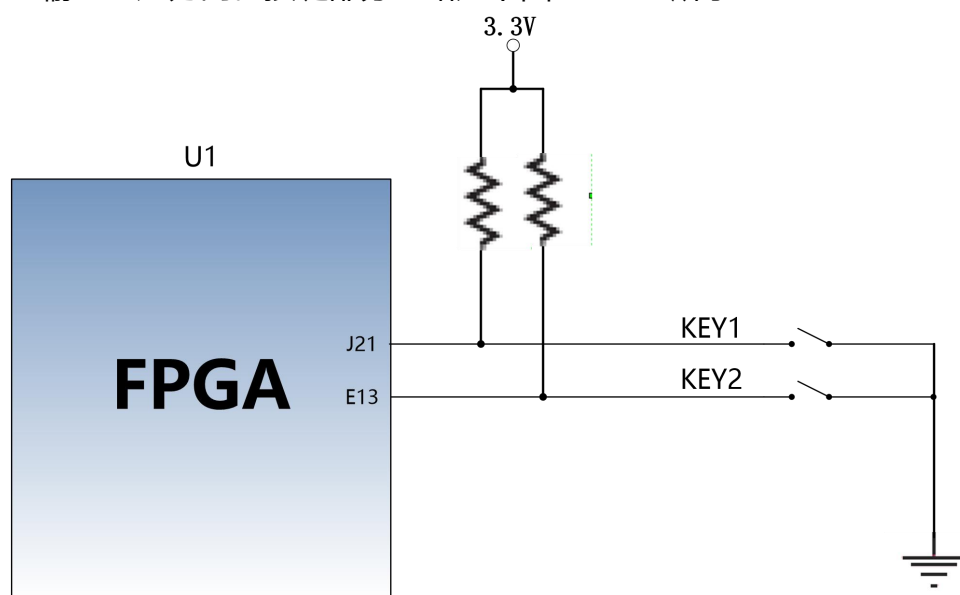


图 3-12-1 按键硬件设计示意图

按键 FPGA 引脚分配：

引脚名称	FPGA 引脚
KEY1	J21
KEY2	E13

## (十三) LED 灯

扩展板上有 7 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，2 个是 USB Uart 的数据接收和发送指示灯，4 个是用户 LED 灯 (LED1~LED4)。当开发板供电后，电源指示灯会亮起。用户 LED1~LED4 连接到 FPGA 的普通 IO，当连接用户 LED 灯的 IO 电压配置为低电平时，用户 LED 灯点亮，当连接 IO 电压为配置为高电平时，用户 LED

会被熄灭。

LED 灯硬件连接的示意图如图 3-13-1 所示

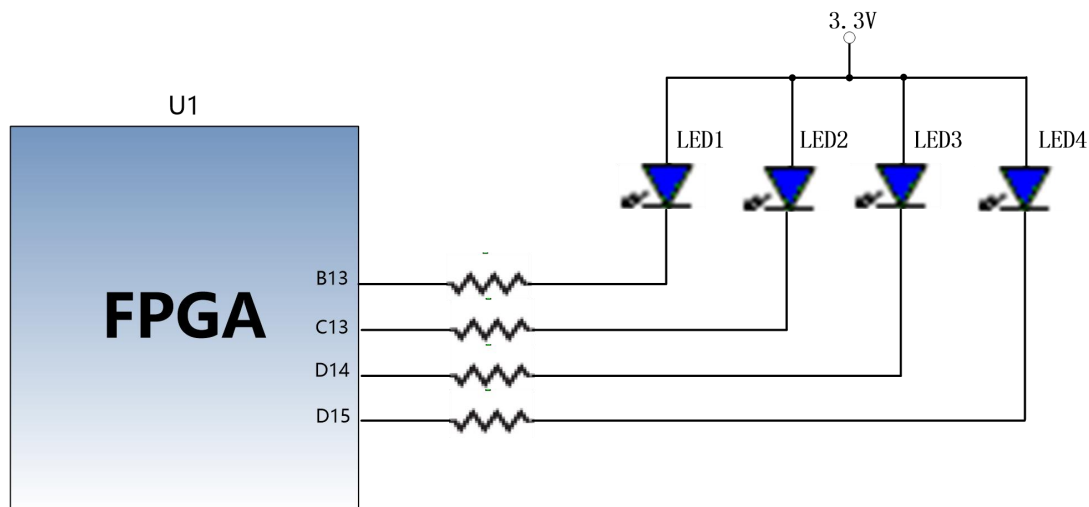


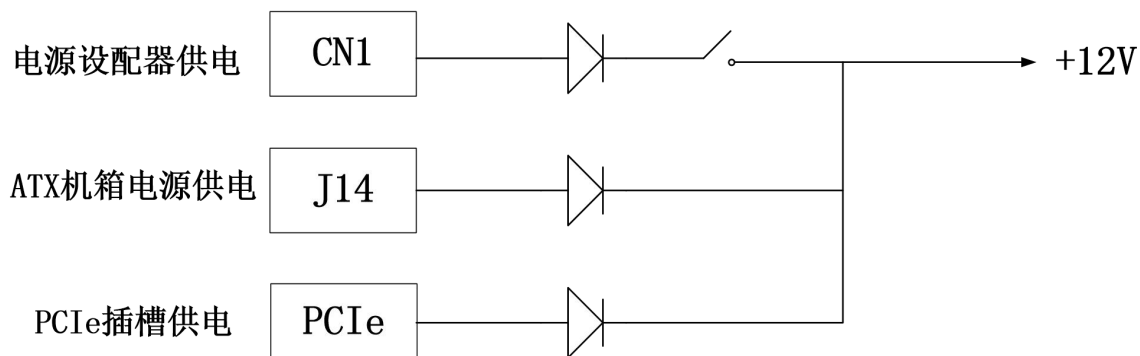
图 3-13-1 LED 灯硬件设计示意图

按键 FPGA 引脚分配:

引脚名称	FPGA 引脚
LED1	B13
LED2	C13
LED3	D14
LED4	D15

## (十四) 供电电源

开发板的电源输入电压为 DC12V, 请使用开发板自带的电源, 不要用其他规格的电源, 以免损坏开发板。开发板也支持从 PCIe 接口取电, 同时支持从 ATX 机箱电源 (12V) 直接取电。



扩展板上通过 4 路 DC/DC 电源芯片 ETA1471 把 +12V 电压转化成 +5V, +3.3V, +1.8V 三路电源。另外扩展板上的 +5V 电源通过板间连接器给核心板供电, 扩展上的电源设计如下图 3-14-1 所示:

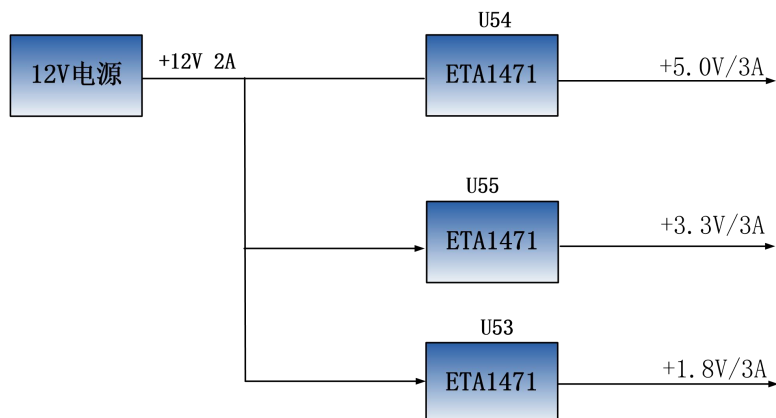


图 3-14-1 扩展板电源原理图